Advanced Packaging 학습 자료

삼성SDI 전자재료 임직원용 · 세미나 보조 교재 · 2026-09-28 세미나 · 2026-09-25 배포판

세미나 슬라이드 122장을 관련 절마다 끼워 넣었다. 대표 절에는 그림으로 싣고 그 밖의 관련 절에는 쪽 번호만 적었으며, 122장 전체는 부록 A에 모았다.

도해 232장을 절마다 끼워 넣었다. 대표 절에는 관련 문단 바로 뒤에 그림으로 싣고 그 밖의 관련 절에는 도해 번호와 제목만 적었으며, 도해 목록은 부록 B에 모았다.

인쇄판 · 출처 587건 · 용어 185개 · 다이어그램 23개 · 슬라이드 122장 · 도해 232장 · 생성 2026-09-27 21:48 KST

구성과 읽는 순서

이 자료는 Day 1부터 Day 8까지 여덟 문서와 출처 원장으로 이루어진다. Day 1~7은 주제별로 개념과 수치를 다루고, Day 8은 세미나 슬라이드 순서에 맞추어 앞의 내용을 다시 배열한다. 각 Day 문서는 따로 읽어도 된다. 다만 Day 2는 Day 1의 용어를, Day 4는 Day 2의 공정 지식을 전제로 하므로 순서대로 읽는 편이 좋다. 하루 분량은 본문 읽기 약 90분, 다이어그램 재구성과 퀴즈 약 30분, 핵심 정리 다시 읽기 약 15분을 기준으로 잡았다.

Day	주제	마치면 할 수 있는 것
1	왜 Advanced Packaging인가	무어의 둔화, 레티클 한계(858mm²), chiplet 경제학, memory wall이라는 네 가지 제약 때문에 패키징이 성능의 두 번째 축이 된 과정을 설명하고, AP 기술 계보와 시장 규모(Yole 2026.7판)를 근거와 함께 짚을 수 있다
2	요소 공정과 구조 해부	bumping, RDL, TSV, interposer, 접합 3방식, 언더필 4방식, 몰딩, 기판의 역할을 구분하고 warpage와 CTE 부정합의 물리를 설명할 수 있다
3	플랫폼 지도: TSMC, Intel, 삼성 파운드리, OSAT	CoWoS-S/R/L, SoIC, InFO, EMIB, Foveros, Cube 시리즈, SAINT의 구조 차이와 로드맵 연도를 구분하고, 플랫폼마다 소재 BOM이 어떻게 달라지는지 설명할 수 있다
4	HBM 심층: 구조, 세대, 본딩 방식	HBM4의 구조와 세대별 스펙을 구분하고, TC-NCF와 MR-MUF의 소재·공정 차이, hybrid bonding 전환 시점과 그 근거를 삼성·SK 각각의 최신 발표로 설명할 수 있다
5	소재 전지도 I: 몰딩, 언더필, 본딩, 열관리	EMC, 언더필/NCF/NCP, 솔더·플럭스, TIM의 요구 물성 수치와 현직 공급사를 설명하고 삼성SDI 접점을 짚을 수 있다
6	소재 전지도 II: 유전체, 기판, CMP, 광	PID/PSPI, ABF, 유리기판, hybrid bonding용 CMP·세정, 임시접합, CPO 소재의 수요가 어느 방향에서 생기고 사라지는지 수요 이동표로 재구성할 수 있다
7	삼성SDI 전자재료의 위치와 기회 축	삼성SDI 포트폴리오와 컨콜 발언, 일본 과점과 이원화 창, 진입 3루트, 기회 축 5개를 근거와 함께 구분하고, 자주 나오는 질문 20개에 출처를 붙여 설명할 수 있다
8	세미나 슬라이드와 함께 읽기: 평가 자료, 실측 해석, 불량 추적	슬라이드마다 함께 읽을 절을 찾고, 고객 평가 데이터 패키지의 제출 형식, 실측 결과 읽는 법, 불량에서 원인으로 가는 논리를 설명하며, 공정 흐름 슬라이드 해설과 핵심 수치 72개의 출처를 확인할 수 있다

문서 목차

1. **Advanced Packaging 학습 자료 안내 (삼성SDI 전자재료 임직원용)**
   - 이 자료의 목적
   - 구성과 읽는 순서
   - 하루 학습 방법
   - 출처 표기 방식
   - 수치를 인용할 때 주의할 점
   - 자료의 근거
   - 파일 구성
2. **Day 1. 왜 Advanced Packaging인가**
   - 1.0 한눈에 보기
   - 1.1 무어의 법칙 둔화와 트랜지스터당 비용
   - 1.2 레티클 한계: 858mm²가 그은 선
   - 1.3 chiplet 경제학: 수율이 만드는 비용 역전
   - 1.4 memory wall: 대역폭이 병목이 된 이유
   - 1.5 Advanced Packaging의 정의, 계보, 분류 지도
   - 1.6 시장 규모와 판본 규칙
   - 1.7 최신 동향 (2026년 8월 22일 이후)
   - 1.8 핵심 정리
   - 1.9 자기 점검 퀴즈
   - 1.10 용어 사전
   - 1.11 더 읽을 자료
3. **Day 2: 요소 공정과 구조 해부**
   - 2.0 한눈에 보기
   - 2.1 패키지 단면 해부: 네 가지 구조를 층으로 읽기
   - 2.2 bumping, RDL, TSV: 세 가지 요소 공정
   - 2.3 interposer와 bridge: 네 가지 중간층의 비교
   - 2.4 접합 3방식과 hybrid bonding의 원리
   - 2.5 언더필, 몰딩, 기판, 임시접합: 채우고 덮고 받치는 소재
   - 2.6 warpage와 CTE의 물리, 그리고 신뢰성 시험
   - 2.7 최신 동향 (2026년 8월 22일 이후)
   - 2.8 핵심 정리
   - 2.9 자기 점검 퀴즈
   - 2.10 용어 사전
   - 2.11 더 읽을 자료
4. **Day 3. 플랫폼 지도: TSMC, Intel, 삼성 파운드리, OSAT**
   - 3.0 한눈에 보기
   - 3.1 TSMC 3DFabric: CoWoS, SoIC, InFO의 구조 차이
   - 3.2 TSMC 로드맵, 캐파, CoPoS와 SoW, COUPE
   - 3.3 Intel: EMIB와 Foveros의 두 축
   - 3.4 삼성 파운드리: Cube 신구 명칭과 SAINT
   - 3.5 OSAT과 기판사: 조립 주체와 기판 공급망
   - 3.6 플랫폼별 소재 BOM 매트릭스와 삼성SDI 접점
   - 3.7 최신 동향 (2026년 8월 22일 이후)
   - 3.8 핵심 정리
   - 3.9 자기 점검 퀴즈
   - 3.10 용어 사전
   - 3.11 더 읽을 자료
5. **Day 4. HBM 심층: 구조, 세대, 본딩 방식**
   - 4.0 한눈에 보기
   - 4.1 HBM 구조 해부: 층, 인터페이스, 데이터 경로
   - 4.2 세대별 스펙과 JEDEC HBM4 표준
   - 4.3 적층 본딩 3트랙: TC-NCF, MR-MUF, hybrid bonding
   - 4.4 삼성전자 HBM 전략: 학습, 역전, 그리고 턴키
   - 4.5 SK하이닉스 HBM 전략: 선도, MR-MUF, 그리고 캐파
   - 4.6 base die 파운드리화, custom HBM, 시장 구도
   - 4.7 최신 동향 (2026년 8월 22일 이후)
   - 4.8 핵심 정리
   - 4.9 자기 점검 퀴즈
   - 4.10 용어 사전
   - 4.11 더 읽을 자료
6. **Day 5. 소재 전지도 I: 몰딩, 언더필, 본딩, 열관리**
   - 5.0 한눈에 보기
   - 5.1 AP 소재 전지도: 공정 지점 × 소재 매트릭스
   - 5.2 EMC: 화학, 네 개의 기술 축, 공급 구도
   - 5.3 언더필, NCF, NCP: 세 가지 갭 충전 방식
   - 5.4 솔더, 플럭스, fluxless 본딩
   - 5.5 열관리 소재: TIM1부터 스택 내장 방열재까지
   - 5.6 물성 측정법과 응용별 요구 사양
   - 5.7 최신 동향 (2026년 8월 22일 이후)
   - 5.8 핵심 정리
   - 5.9 자기 점검 퀴즈
   - 5.10 용어 사전
   - 5.11 더 읽을 자료
7. **Day 6. 소재 전지도 II: 유전체, 기판, CMP, 광**
   - 6.0 한눈에 보기
   - 6.1 PID·PSPI·PBO: 재배선층의 절연막
   - 6.2 ABF와 기판 소재
   - 6.3 유리기판, 유리 인터포저, 글라스 캐리어
   - 6.4 hybrid bonding용 CMP, 세정, SiCN
   - 6.5 임시접합, 캐리어, 박형화 소재
   - 6.6 CPO 소재와 5대 방향별 소재 수요 이동표
   - 6.7 최신 동향 (2026년 8월 22일 이후)
   - 6.8 핵심 정리
   - 6.9 자기 점검 퀴즈
   - 6.10 용어 사전
   - 6.11 더 읽을 자료
8. **Day 7. 삼성SDI 전자재료의 위치와 기회 축**
   - 7.0 한눈에 보기
   - 7.1 삼성SDI 전자재료의 현재 위치
   - 7.2 일본 과점 지도와 퀄 장벽
   - 7.3 이원화 신호와 진입 3루트
   - 7.4 국내 경쟁사·동반자 2026년 동향
   - 7.5 기회 축 5개 종합표와 시장 데이터 종합표
   - 7.6 자주 나오는 질문 20개
   - 7.7 최신 동향 (2026년 8월 22일 이후)
   - 7.8 핵심 정리
   - 7.9 자기 점검 퀴즈
   - 7.10 용어 사전
   - 7.11 더 읽을 자료

9. **Day 8. 세미나 슬라이드와 함께 읽기: 평가 자료, 실측 해석, 불량 추적**
   - 8.0 한눈에 보기
   - 8.1 세미나 슬라이드 차례와 이 자료의 대응
   - 8.2 고객 평가 데이터 패키지의 제출 형식
   - 8.3 본딩용 슬러리 실측 결과를 읽는 법
   - 8.4 불량에서 원인 가설을 거쳐 대조 실험으로
   - 8.5 공정 흐름 슬라이드 해설
   - 8.6 핵심 수치 모음
   - 8.7 자주 묻는 질문
   - 8.8 핵심 정리
   - 8.9 자기 점검 퀴즈
   - 8.10 용어 사전
   - 8.11 더 읽을 자료

10. **세미나 슬라이드 전체 (122장)**
   - Ⅰ 기초와 공정 (1~26쪽)
   - Ⅱ 구조와 공정 전략 (27~51쪽)
   - Ⅲ 소재와 공정 창 (52~87쪽)
   - Ⅳ 삼성SDI 응용 확장 (88~107쪽)
   - Ⅴ 부록과 참고자료 (108~122쪽)

11. **도해 목록 (232장)**
   - Day 1 (21장)
   - Day 2 (32장)
   - Day 3 (28장)
   - Day 4 (28장)
   - Day 5 (36장)
   - Day 6 (37장)
   - Day 7 (25장)
   - Day 8 (25장)

12. **용어 사전 (Day 1~8 통합)**

13. **출처 원장 (Day1~Day8 통합)**

Advanced Packaging 학습 자료 안내 (삼성SDI 전자재료 임직원용)

이 자료의 목적

이 자료는 삼성SDI 전자재료 임직원을 위한 세미나 보조 교재다. 세미나의 제목은 "삼성전자·SK하이닉스가 강조하는 Advanced Packaging 기술과 소재 기회"이고, 날짜는 2026년 9월 28일이다. 세미나 슬라이드 122장이 흐름을 짧게 보여 준다면, 이 자료는 슬라이드에 담긴 개념과 수치와 출처를 차례대로 풀어 쓴다. 독자는 반도체 패키징을 전공하지 않은 소재·공정 엔지니어로 가정하였다. 용어는 처음 나올 때 풀어 썼고, Day 문서마다 뒷부분에 용어 사전을 두었다.

슬라이드와 함께 읽는 방법은 두 가지다. 대화형 HTML에서 Day 문서를 열면 절 제목 아래에 그 절과 관련된 슬라이드가 작은 그림으로 붙어 있다. 반대로 "세미나 슬라이드" 탭에서는 슬라이드마다 관련 절로 이동하는 링크가 붙어 있다. Day 8은 슬라이드 순서를 따라 읽도록 구성한 장이며, 슬라이드 쪽마다 함께 읽을 절을 표로 정리하였다. 세미나에서 본 장면을 다시 확인할 때는 슬라이드 쪽 번호로 관련 절을 찾는 편이 빠르다.

구성과 읽는 순서

이 자료는 Day 1부터 Day 8까지 여덟 문서와 출처 원장으로 이루어진다. Day 1~7은 주제별로 개념과 수치를 다루고, Day 8은 세미나 슬라이드 순서에 맞추어 앞의 내용을 다시 배열한다. 각 Day 문서는 따로 읽어도 된다. 다만 Day 2는 Day 1의 용어를, Day 4는 Day 2의 공정 지식을 전제로 하므로 순서대로 읽는 편이 좋다. 하루 분량은 본문 읽기 약 90분, 다이어그램 재구성과 퀴즈 약 30분, 핵심 정리 다시 읽기 약 15분을 기준으로 잡았다.

Day	주제	마치면 할 수 있는 것
1	왜 Advanced Packaging인가	무어의 둔화, 레티클 한계(858mm²), chiplet 경제학, memory wall이라는 네 가지 제약 때문에 패키징이 성능의 두 번째 축이 된 과정을 설명하고, AP 기술 계보와 시장 규모(Yole 2026.7판)를 근거와 함께 짚을 수 있다
2	요소 공정과 구조 해부	bumping, RDL, TSV, interposer, 접합 3방식, 언더필 4방식, 몰딩, 기판의 역할을 구분하고 warpage와 CTE 부정합의 물리를 설명할 수 있다
3	플랫폼 지도: TSMC, Intel, 삼성 파운드리, OSAT	CoWoS-S/R/L, SoIC, InFO, EMIB, Foveros, Cube 시리즈, SAINT의 구조 차이와 로드맵 연도를 구분하고, 플랫폼마다 소재 BOM이 어떻게 달라지는지 설명할 수 있다
4	HBM 심층: 구조, 세대, 본딩 방식	HBM4의 구조와 세대별 스펙을 구분하고, TC-NCF와 MR-MUF의 소재·공정 차이, hybrid bonding 전환 시점과 그 근거를 삼성·SK 각각의 최신 발표로 설명할 수 있다
5	소재 전지도 I: 몰딩, 언더필, 본딩, 열관리	EMC, 언더필/NCF/NCP, 솔더·플럭스, TIM의 요구 물성 수치와 현직 공급사를 설명하고 삼성SDI 접점을 짚을 수 있다
6	소재 전지도 II: 유전체, 기판, CMP, 광	PID/PSPI, ABF, 유리기판, hybrid bonding용 CMP·세정, 임시접합, CPO 소재의 수요가 어느 방향에서 생기고 사라지는지 수요 이동표로 재구성할 수 있다
7	삼성SDI 전자재료의 위치와 기회 축	삼성SDI 포트폴리오와 컨콜 발언, 일본 과점과 이원화 창, 진입 3루트, 기회 축 5개를 근거와 함께 구분하고, 자주 나오는 질문 20개에 출처를 붙여 설명할 수 있다
8	세미나 슬라이드와 함께 읽기: 평가 자료, 실측 해석, 불량 추적	슬라이드마다 함께 읽을 절을 찾고, 고객 평가 데이터 패키지의 제출 형식, 실측 결과 읽는 법, 불량에서 원인으로 가는 논리를 설명하며, 공정 흐름 슬라이드 해설과 핵심 수치 72개의 출처를 확인할 수 있다

하루 학습 방법

각 Day 문서는 같은 구조를 따른다. 첫머리의 학습 목표 세 개를 먼저 읽고, "한눈에 보기" 절로 전체 내용을 훑은 뒤 본문 절을 순서대로 읽는다. 본문 절마다 개념 설명, 구조나 흐름 다이어그램, 핵심 수치 표가 나온다. "소재 관점에서 보면" 문단은 그 내용을 삼성SDI의 소재 사업과 연결한다. 다이어그램이 나오면 문서를 덮고 종이에 다시 그려 보는 것이 가장 효과적인 확인 방법이다.

본문을 마치면 "최신 동향" 절에서 2026년 8월 22일 이후의 변화를 살핀다. 이어서 "핵심 정리" 절을 다시 읽으며 문장마다 붙은 출처 ID를 함께 본다. 마지막으로 자기 점검 퀴즈를 풀고, 틀린 문항은 해설을 따라 본문으로 돌아가 확인한다. 퀴즈는 선택지를 어렵게 만들어 추론이 필요하도록 설계하였다. 정답을 맞혔는지보다 다른 선택지가 왜 틀렸는지를 설명할 수 있는지가 기준이다.

대화형 HTML에서는 퀴즈마다 자기 채점 단추가 있고, 채점 결과와 읽음 표시는 진도 탭에 모인다. 이 기록은 사용하는 브라우저에만 저장되므로 다른 기기에서는 비어 있다. 화면 위쪽의 검색 창에 두 글자 이상을 넣으면 모든 문서에서 일치하는 절을 찾아 준다.

출처 표기 방식

모든 수치와 주장에는 출처 ID가 붙는다. ID는 `S-N-xx` 형식이며 N은 Day 번호, xx는 그 Day 안의 일련번호다. `C-N-xx`는 같은 주제를 독립적으로 다시 조사한 교차 조사의 출처다. 본문이 교차 조사에서만 확인된 사실을 인용할 때 이 ID를 붙였다.

각 Day 문서 끝의 "더 읽을 자료" 절과 출처 원장(`99_출처원장.md`)에서 ID로 원문을 찾는다. 대화형 HTML에서는 본문의 ID를 누르면 출처 원장의 해당 행으로 이동한다. 유료 보고서는 목록에만 올렸고, 구매해야 볼 수 있는 내용을 전제로 서술하지 않았다.

수치를 인용할 때 주의할 점

아래 13개 항목은 원문 대조로 확정한 인용 기준이다. 같은 주제에서 다른 수치를 만나더라도 이 자료는 아래 문안을 따른다. 사내 문서에 이 자료의 수치를 옮길 때도 같은 기준을 쓰면 판본 혼용을 피할 수 있다.

번호	항목	주의할 점
1	Yole AP 시장 전망	시장 규모를 한 수치로 말할 때는 2026년 7월판 "2025년 $55B → 2031년 $120B 초과"만 쓴다. 2025년 9월판($46B@2024 → $79.4B@2030)은 세그먼트 구성을 인용할 때만 판본명을 밝혀 쓰며, 두 판본을 한 표나 한 화면에 나란히 싣지 않는다. 구판(2021년 $37.4B → 2027년 $65B)은 쓰지 않는다
2	HBM4 "최초" 주장	SK하이닉스는 "개발 완료·양산 체제 구축 세계 최초(2025-09-12)", 삼성전자는 "양산·상용 출하 업계 최초(2026-02-12)"다. 두 주장은 한정어와 날짜를 붙여 구분한다
3	TSMC CoWoS 로드맵	2027년 9.5-reticle, 2028년 14-reticle(compute die 약 10개 + HBM 20스택), 2029년 14-reticle 초과(HBM 최대 24스택)다. SoW(System-on-Wafer)는 별도 트랙이며 40-reticle 초과 규모다. 로드맵을 발표한 심포지엄 연도(2026.4)와 목표 연도는 구분한다
4	레티클 한계	26×33mm = 858mm²(6인치 레티클, 4× 축소, DUV·EUV 공통)다. High-NA EUV는 half-field 26×16.5mm = 429mm²다
5	삼성 AVP사업팀	보도에 나오는 인원수(1,600명)는 확인되지 않은 수치다. 이 조직은 2022년 12월에 신설되었고 2024년 8월 조직 개편으로 해체·재배치되었다
6	HBM3E 대 서버 DDR5 가격 격차	"4~5배 → 2026년 말 1~2배 축소 전망(TrendForce 2025.12)"이다. 비교 단위(비트당 등)는 임의로 붙이지 않는다. 격차 축소는 HBM3E 가격 하락이 아니라 DDR5 가격 급등에서 온다
7	TSMC COUPE	"1세대 1.6Tbps급, 2026년 양산 진입(COUPE on Substrate는 2026년 하반기 양산 목표)"으로 쓴다. "이미 양산 중"으로 단정하지 않는다
8	Yole Mobile & Consumer 70%	2024년 매출 기준이며 2025년 9월판 수치다. 2026년 7월판 수치와 합산하지 않는다
9	SK하이닉스 인디애나 팹	2026년 8월 27일 착공식이 기준이다. SK하이닉스 보도자료(2026-08-27) 기준으로 투자는 "40억 달러 초과", 클린룸 완공은 2028년 10월, 양산은 2029년 하반기다. 2024년 4월 3일 투자 계획 발표($3.87B, 당시 2028년 하반기 양산 목표)와 2024년 12월 CHIPS 직접보조금 최대 $458M 확정은 날짜를 붙여서만 쓴다. 두 수치의 차액을 증액분으로 계산하지 않는다
10	삼성SDI 관련 추측 보도	삼성SDI의 사업 존속이나 매각에 관한 추측성 보도는 이 자료에서 다루지 않는다
11	삼성전자·삼성SDI MR-MUF 공동개발 보도	교차 확인되지 않은 단일 출처 보도이므로 이 자료에서 다루지 않는다
12	그 밖의 확정 표기	OSAT 매출 순위는 2024 회계연도 실적이다. 글라스 캐리어 점유율은 "상위 5사 약 40%"를 쓰고 "4사 90%"는 쓰지 않는다. SKC 유상증자의 주체는 앱솔릭스가 아니라 SKC다. 덕산하이메탈 솔더볼은 HBM에 쓰이지 않는다(회사 부인). Yole 기판 $31B@2030 보도는 2025년 7월 자료다. 삼성 Cube-S의 3,000nF/mm² ISC는 8-HBM 초과 확장형 사양이다. 삼성전기는 TSMC 3DFabric Alliance 공식 기판 파트너 명단에 없으며, 참여설은 언론 보도 단계다
13	HBM 패키지 두께 775µm	720→775µm 완화는 2024년 3월 JEDEC 위원회 합의 보도가 최초 출처이고, 2025년 4월 HBM4 표준 확정 보도(TrendForce)에서 재확인되었다. JEDEC 보도자료에는 높이 조항이 없고, 이 조항이 JESD270-4와 4A 가운데 어느 원문에 있는지는 확인되지 않았다. 따라서 775µm는 보도 기준 수치로 다룬다. HBM4E용 약 900µm는 2026-04-01 기준 검토 중인 값이다

자료의 근거

이 자료는 2026년 8월 22일에 마친 자료조사를 바탕으로 한다. 2026년 9월 19일 기준으로 자료를 다시 확인해 내용을 갱신했고, Day 8은 2026년 9월 21일에 더했다. 세미나 전날인 2026년 9월 27일에는 Day 1~7의 최신 동향 절을 다시 갱신했다. 본문이 인용한 출처는 논문·표준·기업 발표·분석기관 자료·기술 블로그·뉴스를 합쳐 587건이며, 모두 출처 원장에 ID 순으로 실었다. 논문 22편은 전문을 확인했다. 각 Day 문서의 수치는 같은 주제를 독립적으로 다시 조사한 결과와 대조해 불일치와 판본 혼용을 바로잡았다. 시장 수치와 로드맵 연도는 자주 바뀌므로 인용하기 전에 원문을 한 번 더 확인하는 편이 안전하다.

파일 구성

배포 폴더에는 아래 파일이 들어 있다. 대화형 HTML과 PDF는 같은 문서를 담으며, HTML은 화면 열람과 검색에, PDF는 인쇄에 맞추었다. HTML에서 슬라이드 그림과 도해가 보이려면 `slides`·`figures` 폴더가 HTML 파일과 같은 위치에 있어야 한다. HTML의 다이어그램은 인터넷에 연결되어 있을 때 그림으로 그려지고, 연결이 없으면 다이어그램 원문이 글자로 보인다. PDF에는 다이어그램이 모두 그림으로 실려 있다.

파일	내용
`00_안내.md`	이 문서. 자료의 목적, 구성, 학습 방법, 수치 인용 기준
`Day1_*.md` ~ `Day8_*.md`	Day별 학습 문서 8개. 모든 문서가 N.0 한눈에 보기부터 N.11 더 읽을 자료까지 같은 절 구성을 따른다
`99_출처원장.md`	Day 1~8의 출처 587건을 ID 순으로 모은 원장
`AP_학습자료_삼성SDI.html`	문서 전체를 한 화면에서 읽는 대화형 HTML. 검색, 읽음 표시, 퀴즈 자기 채점, 통합 용어 사전, 세미나 슬라이드 탭을 담는다
`AP_학습자료_삼성SDI.pdf`	인쇄용 PDF. 대표 슬라이드를 관련 절에 싣고 122장 전체를 부록으로 모았다
`AP_학습자료_삼성SDI_print.html`	PDF를 만들 때 쓰는 인쇄용 HTML
`slides/`	대화형 HTML과 인쇄용 HTML이 쓰는 슬라이드 그림 122장
`figures/`	본문 절마다 끼워 넣은 추가 도해 232장(세미나 슬라이드와 같은 양식)과 각 도해의 삽입 위치 대응표 `figure_map.json`

Day 1. 왜 Advanced Packaging인가

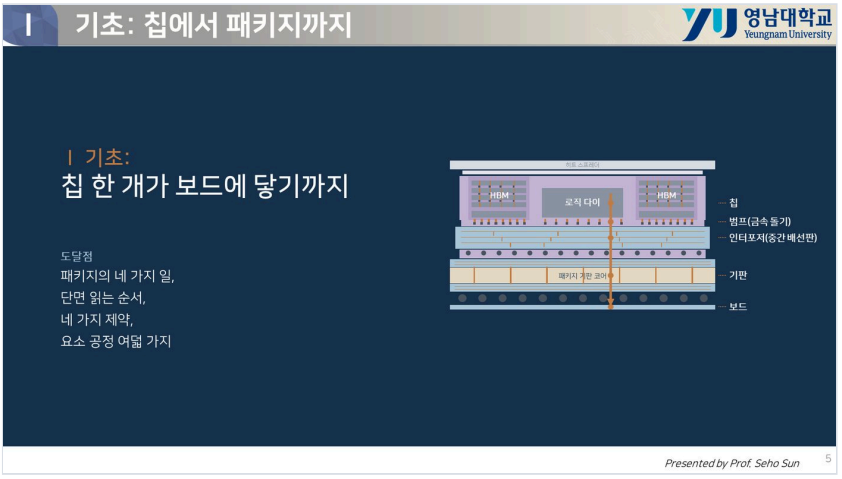
선수 지식 반도체 전공정과 후공정의 구분, HBM이 무엇인지에 대한 상식 수준의 이해

학습 목표: Day 1을 마치면 다음 세 가지를 할 수 있다.

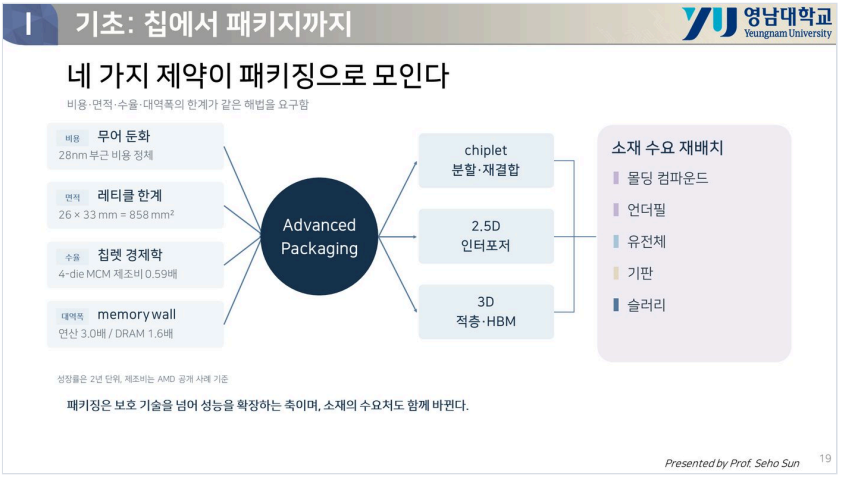
1. 무어의 법칙 둔화, 레티클 한계, chiplet 수율 경제학, memory wall이라는 네 가지 물리적·경제적 제약이 패키징을 성능 스케일링의 두 번째 축으로 올려놓은 방식을 수치와 함께 설명할 수 있다.
2. FC-BGA에서 CPO에 이르는 Advanced Packaging 기술 계보를 순서대로 그리고, 단계별 인터커넥트 밀도와 비용 위치를 구분할 수 있다.
3. Advanced Packaging 시장 규모를 Yole 판본별로 구분해 인용하고, 세그먼트 구성과 ASP 프리미엄 수치의 출처 성격을 판단할 수 있다.

선수 지식: 반도체 전공정과 후공정의 구분 / **예상 소요**: 2.5시간

1.0 한눈에 보기



슬라이드 5쪽 · Ⅰ 기초: 칩 한 개가 보드에 닿기까지



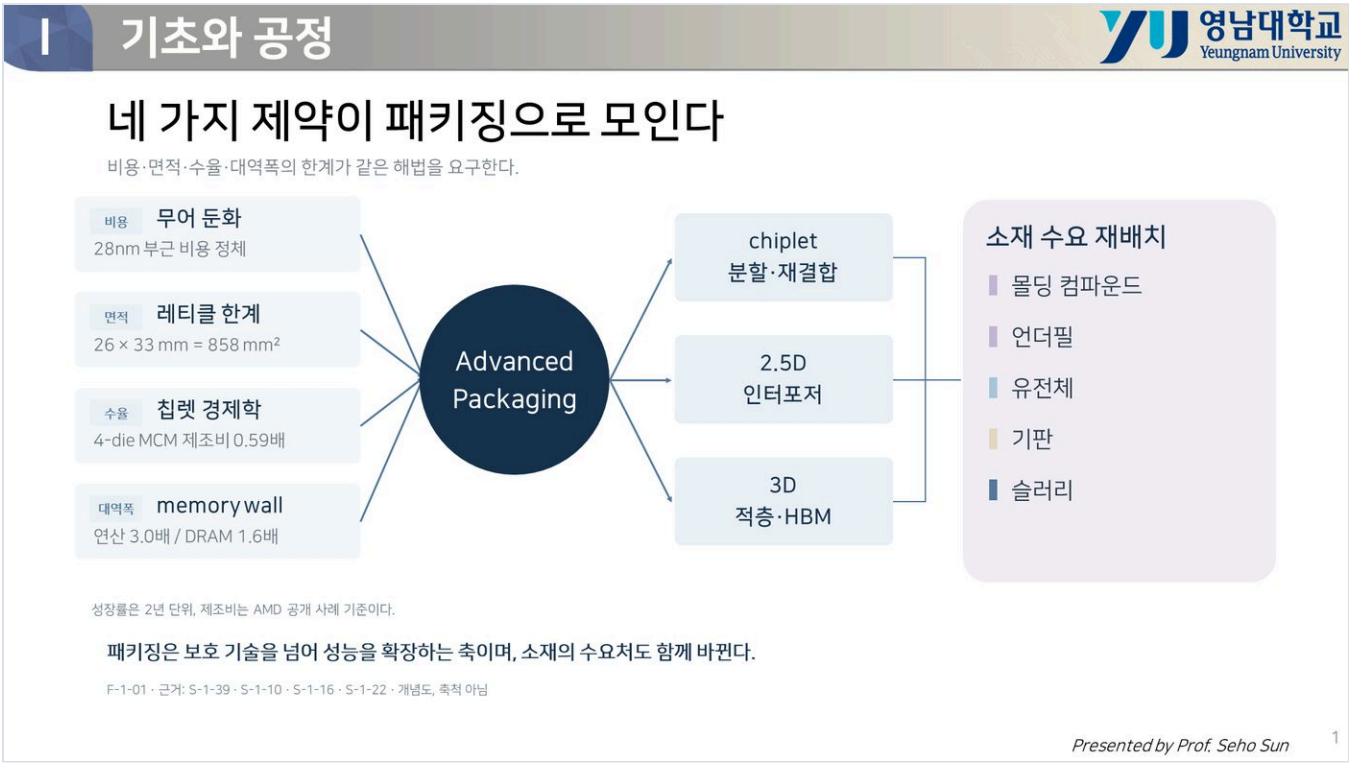
슬라이드 19쪽 · 네 가지 제약이 패키징으로 모인다

반도체 산업은 지금 트랜지스터보다 패키지를 더 자주 이야기한다. 네 개의 제약이 같은 시기에 함께 조여 왔기 때문이다. 네 제약은 각각 비용, 면적, 수율, 대역폭의 한계다.

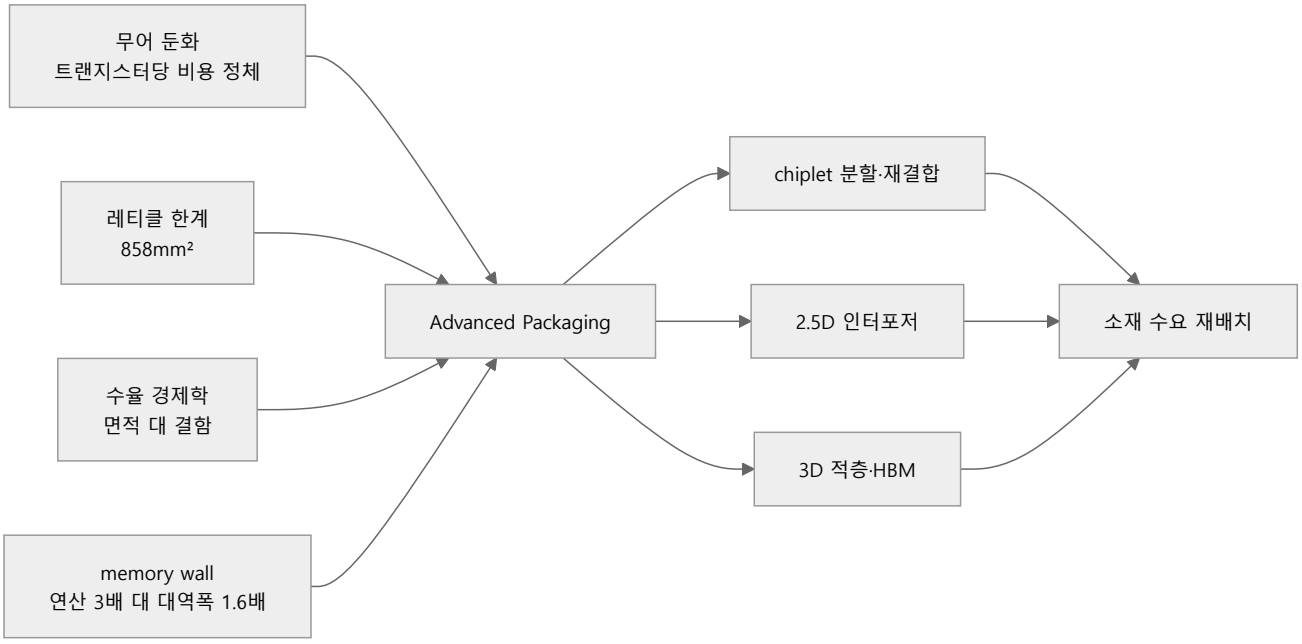
- **무어의 법칙 둔화**: 트랜지스터당 비용이 28nm 부근에서 하락을 멈추었다. 노드를 내릴수록 웨이퍼 값만 올라간다 [S-1-39][S-1-40].
- **레티클 한계**: 스캐너가 한 번에 노광할 수 있는 면적은 26×33mm, 즉 858mm²로 묶여 있다. AI 가속기가 원하는 크기의 단일 die(칩 한 장)는 이 한계 때문에 아예 만들 수 없다 [S-1-10][S-1-11].
- **수율 경제학**: 큰 die는 면적이 커질수록 결함 확률이 급격히 커져 수율이 크게 떨어진다. 그래서 작게 쪼개어 패키지에서 다시 붙이는 편이 싸다 [S-1-14][S-1-15].
- **memory wall(메모리 장벽)**: 연산 성능은 2년마다 약 3배씩 올라갔지만 메모리 대역폭은 같은 기간 1.6배에 그쳤다. 그 결과 LLM 추론의 병목이 연산에서 메모리로 옮겨 갔다 [S-1-22][S-1-23].

네 제약의 공통 해법이 Advanced Packaging이다. 여러 개의 작은 die로 나눈 chiplet(기능 단위로 분할한 작은 칩)을 고밀도 인터커넥트로 한 패키지에 묶는다. 메모리는 수직으로 쌓아 연산기 바로 옆에 붙인다. 시장은 이 전환을 이미 가격으로 인정하고 있다. Advanced Packaging 시장은 2025년 $55B에서 2031년 $120B 초과로 커질 전망이다. Yole은 2031년에 advanced packaging이 전체 반도체 패키징 매출의 과반을 차지할 것으로 본다 [S-1-01].

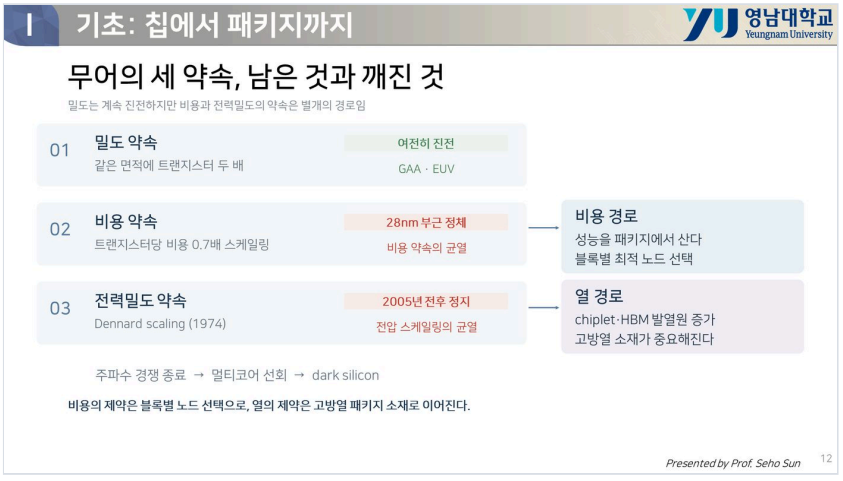
소재 회사에게 이 전환은 수요처가 옮겨 간다는 뜻이다. 성능 경쟁의 중심이 전공정에서 패키지로 옮겨 가고 있다. 그러면 성능을 좌우하는 재료도 실리콘에서 몰딩 컴파운드, 언더필, 유전체, 기판, 슬러리로 옮겨 간다. 네 제약은 삼성SDI 전자재료 포트폴리오가 어느 지점에서 어떤 물성으로 요구되는지를 정하는 상위 조건이다.



도해 F-1-01 · 네 가지 제약이 패키징으로 모인다 · 근거 S-1-39, S-1-10, S-1-16, S-1-22
패키징은 보호 기술을 넘어 성능을 확장하는 축이며, 소재의 수요처도 함께 바뀐다.



1.1 무어의 법칙 둔화와 트랜지스터당 비용



슬라이드 12쪽 · 무어의 세 약속, 남은 것과 깨진 것

슬라이드 13쪽 · 필요한 블록에만 선단 노드를 쓴다

무어의 법칙은 두 가지를 함께 약속했다. 같은 면적에 트랜지스터를 두 배 넣는다는 밀도 약속과, 그 결과 트랜지스터 한 개의 값이 싸진다는 비용 약속이다. 산업이 실제로 잃은 것은 밀도 약속이 아니라 비용 약속이다. 밀도는 GAA(gate-all-around 트랜지스터)와 EUV(극자외선 노광)를 동원해 여전히 진전하고 있다. 그러나 트랜지스터당 비용의 0.7배 스케일링은 28nm 부근에서 멈춘 뒤 세대를 거듭해도 평탄하다 [S-1-39]. 비용이 내려가지 않으면 미세화는 모든 제품의 기본 전략이 아니라, 성능이 절실한 블록에만 골라 쓰는 고가 옵션이 된다.

밀도와 비용보다 먼저 깨진 약속이 하나 더 있다. Dennard scaling이다. 1974년 Robert Dennard가 정리한 이 법칙은 전력밀도에 관한 것이다. 트랜지스터의 치수를 일정 비율로 줄일 때 동작 전압과 전류도 같은 비율로 줄이면, 단위 면적당 소비전력인 전력밀도가 일정하게 유지된다. 이 약속이 살아 있는 동안에는 미세화에 별도의 열 비용이 따르지 않았다. 같은 면적에 트랜지스터를 두 배 넣고 동작 주파수를 올려도 칩이 더 뜨거워지지 않았다.

2005년 전후로 임계전압을 더 낮출 수 없게 되면서 전압 스케일링이 사실상 멈추었다. 누설전류가 늘어나 전력밀도가 세대마다 올라가기 시작하였다. 그 직접적 결과가 주파수 경쟁의 종료와 멀티코어로의 선회였다. 더 나아가 칩 위에 트랜지스터를 다 넣어 두고도 전력 예산 때문에 동시에 켤 수 없는 dark silicon 문제가 생겼다. Dennard scaling의 종료는 반도체 소자 교과서 수준의 확립된 사실이므로 별도의 인용을 달지 않는다.

Dennard scaling의 종료가 지금의 패키징 논의에 남긴 유산은 열이다. 전력밀도가 세대마다 올라가면 같은 크기의 칩도 세대마다 더 뜨거워진다. 여기에 chiplet 분할과 HBM 적층으로 패키지 안의 발열원이 여러 개로 늘면서 문제가 복합화되었다. AI 가속기 패키지의 소비전력이 1kW를 넘어섰다는 업계 보도가 그 귀결이다. TechInsights가 2026년 전망의 다섯 축 가운데 하나로 3D 적층의 열 문제를 꼽은 것도 같은 맥락이다 [S-1-05]. 무어의 둔화는 비용과 열 두 경로로 오며, 두 경로를 함께 보면 고방열 소재가 갑자기 전략 품목이 된 이유가 설명된다.

도해 F-1-02 · 무어의 세 약속, 남은 것과 깨진 것 · 근거 S-1-39
비용의 제약은 블록별 노드 선택으로, 열의 제약은 고방열 패키지 소재로 이어진다.

비용 약속이 깨진 물리적 이유는 두 갈래다. 하나는 패터닝 비용이다. 선단 노드는 EUV 다중 노광을 요구하고, High-NA 스캐너 한 대의 가격은 $350M을 넘는다. 그래서 웨이퍼 한 장을 돌리는 고정비가 세대마다 계단식으로 올라간다 [S-1-39]. 다른 하나는 마스크와 설계 비용이다. 노드가 내려갈수록 마스크 세트와 설계 검증에 드는 일회성 비용이 커지므로, 물량이 크지 않은 제품은 선단 노드로 갈수록 손해를 본다.

이 구조는 웨이퍼 가격에 그대로 나타난다. 업계 보도 기준으로 TSMC의 2nm 웨이퍼 가격은 3nm 대비 10~20% 높은 수준에서 형성되었다. 2026년에는 3~7nm에 한 자릿수, 2nm에 10~20% 수준의 인상이 적용되는 것으로 보도되었다 [S-1-40]. 절대 가격은 공개 계약가가 아니라 공급망 전언이다. 따라서 인상 방향과 비율만 쓰고 달러 절대값은 단정하지 않는 편이 안전하다. 확정된 것은 방향이며, 노드를 내리면 성능과 전력은 개선되지만 트랜지스터 한 개의 값은 더 이상 내려가지 않는다.

여기서 패키징이 두 번째 축으로 올라선다. 모든 블록을 최신 노드로 내리는 대신, 성능이 필요한 로직 블록만 선단 노드로 만든다. I/O와 아날로그처럼 미세화 이득이 작은 블록은 성숙 노드에 남겨 두고 패키지에서 결합한다. 이렇게 하면 성능은 지키면서 비용은 방어할 수 있다.

도해 F-1-03 · 필요한 블록에만 선단 노드를 쓴다 · 근거 S-1-21
성능이 필요한 연산 로직만 선단 노드로 옮기면 선단 공정에 쓰는 면적을 줄일 수 있다.

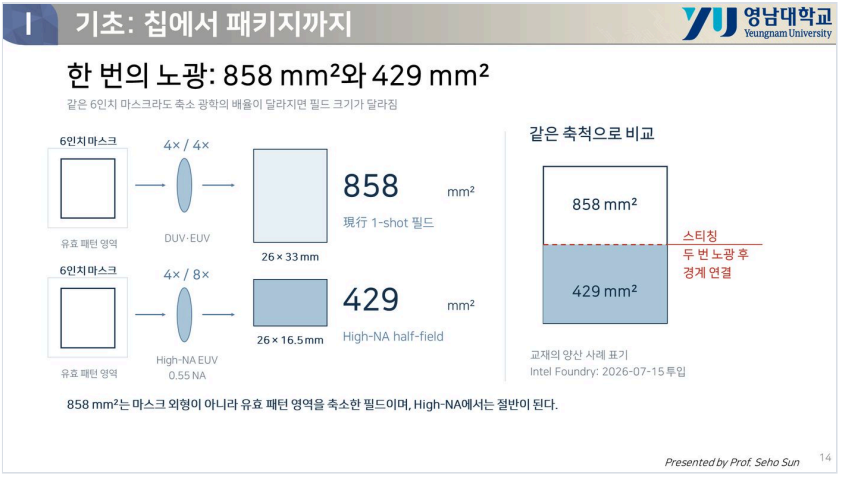
Intel이 2026년 Hot Chips에서 공개한 Wildcat Lake가 이 논리의 대표 사례다. 18A 컴퓨트 타일과 외부 파운드리의 N6·N3E 타일을 저가 유기기판 위에서 UCIe로 묶었고, 컴퓨트 die 면적을 이전 세대 대비 38% 줄였다 [S-1-21]. 성능 이득의 상당 부분이 트랜지스터가 아니라 패키지 구성에서 나온 셈이다.

항목	값	기준 시점	출처 ID
트랜지스터당 비용 0.7배 스케일링 정체 시작 노드	28nm	2012년 양산 이후 현재까지 평탄	[S-1-39]
TSMC 2nm 웨이퍼 가격의 3nm 대비 인상폭	10~20% (보도 기준)	2025-10 보도	[S-1-40]
노드별 가격 인상폭	2nm 10~20%, 3~7nm 한 자릿수 (보도 기준)	2026년 적용, 2025-10-08 보도	[S-1-40]
High-NA EUV 스캐너 대당 가격	$350M 초과 (보도 기준)	2026	[S-1-39]
Intel Wildcat Lake 컴퓨트 die 면적 축소폭	38% (Panther Lake 대비) (보도 기준)	2026-08 (Hot Chips 2026)	[S-1-21]

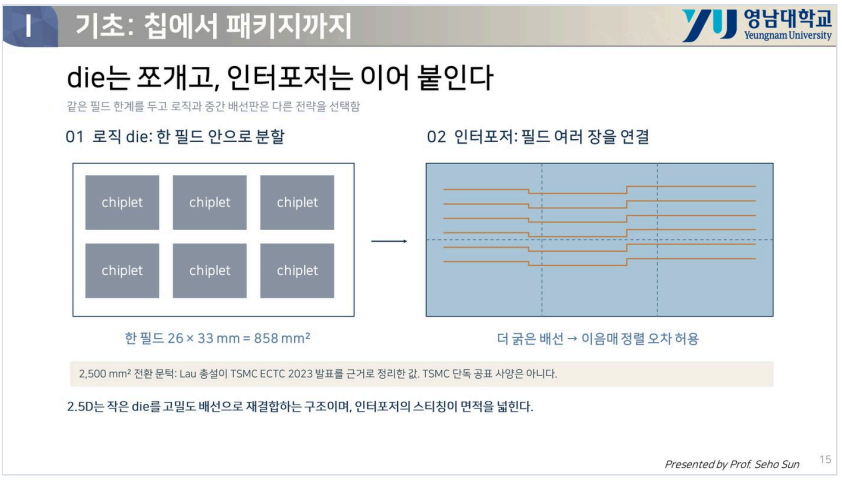
> **소재 관점에서 보면**: 비용 약속이 깨졌다는 사실은 소재 회사에 두 가지 함의를 남긴다. 첫째, 고객이 성능 개선을 전공정이 아니라 패키지에서 사기 시작했으므로 패키지 소재의 가격 수용도가 과거보다 높아졌다. 전통 패키징 대비 Advanced Packaging의 ASP 프리미엄이 3~10배로 관측된다는 업계 견해가 이 변화를 반영한다. 다만 근거가 개인 뉴스레터 단일 출처이므로 업계 관측 수준으로만 인용한다 [S-1-08].

둘째, 한 패키지 안에 노드와 열팽창계수가 서로 다른 부품이 섞인다. 그래서 몰딩 컴파운드와 언더필에 요구되는 CTE 정합과 저응력 특성의 사양 폭이 넓어졌다. 삼성SDI가 이미 보유한 EMC 계열이 요구되는 지점이 여기다.

1.2 레티클 한계: 858mm²가 그은 선



슬라이드 14쪽 · 한 번의 노광: 858 mm²와 429 mm²



슬라이드 15쪽 · die는 쪼개고, 인터포저는 이어 붙인다

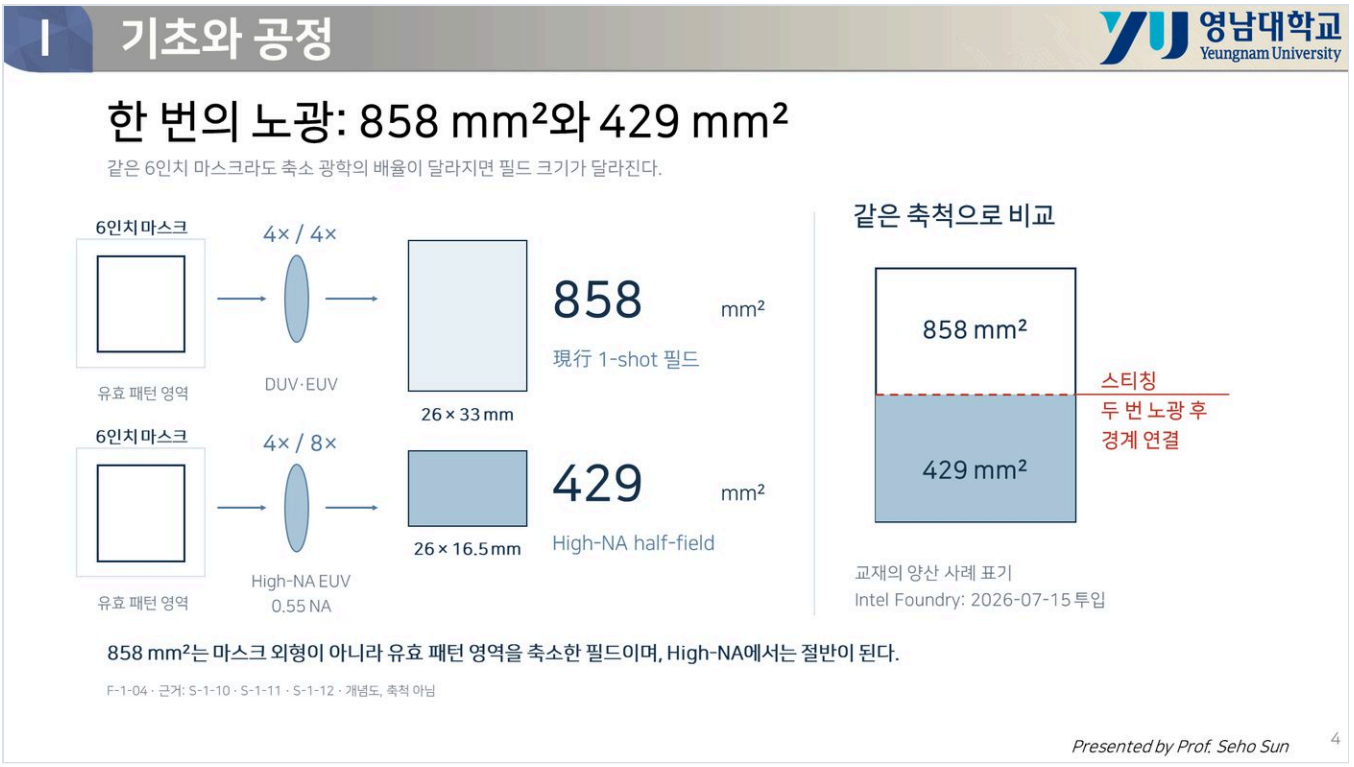
그 밖의 관련 슬라이드: 28쪽

관련 도해: F-2-12A 휨은 냉각 중의 수축 차이가 고정된 결과다 · F-2-12B 조립 창은 온도 대 휨 곡선으로 읽는다 · F-2-12C 실측 휨과 가상 최적화 결과를 구분한다 · F-3-01 레티클 배수는 칩 개수가 아니라 면적이다

노광 장비는 마스크에 그려진 패턴을 광학계로 축소하여 웨이퍼에 찍는다. 현행 스캐너는 6인치 사각 마스크를 쓰고, 광학계가 그 유효 패턴 영역을 4배로 축소한다. 그래서 웨이퍼 위에 한 번에 찍히는 최대 필드는 26×33mm, 면적으로 858mm²다 [S-1-10]. 이 값은 ASML이 공식 설명에서 밝힌 수치다. EUV 전용 한계가 아니라 4배 축소 광학을 쓰는 현행 스캐너 전체의 한계이므로 DUV에도 똑같이 적용된다. 일반적인 대형 die는 이 제약을 그대로 받는다.

다만 858mm²가 절대적인 금지선은 아니다. 필드 사이를 이어 붙이는 스티칭으로 여러 노광 영역을 한 장의 실리콘 위에서 연결하는 웨이퍼 규모 집적이 예외다. Cerebras가 2019년 8월 공개한 WSE는 cross-reticle 연결, 수율, 전력공급 문제를 함께 풀어 46,225mm² 크기의 단일 칩을 구현하였다 [S-1-58]. 그러나 이 경로는 전용 설계와 전용 제조 흐름을 요구한다. 결함 하나가 거대한 면적을 버리게 만드는 수율 구조도 감수해야 한다. 그래서 범용 로직과 AI 가속기 대부분은 여전히 858mm²를 설계 상한으로 놓고 움직인다.

High-NA EUV는 이 제약을 완화하기는커녕 오히려 절반으로 좁힌다. 개구수 0.55의 High-NA 광학계는 두 축의 배율이 다른 anamorphic 구조를 쓴다. 그래서 같은 6인치 마스크로 찍을 수 있는 필드가 26×16.5mm, 면적으로 429mm²의 half-field에 그친다 [S-1-10][S-1-11]. 429mm²를 넘는 die를 High-NA로 만들려면 두 번 노광한 뒤 경계를 잇는 스티칭이 필요하다.



도해 F-1-04 · 한 번의 노광: 858 mm²와 429 mm² · 근거 S-1-10, S-1-11, S-1-12
858 mm²는 마스크 외형이 아니라 유효 패턴 영역을 축소한 필드이며, High-NA에서는 절반이 된다.

이 제약은 이론이 아니라 현재 양산 라인의 조건이다. Intel Foundry는 2026년 7월 15일 High-NA를 양산에 투입했다. 2026년 9월 기준 누적 처리 웨이퍼는 100만 장을 넘었고, Core Ultra Series 3(Panther Lake)의 일부 층에 적용되었다 [S-1-12][S-1-13].

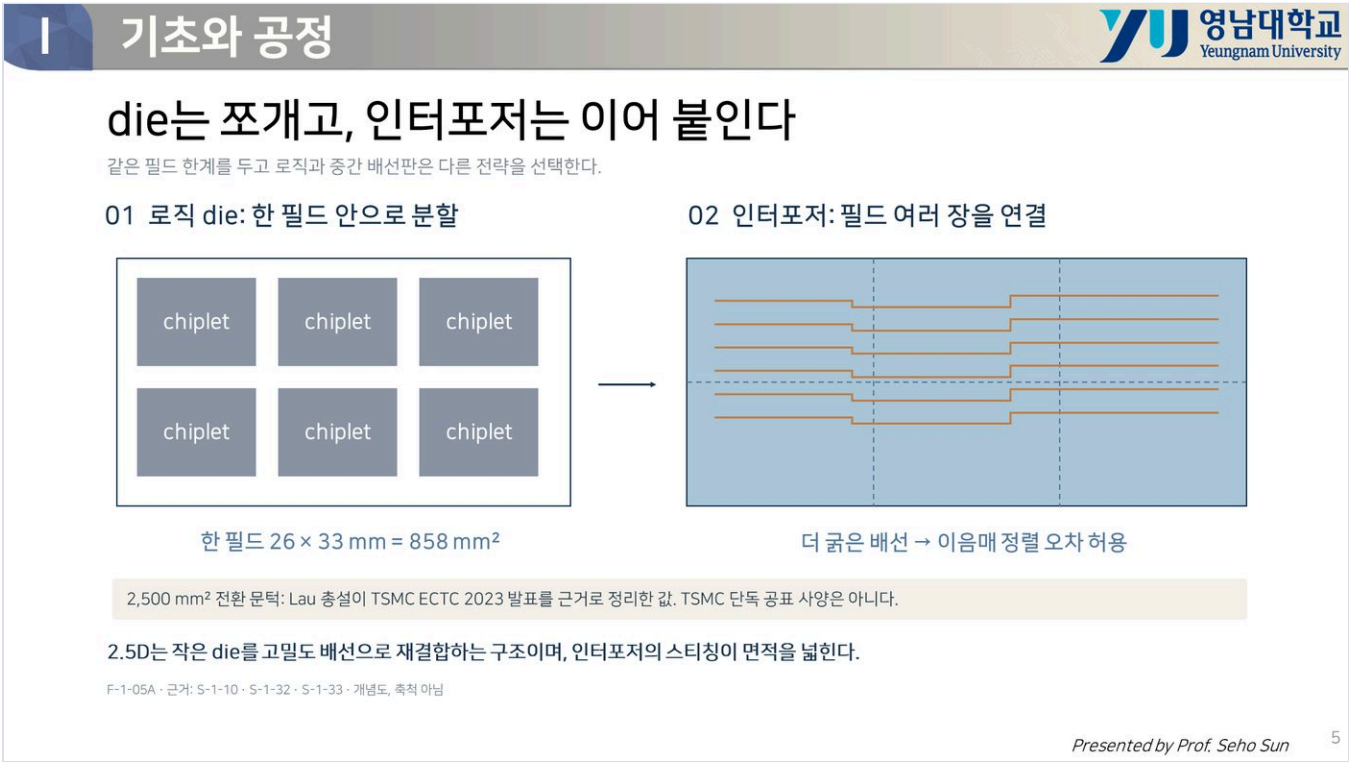
스티칭을 어떻게 다룰 것인가가 2026년 하반기의 실무 쟁점이다. EE Times가 2026년 9월 18일 정리한 바에 따르면 현재 세 가지 접근이 병존한다. 회피 방식은 경계를 가로지르는 전기적 연결이 필요 없도록 블록을 배치해 스티칭 자체를 피한다. 블록앤라우트 방식은 임계 연결을 상위 금속층으로 우회시킨다. 지그재그 방식은 이음매가 민감 영역을 피해 가도록 꺾는다. Panther Lake는 회피 방식으로 처리되었다 [S-1-11].

근본 해법으로는 6×12인치 대형 마스크가 거론된다. Intel과 ASML은 2026년 9월 공동 발표를 통해 전환 계획을 명시하였다 [S-1-12][S-1-13]. 다만 업계 논의에서는 첫 마스크 실증까지 약 5년, 그 마스크로 웨이퍼를 찍기까지 약 7년이 걸릴 것으로 본다 [S-1-11].

858mm²는 당분간 유지되는 선이고, High-NA를 쓰는 층에서는 429mm²라는 더 좁은 선이 추가로 생겼다. AI 가속기 die는 이미 이 선에 닿아 있다. NVIDIA Rubin은 레티클 한계에 육박하는 컴퓨트 die 두 개로 구성되며, 이 사양은 NVIDIA의 공식 기술글에 명시되어 있다 [S-1-43]. I/O die 두 개와 HBM4 스택을 4배 레티클 크기의 CoWoS-L 인터포저 위에 함께 올렸다는 multi-reticle 구성은 보도와 분해 분석 기준이다 [S-1-27] [S-1-29]. AI 칩이 이 한계를 넘어서는 것이 CoWoS 같은 multi-reticle 패키징의 존재 이유다.

로드맵도 이 방향으로 이어진다. TSMC는 2026년 4월 North America Technology Symposium에서 인터포저 크기 로드맵을 제시하였다. 단계는 2027년 9.5 레티클, 2028년 14 레티클(컴퓨트 die 약 10개와 HBM 20스택), 2029년 14 레티클 초과(HBM 최대 24스택)다. System-on-Wafer는 별도 트랙으로 40 레티클 초과 규모를 제시하였다 [S-1-34][S-1-35].

multi-reticle 인터포저도 노광으로 만드는 실리콘 구조물이므로, 한 번에 찍을 수 있는 면적은 똑같이 858mm²다. 그럼에도 3.3배나 5.5배 레티클 크기의 인터포저가 존재한다. 인터포저의 배선은 로직 die만큼 미세하지 않아, 여러 번 노광하여 이어 붙이는 방식이 실용적으로 성립하기 때문이다. 배선 폭이 넓으면 이음매의 정렬 오차 허용치가 커지므로 스티칭 난이도가 낮아진다. die는 쪼개고 인터포저는 이어 붙이는 비대칭 전략이 2.5D 패키징의 실체다. TSMC가 인터포저 면적을 3.3 레티클에서 14 레티클 초과로 늘려 가는 로드맵도 이 원리에 기반한다 [S-1-35].



도해 F-1-05A · die는 쪼개고, 인터포저는 이어 붙인다 · 근거 S-1-10, S-1-32, S-1-33
2.5D는 작은 die를 고밀도 배선으로 재결합하는 구조이며, 인터포저의 스티칭이 면적을 넓힌다.

도해 F-1-05B · 인터포저 크기의 사다리 · 근거 S-1-10, S-1-33, S-1-27, S-1-29, S-1-34, S-1-35
로직의 1-shot 면적과 패키지 통합 면적은 다른 한계이며, 확장은 소재의 대면적 대응을 요구한다.

항목	값	기준 시점	출처 ID
현행 스캐너 최대 노광 필드	26×33mm = 858mm² (6인치 레티클, 4배 축소, DUV·EUV 공통)	2026	[S-1-10]
High-NA EUV(0.55NA) half-field	26×16.5mm = 429mm²	2026	[S-1-10] [S-1-11]
Intel High-NA 양산 투입일	2026-07-15	2026-09 발표	[S-1-12]
Intel High-NA 누적 처리 웨이퍼	100만 장 초과	2026-09-07	[S-1-12] [S-1-13]
6×12인치 마스크 실현 전망	마스크 실증 약 5년, 웨이퍼 인쇄 약 7년	2026-09-18	[S-1-11]
TSMC CoWoS 인터포저 로드맵	2027년 9.5 레티클 → 2028년 14 레티클 → 2029년 14 레티클 초과	2026-04 발표	[S-1-34] [S-1-35]

소재 관점에서 보면: 레티클 한계는 패키지 면적을 키우라는 요구로 이어진다. 패키지가 커지면 실리콘과 유기기판의 열팽창계수 차이가 만드는 warpage가 면적에 비례하여 심해진다. 그래서 저CTE 몰딩 컴파운드와 고강성 기판 코어의 수요가 면적 증가보다 빠르게 늘어난다. 2028년의 14 레티클, 즉 약 1.2만mm² 규모의 패키지를 평탄하게 유지하는 일은 장비만으로 해결되지 않고 소재 물성이 함께 풀어야 한다. Yole이 2026년판 보고서에서 CoWoS 생산능력과 함께 ABF 기판과 Nittobo T-glass를 병목 요소로 지목한 것도 같은 맥락이다 [S-1-01]. 삼성SDI 관점에서는 EMC의 CTE와 모듈러스 사양이 고객 패키지의 크기 상한을 정하는 변수가 된다.

1.3 chiplet 경제학: 수율이 만드는 비용 역전

슬라이드 16쪽 · 결함 하나가 버리는 면적은 같지 않다

그 밖의 관련 슬라이드: 13쪽

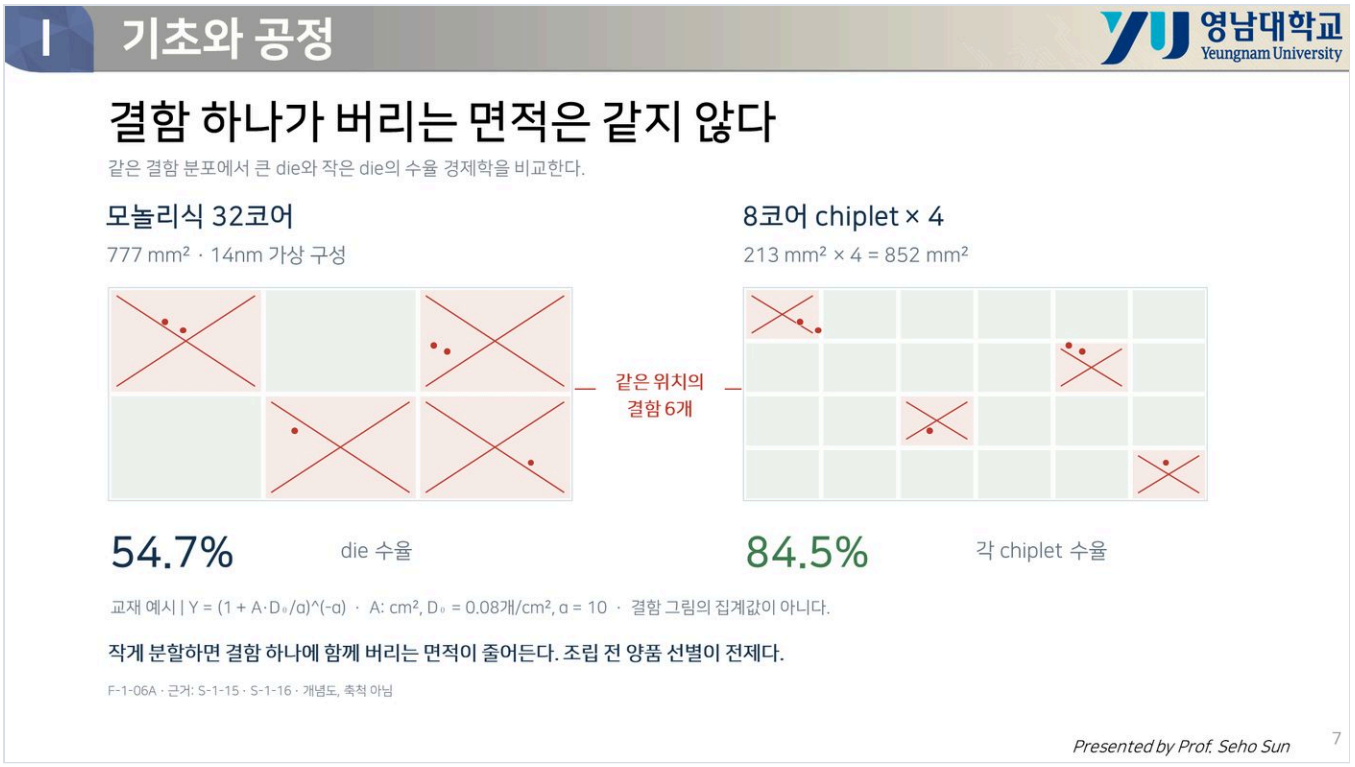
관련 도해: F-1-03 필요한 블록에만 선단 노드를 쓴다

레티클 한계가 물리적 상한이라면, 수율은 경제적 상한이다. 웨이퍼에는 일정 밀도로 결함이 흩어져 있고, die가 커질수록 그 die 안에 결함이 하나라도 들어갈 확률이 올라간다. 업계는 결함의 군집성을 반영한 음이항 수율 모델을 표준으로 쓴다. die 면적을 A, 단위 면적당 결함밀도를 D0, 군집 계수를 α라 하면 수율 Y는 다음 식과 같다 [S-1-15].

```
Y = ( 1 + A·D0 / α ) ^ (-α)
```

이 식에 숫자를 넣으면 chiplet이 유리한 이유가 드러난다. 파라미터는 임의로 고르지 않고 Chiplet Actuary가 제시한 노드별 값을 쓴다. 이 논문은 결함밀도 D0을 3nm 0.20, 5nm 0.11, 7nm 0.09, 14nm 0.08개/cm²로 준다. 실리콘 인터포저는 0.06, RDL은 0.05개/cm²이며, 로직 노드의 군집 계수는 10이다 [S-1-15].

여기에 AMD가 ISCA 2021에서 공개한 1세대 EPYC 구성을 대입한다. 32코어를 14nm 한 덩어리로 만들면 777mm²가 필요하고, 8코어 die 네 개로 나누면 개당 213mm²에 합계 852mm²가 된다 [S-1-16]. 14nm 값인 D0 0.08과 α 10으로 계산하면 777mm² die의 수율은 약 54.7%, 213mm² die의 수율은 약 84.5%다. 좋은 제품 하나를 얻는 데 드는 실리콘 면적으로 환산하면 monolithic이 약 14.2cm², chiplet 네 개 합계가 약 10.1cm²다. 두 값의 비율은 약 0.71이다.



도해 F-1-06A · 결함 하나가 버리는 면적은 같지 않다 · 근거 S-1-15, S-1-16
작게 분할하면 결함 하나에 함께 버리는 면적이 줄어든다. 조립 전 양품 선별이 전제다.

도해 F-1-06B · 수율 이득과 제조비 절감은 다른 숫자다 · 근거 S-1-15, S-1-16
0.71배는 실리콘 면적 예시, 0.59배는 패키지·테스트를 포함한 AMD 공개 제조비다.

AMD가 실제로 공개한 값도 같은 방향이다. 4-die 32코어 MCM의 제조비용은 동일 사양의 가상 monolithic die 대비 0.59배, 즉 약 41% 절감이다. 실리콘을 약 10% 더 쓰고도 이 결과를 얻었다 [S-1-16]. 예시 계산의 0.71과 AMD의 0.59가 갈리는 이유는 가정이 아니라 출처가 다르기 때문이다.

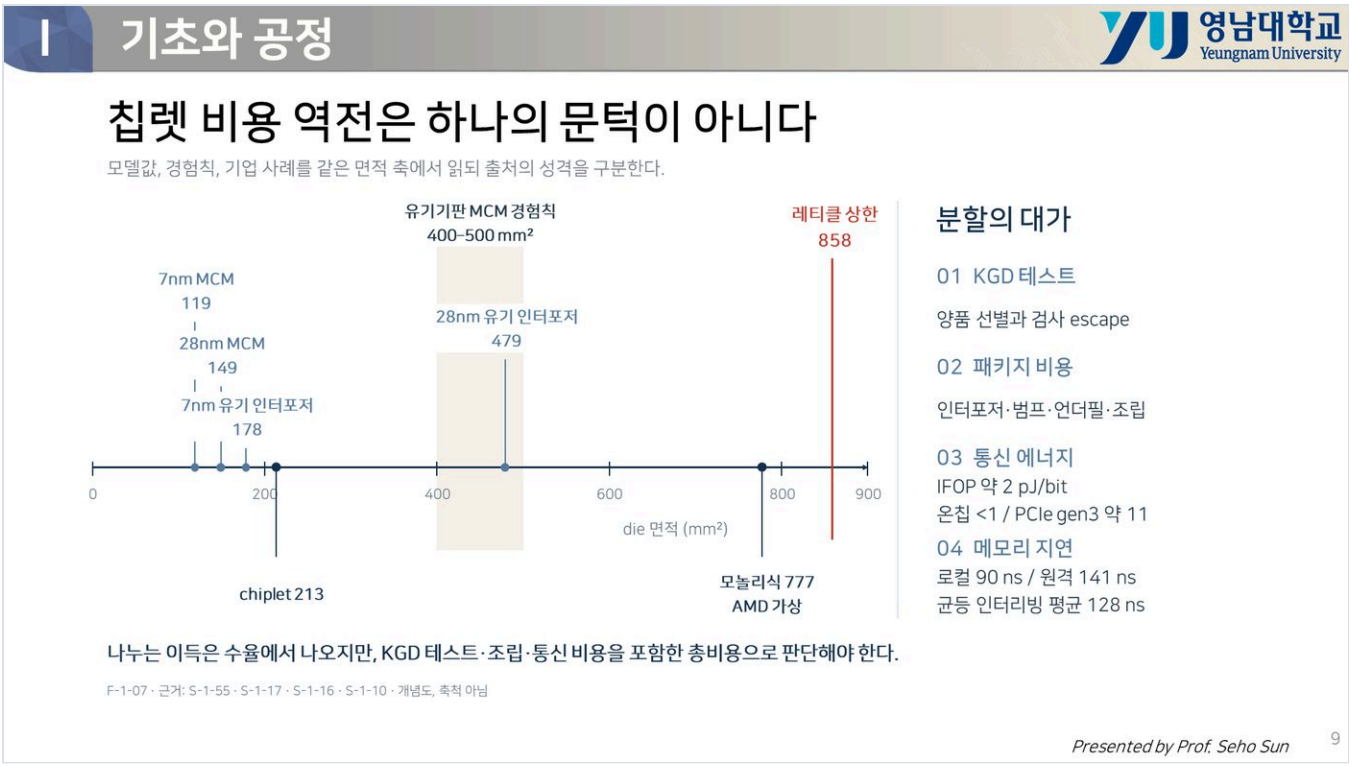
예시 계산은 공개된 모델 파라미터로 실리콘 면적만 세었다. AMD의 0.59는 사내 수율 모델에 성숙 공정의 과거 결함밀도를 넣어 산출한 제조비 비율이다. 패키지와 테스트 비용까지 포함했고, 입력값은 공개되지 않았다 [S-1-16]. 두 값은 소수점에서 갈리지만 구조는 같다. 수율이 면적에 대해 비선형으로 떨어지므로, 같은 트랜지스터 수를 작은 조각으로 나누면 좋은 die를 훨씬 싸게 얻는다.

같은 계산을 선단 노드에서 다시 하면 이득이 더 커진다. 3nm 값인 D0 0.20을 넣으면 777mm² die의 수율은 약 23.6%로 내려가고, 213mm² die는 약 65.9%를 유지한다. 실리콘 면적 비율은 약 0.39까지 떨어진다 [S-1-15]. 노드가 내려갈수록 결함밀도가 올라가므로 chiplet의 상대 이득이 커진다. AI 가속기가 가장 앞선 노드를 쓰면서 동시에 가장 먼저 chiplet으로 옮겨 간 이유가 여기에 있다. 다만 이 결함밀도는 특정 파운드리의 실측 수율이 아니라 논문이 제시한 모델 파라미터이므로, 인용할 때 그 성격을 함께 밝힌다 [S-1-15].

이 계산에는 반드시 붙는 단서가 두 개 있다. 첫째는 known-good-die 문제다. chiplet 네 개 가운데 하나가 불량이면 패키지 전체가 버려지므로, 조립 전에 각 die가 양품임을 보증하는 테스트가 필수다. 이 테스트 비용과, 테스트로도 걸러지지 않는 불량의 escape가 chiplet 쪽 비용에 더해진다. 둘째는 인터포저, 범프, 언더필, 조립 공정처럼 monolithic에는 없던 패키지 비용이다. 두 항목 때문에 chiplet이 항상 유리하지는 않고, 특정 면적 이상에서만 유리해지는 크로스오버가 생긴다 [S-1-15].

비용 밖에도 전력과 지연이라는 대가가 있다. AMD에 따르면 패키지 기판 위를 건너는 IFOP(Infinity Fabric on-package) 링크는 비트당 약 2pJ를 쓴다. 패키지 밖 PCIe gen3의 약 11pJ보다는 낮지만 온칩 배선의 1pJ 미만보다는 높다. 메모리 지연도 늘어, 같은 chiplet의 로컬 채널은 90ns이고 다른 chiplet의 원격 채널은 141ns다. 여덟 채널에 균등 인터리빙하면 평균 128ns가 된다 [S-1-16]. 분할은 제조비를 낮추는 대신 die 사이의 통신에 에너지와 시간을 지불하는 거래다.

크로스오버 면적은 하나의 값으로 고정되지 않는다. 저가 유기기판 MCM을 전제로 한 업계 경험칙은 die 면적 400~500mm² 부근이다 [S-1-17]. 노드와 패키지 유형을 나누어 계산한 Tang과 Xie의 모델은 훨씬 넓은 범위를 제시한다. 7nm에서 MCM 119mm²와 유기 인터포저 178mm², 28nm에서 각각 149mm²와 479mm²다 [S-1-55]. 따라서 특정 문턱값을 단정하기보다, 노드와 패키지 방식에 따라 수십에서 수백 mm² 사이에서 달라진다고 보는 편이 정확하다. 실무에서는 die가 작고 수율이 이미 높으면 나누어도 패키지 비용만 늘고, die가 레티클 한계에 가까워지면 나누지 않을 이유가 없다.



도해 F-1-07 · 칩렛 비용 역전은 하나의 문턱이 아니다 · 근거 S-1-55, S-1-17, S-1-16, S-1-10
나누는 이득은 수율에서 나오지만, KGD 테스트·조립·통신 비용을 포함한 총비용으로 판단해야 한다.

수율만이 chiplet의 이득은 아니다. Chiplet Actuary는 비용 이득을 수율 개선, 재사용, 이종성의 세 축으로 분리하여 정량화한다 [S-1-15]. 재사용 이득은 같은 chiplet을 여러 제품 등급에 그대로 쓰는 데서 나온다. AMD가 동일한 8코어 die를 데스크톱과 서버에 공유한 것이 대표적이다. 마스크 세트와 설계 검증이라는 일회성 비용을 제품 수로 나누어 부담하게 된다.

이종성 이득은 블록별로 최적 노드를 따로 고르는 데서 나온다. SRAM과 아날로그와 I/O는 미세화 이득이 작으므로 성숙 노드에 남기고, 연산 로직만 선단 노드로 내린다. 그러면 같은 성능을 훨씬 적은 선단 노드 면적으로 얻는다. 1.1절에서 다룬 Intel Wildcat Lake가 이 논리의 2026년 사례다. 18A 컴퓨트 타일과 외부 파운드리의 N6·N3E 타일을 섞어 컴퓨트 die 면적을 38% 줄였다 [S-1-21]. 세 축 가운데 무엇이 지배적인지는 제품마다 다르므로, 비용을 따질 때는 어느 축의 이득인지를 밝혀야 한다.

이종 벤더의 chiplet을 한 패키지에 섞으려면 인터페이스 표준이 있어야 하며, 그 자리를 UCIe가 차지했다. 판본별 현황은 아래 표와 같고, 2025년 8월 5일 발표된 UCIe 3.0이 최신이다. 3.0은 링크 속도를 2.0의 32 GT/s에서 48/64 GT/s로 두 배로 올렸다. runtime recalibration, sideband 100mm 연장, 우선순위 sideband 패킷, 긴급 차단 기능도 추가하였다. 이전 판본 전체와 하위호환된다 [S-1-18][S-1-19].

2026년 9월 현재 3.0은 표준은 확정되었고 실리콘은 이제 막 나오기 시작한 단계다. 2026년 3월 Chiplet Summit에서 Intel과 Cadence가 Cameron Creek 테스트칩으로 업계 최초의 UCIe-S 상호운용 실증을 시연하였다 [S-1-20]. 같은 해 8월 Hot Chips에서는 Intel이 Wildcat Lake로 자사 양산 프로세서 최초의 UCIe 적용을 공개하였다. 다만 Wildcat Lake의 실제 링크 속도는 8 GT/s로, 3.0의 최고 속도가 아니라 비용 최적점을 택한 구성이다 [S-1-21].

판본	발표일	레인당 최대 속도	주요 추가 사항	출처 ID
UCIe 1.0	2022-03-02	32 GT/s	표준 2D 유기기판과 advanced 2.5D 패키지 양쪽 정의	[S-1-18]
UCIe 1.1	2023-08-08	32 GT/s	자동차 등 신뢰성 요구 대응, 1.0 하위호환	[S-1-18]
UCIe 2.0	2024-08-06	32 GT/s	3D 패키징(UCIe-3D)과 manageability 체계 도입	[S-1-18]
UCIe 3.0	2025-08-05	48 / 64 GT/s	대역폭 2배, runtime recalibration, sideband 100mm	[S-1-18][S-1-19]

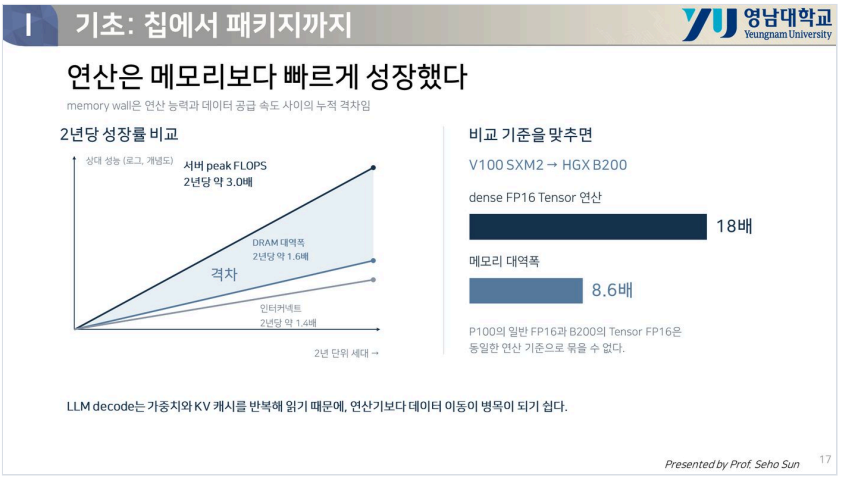
항목	값	기준 시점	출처 ID
노드별 결함밀도 D0 (모델 파라미터)	3nm 0.20 / 5nm 0.11 / 7nm 0.09 / 14nm 0.08 개/cm², 실리콘 인터포저 0.06, RDL 0.05	DAC 2022 (arXiv v4 2024-04)	[S-1-15]
32코어 monolithic 가상 die 면적	777mm² (14nm)	ISCA 2021 학술 원문	[S-1-16]
8코어 chiplet 면적과 합계	213mm² × 4 = 852mm²	ISCA 2021 학술 원문	[S-1-16]
MCM 부가 면적 오버헤드	약 10%	ISCA 2021 학술 원문	[S-1-16]
4-die MCM 대 monolithic 제조비 비율	0.59배 (약 41% 절감, AMD 사내 수율 모델 산출)	ISCA 2021 학술 원문	[S-1-16]
예시 수율 계산 (14nm, D0 0.08, α 10)	777mm² 54.7% 대 213mm² 84.5%, 실리콘 면적비 약 0.71	본 문서 계산	[S-1-15] [S-1-16]
같은 계산의 3nm 값 (D0 0.20)	777mm² 23.6% 대 213mm² 65.9%, 실리콘 면적비 약 0.39	본 문서 계산	[S-1-15]
die 사이 통신의 대가	IFOP 약 2pJ/bit (온칩 1pJ 미만, PCIe gen3 약 11pJ), 메모리 지연 로컬 90ns 대 원격 141ns	ISCA 2021 학술 원문	[S-1-16]
chiplet 비용 역전 면적	유기기판 MCM 경험칙 400~500mm²; 모델 기준 7nm MCM 119mm²·유기 인터포저 178mm², 28nm 149mm²·479mm²	2022~2024	[S-1-17] [S-1-55]
UCIe 최초 상호운용 실증	Intel·Cadence, Cameron Creek 테스트칩	2026-03	[S-1-20]

> **소재 관점에서 보면**: chiplet 경제학은 소재 수요를 양적으로 늘린다. 하나의 큰 die를 네 개로 쪼개면 접합 지점이 네 배가 된다. 범프, 플럭스, 언더필, 그리고 die 사이를 메우는 몰딩의 소요량도 함께 늘어난다.

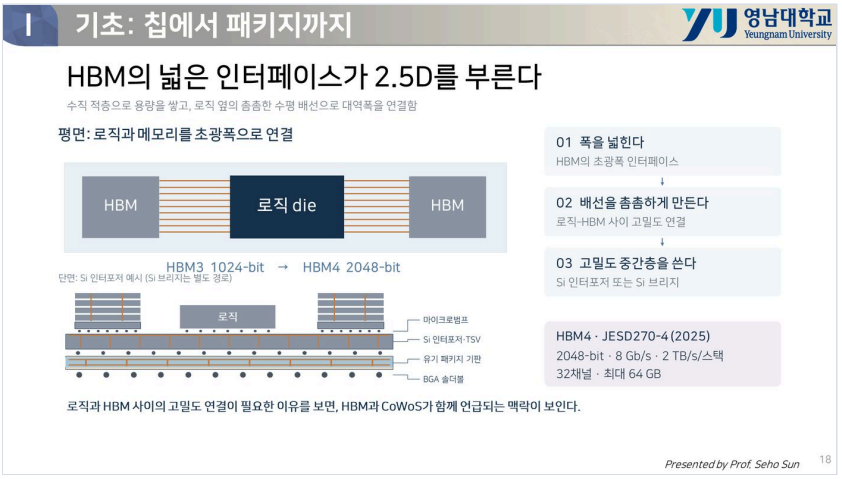
질적 요구도 바뀐다. 이 공정은 known-good-die 테스트를 통과한 비싼 die를 붙인다. 그래서 조립 단계의 불량은 단순한 수율 손실이 아니라 이미 검증된 고가 부품을 버리는 손실이 된다. 언더필의 보이드율과 몰딩의 충전 완전성 기준이 전통 패키징보다 훨씬 엄격해지는 이유다.

UCIe가 표준 패키지와 advanced 패키지를 모두 정의한다는 점도 기회로 읽힌다. 저비용 유기기판 경로가 표준 안에 남아 있어, 실리콘 인터포저 없이 유기기판과 몰딩만으로 구성되는 chiplet 제품군이 계속 생긴다. 그 영역은 국내 소재사가 진입하기 상대적으로 쉬운 구간이다.

1.4 memory wall: 대역폭이 병목이 된 이유



슬라이드 17쪽 · 연산은 메모리보다 빠르게 성장했다



슬라이드 18쪽 · HBM의 넓은 인터페이스가 2.5D를 부른다

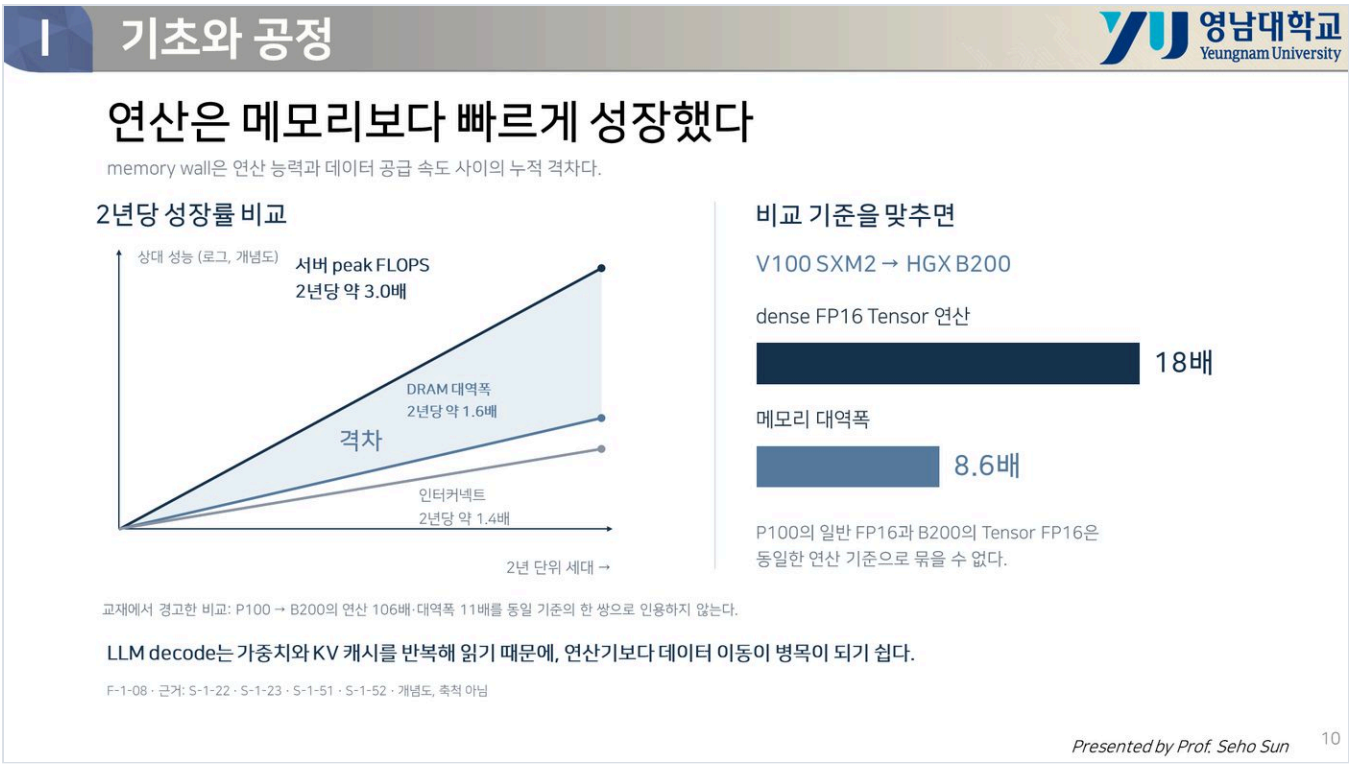
그 밖의 관련 슬라이드: 37쪽 · 38쪽

관련 도해: F-4-01A HBM 스택을 일곱 층으로 읽는다 · F-4-01B 소재의 자리는 스택 안에 세 곳이다 · F-4-02 HBM은 폭을 넓히고 전송 거리를 줄인다

네 번째 제약은 메모리다. 지난 20여 년 동안 서버용 연산 성능은 2년마다 약 3.0배 늘었다. 같은 기간 DRAM 대역폭은 약 1.6배, 인터커넥트 대역폭은 약 1.4배 증가에 그쳤다 [S-1-22]. 격차가 세대마다 약 두 배씩 벌어지므로, 누적되면 차이는 자릿수 단위가 된다.

NVIDIA P100(2016)에서 B200(2024) 구간을 비교한 FP16 연산 약 106배, 메모리 대역폭 약 11배라는 수치도 있다. 수치 자체는 공식값으로 재현된다. P100 SXM의 21.2 TFLOPS에서 HGX B200 구성 GPU의 2,250 TFLOPS가 약 106배이고, 0.72 TB/s에서 8 TB/s가 약 11배다 [S-1-51][S-1-52]. 문제는 값이 아니라 기준이다. P100 쪽은 Tensor 코어를 쓰지 않는 FP16이고 B200 쪽은 Tensor 코어의 dense FP16이다. 서로 다른 기준의 두 값을 하나의 배수로 묶은 셈이다.

기준을 맞추려면 V100 SXM2와 HGX B200을 비교해야 한다. 이 경우 dense FP16 Tensor 연산은 18배, 대역폭은 약 8.6배가 된다 [S-1-51][S-1-52]. 따라서 대표값으로는 2년당 3.0배 대 1.6배를 쓰고, 세대별 예시가 필요하면 기준이 통일된 V100과 B200 비교를 쓴다 [S-1-22].



도해 F-1-08 · 연산은 메모리보다 빠르게 성장했다 · 근거 S-1-22, S-1-23, S-1-51, S-1-52
LLM decode는 가중치와 KV 캐시를 반복해 읽기 때문에, 연산기보다 데이터 이동이 병목이 되기 쉽다.

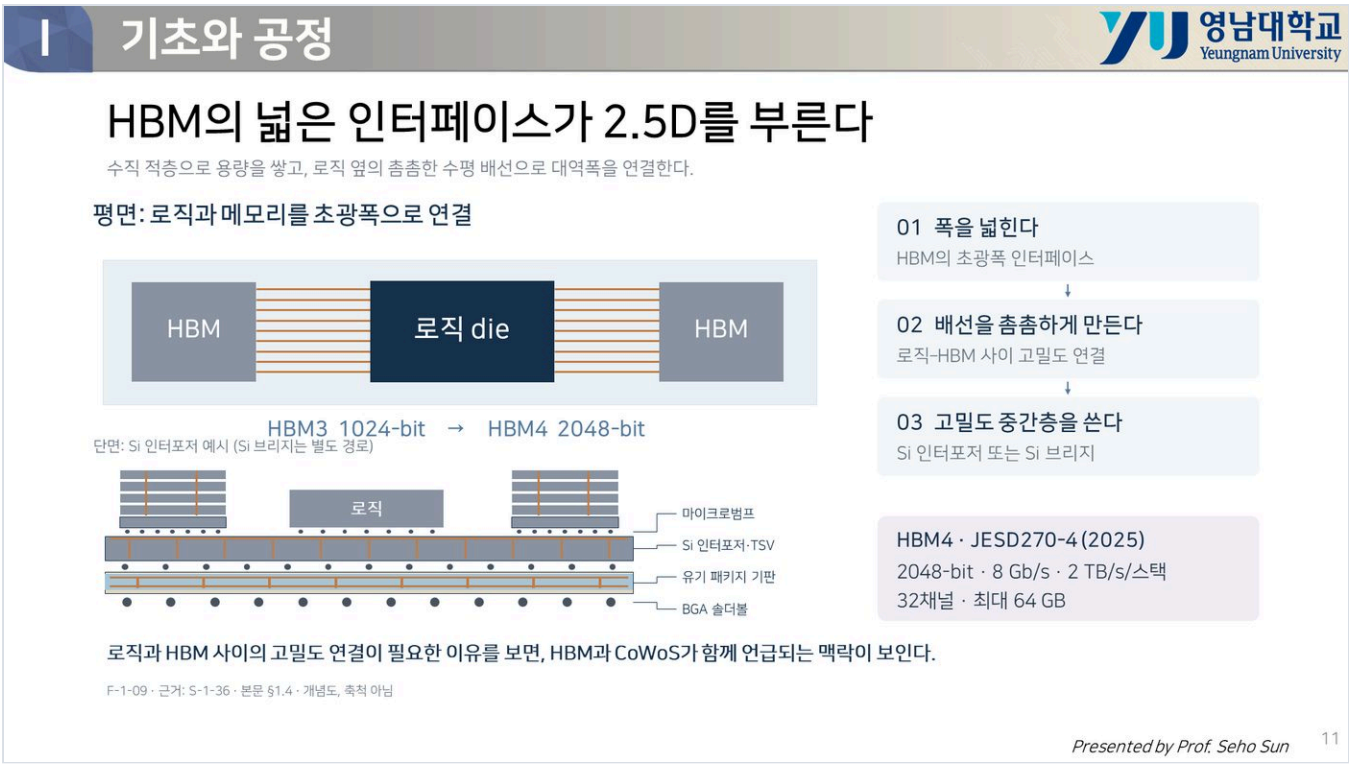
이 격차가 지금 문제가 되는 이유는 LLM 추론의 연산 구조에 있다. Transformer 기반 모델의 추론은 두 단계로 나뉜다. 프롬프트를 한 번에 처리하는 prefill 단계와, 토큰을 하나씩 만들어 내는 autoregressive decode 단계다. decode 단계에서는 토큰 하나를 만들 때마다 모델 가중치 전체와 KV 캐시를 메모리에서 다시 읽어야 한다. 그런데 읽어 온 데이터에 비해 수행하는 연산량은 적다. 그래서 연산기는 대부분의 시간을 메모리에서 데이터가 도착하기를 기다리며 보낸다.

Ma와 Patterson은 이 구조를 근거로, LLM 추론 하드웨어의 1차 과제가 연산이 아니라 메모리와 인터커넥트라고 명시하였다. 해법으로는 네 가지를 제시하였다. HBM급 대역폭의 고대역폭 플래시, processing-near-memory, 3D 메모리-로직 적층, 저지연 인터커넥트다 [S-1-23].

이 병목을 정량적으로 보는 표준 도구가 arithmetic intensity다. 메모리에서 읽어 온 바이트당 수행하는 연산 수를 뜻한다. 연산기가 제 성능을 내려면 이 값이 장비의 연산 대 대역폭 비율보다 커야 하지만, LLM의 decode 단계는 정확히 그 반대편에 놓인다. 배치 크기가 작을 때 가중치 행렬 하나를 읽어 와 벡터 하나와 곱하면 바이트당 연산 수는 한 자릿수에 머무른다. 반면 최신 가속기의 연산 대 대역폭 비율은 수백 단위다. 연산기 능력의 일부만 쓰이고 나머지는 데이터를 기다리며 비어 있게 된다.

배치를 키우면 이 비율이 개선되지만, 서비스 지연시간 요구 때문에 무한정 키울 수는 없다. 또 배치를 키울수록 KV 캐시가 메모리 용량을 잠식한다. 그래서 해법은 연산기를 늘리는 쪽이 아니라 대역폭과 용량을 늘리는 쪽, 곧 HBM 적층과 패키지 내 근접 배치로 향한다 [S-1-23].

네 가지 해법 가운데 현재 실제로 양산되고 있는 것이 3D 메모리 적층, 곧 HBM이다. HBM은 DRAM die를 TSV로 수직 관통하여 쌓고, 1024-bit 또는 2048-bit의 초광폭 인터페이스로 연산기와 연결한다. 폭을 넓혀 대역폭을 버는 방식이므로 배선을 촘촘하게 깔아야 한다. 그래서 유기기판이 아니라 실리콘 인터포저나 실리콘 브리지가 필요하다. HBM이라는 메모리 해법은 2.5D 패키징이라는 패키지 해법을 필수로 요구한다. HBM과 CoWoS가 늘 같이 언급되는 이유다.



도해 F-1-09 · HBM의 넓은 인터페이스가 2.5D를 부른다 · 근거 S-1-36
로직과 HBM 사이의 고밀도 연결이 필요한 이유를 보면, HBM과 CoWoS가 함께 언급되는 맥락이 보인다.

수요도 이 논리를 따라 움직인다. HBM 수요는 2025년에 전년 대비 130% 이상 성장하였고, 2026년에도 연 70% 이상 성장할 전망이다. 이 값은 시장조사 기관의 추정치이므로 인용할 때 기관명을 붙인다 [S-1-24].

2026년 현재의 세대는 HBM4다. JEDEC은 2025년 4월 JESD270-4로 2048-bit 인터페이스, 핀속도 8 Gb/s, 스택당 2 TB/s, 32채널, 최대 64GB를 규정하였다 [S-1-36]. 실제 양산품은 표준을 상회한다.

SK하이닉스는 2025년 9월 12일 세계 최초 HBM4 개발 완료와 양산 체제 구축을 발표하였다(현지 보도자료는 9월 11일자). 이때 2,048 I/O와 10 Gb/s 초과, 전력효율 40% 개선을 제시하였다 [S-1-38]. 삼성전자는 2026년 2월 12일 업계 최초 HBM4 양산과 상용 출하를 발표하였다. 1c DRAM 기반 11.7 Gb/s(최대 13)와 스택당 3.3 TB/s를 제시하였다 [S-1-37]. Micron은 2026년 3월 16일 HBM4 36GB 12-Hi 양산을 발표하며 핀속도 11 Gb/s 초과, 스택당 2.8 TB/s 초과를 제시하였다. HBM3E 대비 대역폭 2.3배와 전력효율 20% 초과 개선도 밝혔고, 48GB 16-Hi 샘플 출하도 함께 알렸다 [S-1-25].

SK하이닉스와 삼성전자의 "최초" 주장은 한정어가 다르다. SK하이닉스는 개발 완료와 양산 준비의 세계 최초이고, 삼성전자는 상용 제품 출하의 업계 최초다. 서로 다른 사건에 대한 주장이므로 두 주장은 양립한다. 인용할 때는 반드시 한정어와 날짜를 붙여 구분한다.

HBM4가 패키지에 요구하는 조건은 SK하이닉스가 2026년 8월 23일 Hot Chips 2026에서 공개한 수치에 잘 드러난다. 아래 값은 발표문 원본이 아니라 그 발표를 전한 2차 보도 기준이다. HBM4 한 스택은 12.8×11mm 크기에 Z-height 775μm를 지키면서, 2만 개가 넘는 TSV와 base die 마이크로범프 16,148개를 담는다. 대역폭은 2 TB/s를 넘고 전력효율 개선은 40%를 넘는다 [S-1-26]. SK하이닉스는 같은 자리에서 CoWoS-S, CoWoS-L, EMIB가 HBM 큐브와 실리콘 인터포저에 가하는 응력이 서로 다르다는 점도 비교하였다. HBM 패키징이 이제 본딩과 열과 인터포저 응력을 함께 푸는 공동설계 문제가 되었다는 뜻이다.

이 요구가 모두 모여 나타난 결과물이 NVIDIA Rubin 패키지다. NVIDIA가 2026년 7월 21일 공개한 공식 기술글 기준으로 Rubin은 레티클 한계에 육박하는 컴퓨트 die 2개와 트랜지스터 336B로 구성된다. HBM4 288GB를 12-Hi로 탑재하고 최대 22 TB/s의 대역폭을 낸다 [S-1-43]. 다만 같은 회사의 상시 제품표는 GPU당 19.2 TB/s로 적고 있다. 인용할 때는 기술글의 최대 22 TB/s와 제품표의 19.2 TB/s를 함께 쓰고, 두 값의 차이에 대한 공식 설명은 없다고 밝히는 편이 안전하다 [S-1-45].

반면 I/O die 2개, 4배 레티클 CoWoS-L 인터포저, HBM4 8스택이라는 구성은 공식 문서에서 확인되지 않은 보도와 분석 기준의 서술이다 [S-1-27][S-1-29]. 다음 세대인 Rubin Ultra는 2027년을 목표로 컴퓨트 chiplet 4개와 HBM4E 1TB, 16스택 구성이 시연과 보도로 알려졌을 뿐이다. 공식 사양표는 확인되지 않았다. 2026년 8월 12일에는 192GB 또는 256GB의 축소 구성을 시험한다는 업계 전언이 보도되었다 [S-1-28][S-1-53]. die 개수와 트랜지스터 수와 메모리 용량은 공식 수치이고, 인터포저 배수와 I/O die 개수와 스택 수는 보도 기준이므로 둘을 구분하여 인용한다.

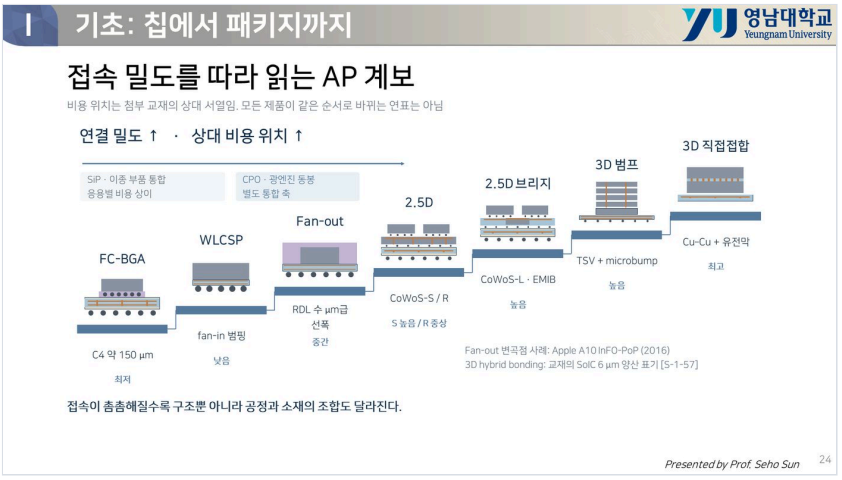
도해 F-1-10 · Rubin: 공식 수치와 보도를 갈라 그린다 · 근거 S-1-43, S-1-45, S-1-27, S-1-29, S-1-28, S-1-53
같은 패키지 안의 숫자라도 공식 발표, 상시 제품표, 보도·분석을 구분해 인용한다.

항목	값	기준 시점	출처 ID
서버 peak FLOPS 성장률	2년당 약 3.0배	최근 20년	[S-1-22]
DRAM 대역폭 성장률	2년당 약 1.6배	최근 20년	[S-1-22]
인터커넥트 대역폭 성장률	2년당 약 1.4배	최근 20년	[S-1-22]
HBM4 표준(JESD270-4)	2048-bit, 8 Gb/s, 스택당 2 TB/s, 32채널, 최대 64GB	2025-04-16	[S-1-36]
SK하이닉스 HBM4	2,048 I/O, 10 Gb/s 초과, 전력효율 +40% (개발 완료·양산 체제 세계 최초)	2025-09-12 (보도자료 9-11자)	[S-1-38]
삼성전자 HBM4	11.7 Gb/s(최대 13), 스택당 3.3 TB/s, 1c DRAM (양산·상용 출하 업계 최초)	2026-02-12	[S-1-37]
Micron HBM4 36GB 12-Hi	11 Gb/s 초과, 스택당 2.8 TB/s 초과, HBM3E 대비 대역폭 2.3배	2026-03-16	[S-1-25]
HBM4 스택 물리 사양	12.8×11mm, Z-height 775µm, TSV 2만 개 초과, base 마이크로범프 16,148개	2026-08-23 Hot Chips 2026 (2차 보도 기준)	[S-1-26]
NVIDIA Rubin 패키지 (공식 수치)	컴퓨트 die 2개, 트랜지스터 336B, HBM4 288GB 12-Hi, 최대 22 TB/s (상시 제품표는 19.2 TB/s)	2026-07-21	[S-1-43] [S-1-45]
NVIDIA Rubin 패키지 (보도·분석)	I/O die 2개, 4배 레티클 CoWoS-L 인터포저, HBM4 8스택	2026	[S-1-27] [S-1-29]

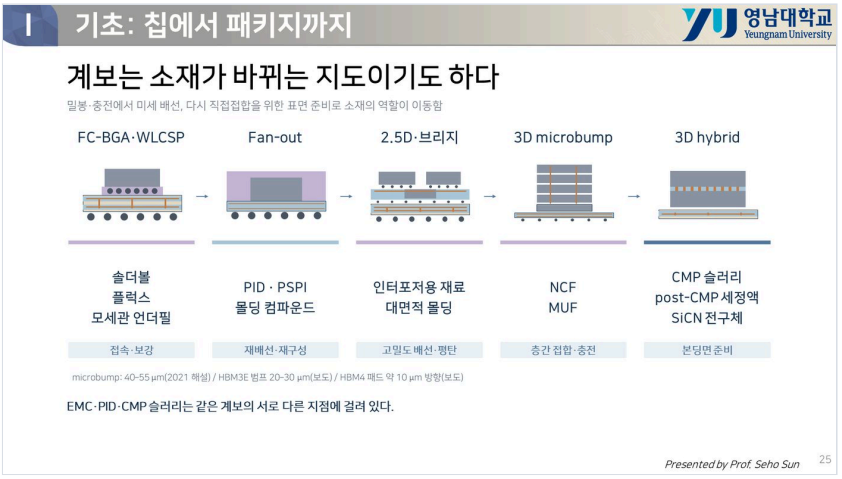
> **소재 관점에서 보면**: memory wall은 소재 수요를 가장 직접적으로 만드는 제약이다. HBM 한 스택에 마이크로범프가 1.6만 개 들어가고 그 사이를 전부 채워야 한다. 그래서 언더필 계열 소재의 소요량은 스택 수와 단 수에 비례하여 늘어난다. 동시에 Z-height 775µm라는 두께 상한 안에 12단 또는 16단을 넣어야 하므로 층당 두께 예산이 빠듯해진다. 필름 두께 편차와 충전 보이드에 대한 관리 수준도 다른 어떤 패키징보다 엄격해진다.

여기에 스택당 전력효율 개선 요구가 겹치면서 열전달 경로가 설계 변수로 올라왔다. 그 결과 고방열 EMC와 TIM이 성장률이 가장 높은 소재 카테고리로 지목되고 있다. 삼성SDI는 2025년 4분기 컨퍼런스콜에서 차세대 그린 호스트와 고방열 EMC 소재를 고객 신제품에 최초로 적용하였다고 밝혔다 [S-1-44]. 이 사건도 같은 흐름 위에 놓여 있다.

1.5 Advanced Packaging의 정의, 계보, 분류 지도



슬라이드 24쪽 · 접속 밀도를 따라 읽는 AP 계보



슬라이드 25쪽 · 계보는 소재가 바뀌는 지도이기도 하다

그 밖의 관련 슬라이드: 7쪽 · 8쪽 · 9쪽 · 10쪽 · 11쪽 · 15쪽 · 29쪽

관련 도해: F-1-05A die는 쪼개고, 인터포저는 이어 붙인다 · F-1-05B 인터포저 크기의 사다리 · F-2-01 네 단면을 같은 순서로 읽는다 · F-2-01A FC-BGA: 유기 기판이 배선을 맡는다 · F-2-01B CoWoS-S: 두 접합부와 두 언더필 · F-2-01C HBM 12H: 스택을 층 단위로 해부한다 · F-2-01D FO-WLP: 몰드와 RDL이 기능을 나눈다 · F-2-03A 범프 3계급: 구조와 치수는 겹치는 분류다 · F-2-03B 범프 하나를 세우는 여섯 단계 · F-2-07 중간층 4종: 실리콘에 어디까지 맡길 것인가 · F-2-10 본딩 피치: 양산·제공 기술·실증을 같은 점으로 찍지 않는다 · F-3-02 CoWoS-S · R · L: 바뀌는 것은 인터포저다

전통 패키징은 단일 칩의 밀봉과 보호에 중심을 두었다. Advanced Packaging은 여기서 더 나아가 복수의 die를 고밀도 인터커넥트로 결합하고, 패키지 수준에서 시스템 성능을 스케일링하는 기술의 총칭이다. 인터커넥트로는 RDL(재배선층), interposer(중간기판), bridge(브리지), TSV(실리콘 관통전극), hybrid bonding(직접접합)이 쓰인다. 그 실체는 이종집적(Heterogeneous Integration)이다. 서로 다른 공정노드, 기능, 파운드리에서 만든 die를 한 패키지에 결합한다는 뜻이며, 산업은 이를 "More than Moore" 노선이라 부른다.

학술 분야는 이 분류를 더 세분하여 2D, 2.1D, 2.3D, 2.5D, 3D, 3.3D, 3.5D의 일곱 등급으로 나눈다. 2026년 9월 발간된 J. H. Lau의 총설이 이 분류의 정본이다. 일곱 등급을 가르는 기준은 여러 개의 die를 무엇이 받치는가 하나다 [S-1-32].

등급	다중 die를 받치는 것	대표 구현
2D	build-up 기판 또는 팬아웃 RDL	FC-BGA, InFO
2.1D	기판 위의 박막층 또는 매립 브리지	Intel EMIB 계열
2.3D	유기 인터포저	CoWoS-R 계열
2.5D	수동 TSV 또는 TGV 인터포저	CoWoS-S
3D	능동 TSV·TGV 인터포저	로직 위 로직 적층
3.3D	인터포저 없이 SoC 위에 HBM을 직접 적층	cHBM-on-SoC
3.5D	이종집적 이전에 일부 chiplet을 Cu-Cu hybrid bonding으로 선결합	Broadcom XDSiP

(분류 근거는 [S-1-32]의 Fig. 3과 Table 3이다. TSMC는 CoWoS-S·R·L을 모두 CoWoS로 묶으므로 Lau가 CoWoS-R을 2.3D로 분류하는 것과 명칭이 어긋난다는 점에 주의한다.)

도해 F-1-12A · Lau 분류 ①: die를 받치는 중간층 · 근거 S-1-32
여러 die를 무엇이 받치는가를 확인하면 2D부터 2.5D까지의 분류를 읽을 수 있다.

도해 F-1-12B · Lau 분류 ②: 능동 die와 직접 적층 · 근거 S-1-32
같은 수직 적층처럼 보여도 능동 인터포저, SoC 위 HBM, 선결합 chiplet은 분류의 기준이 다르다.

계보는 인터커넥트 밀도가 낮은 쪽에서 높은 쪽으로 읽으면 이해하기 쉽다. 출발점은 FC-BGA다. 직경 75~200μm의 C4 솔더 범프를 약 150μm 피치로 배열하고 die를 유기기판에 뒤집어 붙이는 방식이며, CPU와 GPU의 범용 형태다 [S-1-41]. 다음이 WLCSP다. 웨이퍼 레벨에서 범핑을 끝내고 die 면적 안에 I/O를 두는 가장 작은 패키지로, 모바일 PMIC와 RF에 쓰인다. 여기까지는 die 하나를 담는 구조에 머문다.

fan-out부터 패키지가 능동적인 배선 층위가 된다. FOWLP는 몰딩으로 재구성한 웨이퍼 위에 RDL을 형성하여 die 면적 바깥까지 I/O를 확장한다. 기판을 생략할 수 있어 얇고 열저항이 낮다. Apple A10(2016)에 채택된 TSMC InFO-PoP가 산업의 변곡점이었다. FOPLP는 원형 웨이퍼 대신 사각 패널을 써서 면적 효율과 비용을 개선한 갈래다.

그다음이 2.5D이며, 여기서부터 die를 여러 개 얹는다. CoWoS-S는 TSV를 품은 실리콘 인터포저를 쓰고 최대 3.3 레티클(약 2,700mm²)까지 대응한다. CoWoS-R은 폴리머와 구리로 만든 RDL 인터포저를 쓴다. CoWoS-L은 RDL 인터포저에 국소 실리콘 브리지와 딥트렌치 커패시터를 매립한 구조로, 대면적 고집적의 주력이다 [S-1-33]. Lau의 총설은 두 방식이 갈리는 문턱을 인터포저 면적 2,500mm²로 정리한다. 그보다 커지면 실리콘 인터포저의 수율과 면적 부담이 커지므로 CoWoS-S가 CoWoS-L로 넘어간다 [S-1-32].

TSMC가 2,500mm²라는 값을 단독 사양으로 공표한 적은 없다. Lau의 총설이 TSMC의 ECTC 2023 발표 논문 두 편을 근거로 정리한 값이다. 인터포저 면적이 2,500mm² 이상이 되면 CoWoS-S의 일부가 CoWoS-L로 대체된다는 내용이다. 여기서 CoWoS-L은 국소 실리콘 브리지(LSI)를 팬아웃 EMC와 RDL에 매립한 재구성 인터포저를 가리킨다 [S-1-32].

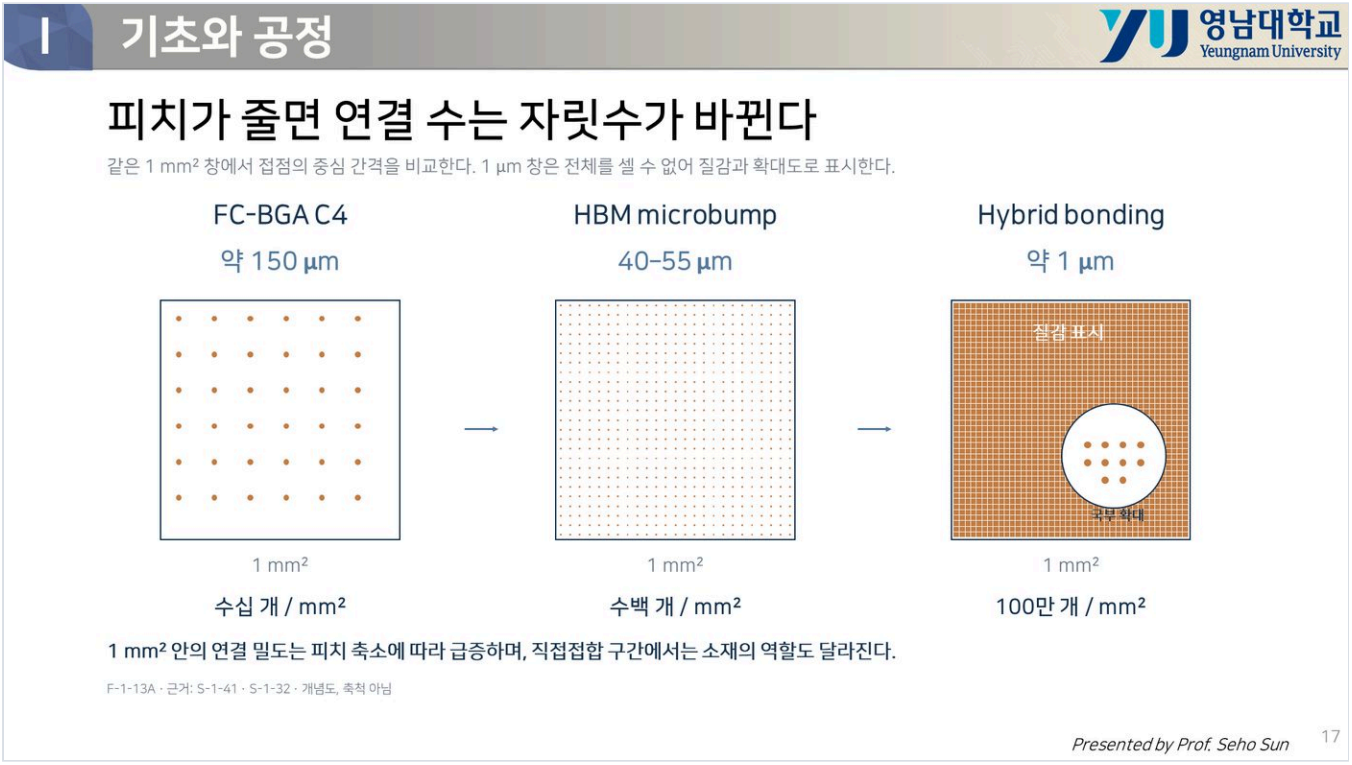
근거 논문 가운데 확인된 한 편은 TSMC 연구진 7인이 쓴 "CoWoS Architecture Evolution for Next Generation HPC on 2.5D System in Package"다. 이 논문은 대면적 실리콘 인터포저의 결함 기인 수율 손실을 해결하려고 CoWoS-L을 도입한다고 초록에서 밝힌다 [S-1-59]. 나머지 한 편은 같은 proceedings 안의 TSMC 대면적 2.5D 논문으로 좁혀지지만 특정되지 않았다 [S-1-60].

따라서 2,500mm²는 "TSMC 공식 사양"이 아니라 "TSMC의 ECTC 2023 발표를 근거로 Lau 총설이 정리한 문턱"으로 인용해야 한다. CoWoS-S가 대응하는 최대 3.3 레티클은 약 2,700mm²다. 2,500mm²는 그 상한에 닿기 직전부터 전환이 시작된다는 뜻으로 읽는 편이 정확하다.

같은 총설은 접합 방식별 피치 범위도 한 표로 정리한다. 아래 표는 각 접합 방식이 담당하는 피치 영역이다. 표준품과 고사양품과 연구개발 단계를 나누어 적었으므로 실무 판단에 유용하다 [S-1-32].

접합 방식	표준 (직경/피치)	고사양	연구개발
C4 솔더 범프	100μm / 150μm	50μm / 100μm	25μm / 50μm
C2 범프(Cu pillar)	50μm / 100μm	25μm / 50μm	10μm / 20μm
Cu-Cu hybrid bonding	패드 직경 5μm 이하 / 피치 10μm 이하	해당 없음	해당 없음

이 피치 구분은 1.3절의 chiplet 논의와 곧바로 이어진다. 제품이 요구하는 피치가 어느 칸에 떨어지느냐에 따라 소재 목록이 갈린다. 솔더와 플럭스와 언더필이 그대로 남을 수도 있고, CMP 슬러리와 세정액과 유전막으로 통째로 교체될 수도 있다. Intel EMIB는 대면적 인터포저 없이 유기기판에 소형 실리콘 브리지만 매립하여 국소 고밀도 배선을 구현하는 대안 경로다.



도해 F-1-13A · 피치가 줄면 연결 수는 자릿수가 바뀐다 · 근거 S-1-41, S-1-32
1 mm² 안의 연결 밀도는 피치 축소에 따라 급증하며, 직접접합 구간에서는 소재의 역할도 달라진다.

도해 F-1-13B · 피치 표를 읽을 때는 측정면부터 확인한다 · 근거 S-1-32, S-1-41, S-1-42, S-1-56
범프 직경, 범프 피치, 패드 피치, RDL 선폭은 서로 다른 수치다. 이름을 지운 비교는 피한다.

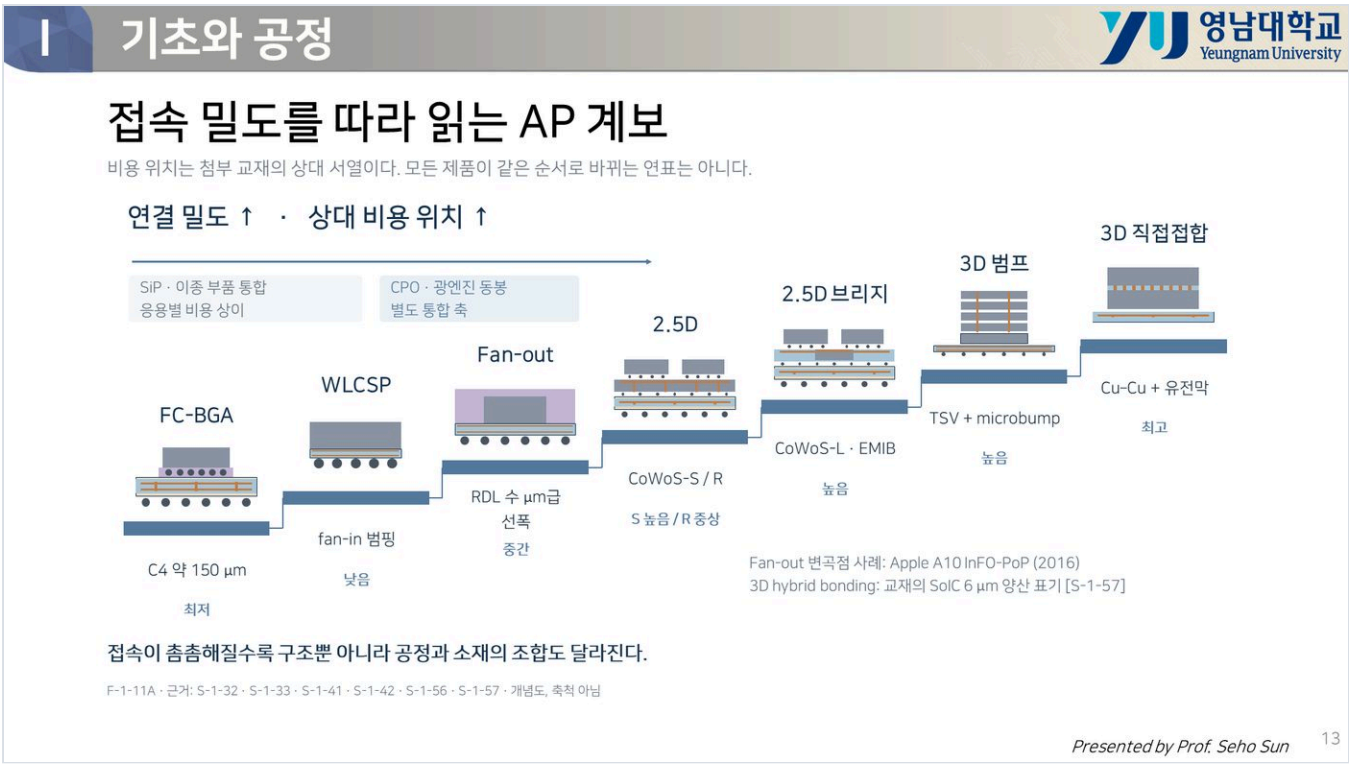
3D는 수직으로 간다. TSV와 마이크로범프로 die를 쌓는 방식이 HBM 적층의 기본 골격이며, 그 피치는 세대와 출처에 따라 다르다. 2021년 해설 기준으로는 40~55µm였고 [S-1-41], HBM3E의 양산 보도 기준으로는 20~30µm로 축소되었다. HBM4의 패드 피치는 약 10µm 방향으로, 20단 이상의 접합 피치는 18µm 이하로 보도된다 [S-1-56]. 측정면이 범프인지 패드인지에 따라 값이 달라지므로, 단일 대표값을 전 세대의 골격으로 단정하지 않는다.

그 끝에 hybrid bonding이 있다. hybrid bonding은 구리 패드와 유전막을 동시에 직접 접합하여 솔더를 완전히 배제하는 무범프 방식이며, 약 10µm 이하 피치 영역의 해법이다. 로직 쪽에서는 TSMC SoIC가 6µm 피치를 양산하고 있다 [S-1-57]. Intel Foveros Direct는 1세대 약 10µm에서 2세대 5µm 미만으로 가는 로드맵을 공식 문서로 제시하였다 [S-1-42]. 제품 기준으로는 1세대가 9µm로 2026년 상반기에 출하되었고 2세대는 3µm를 계획한다(Day 2 §2.4 [S-2-11]).

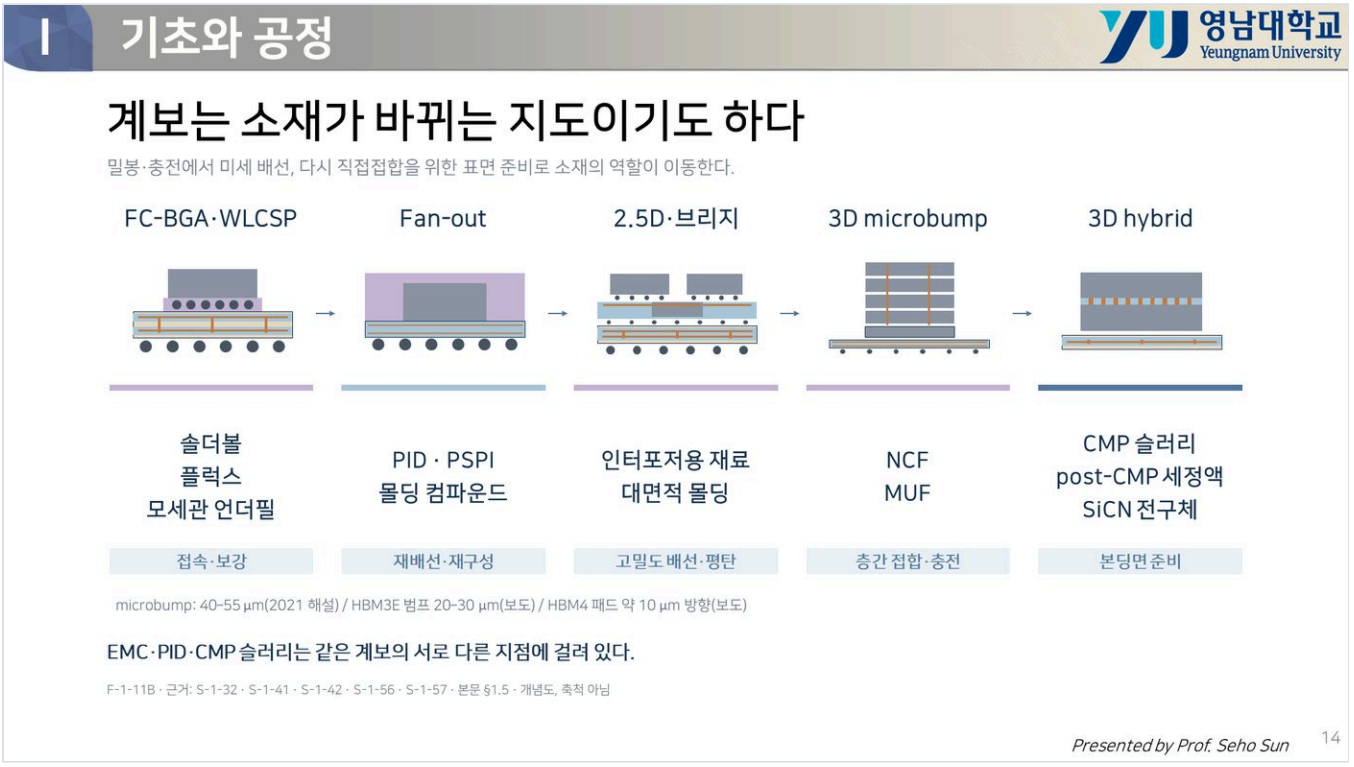
계보의 끝에는 SiP와 CPO가 있다. SiP는 로직과 메모리와 수동소자와 RF를 한 패키지에 담는 이종 부품 통합이다. CPO는 광엔진을 스위치나 GPU 패키지에 동봉하여, 전기 배선의 거리 한계를 광으로 넘는 접근이다.

계보를 읽는 또 하나의 축은 인터커넥트 밀도와 비용의 교환 관계다. 단위 면적당 연결 개수로 보면 FC-BGA의 약 150µm 피치는 mm²당 수십 개 수준이다. HBM이 쓰는 40~55µm 마이크로범프는 mm²당 수백 개 수준이고, hybrid bonding은 약 1µm 피치에서 mm²당 100만 개에 이른다. 계보를 한 단계 올라갈 때마다 연결 밀도가 자릿수 단위로 뛴다 [S-1-41].

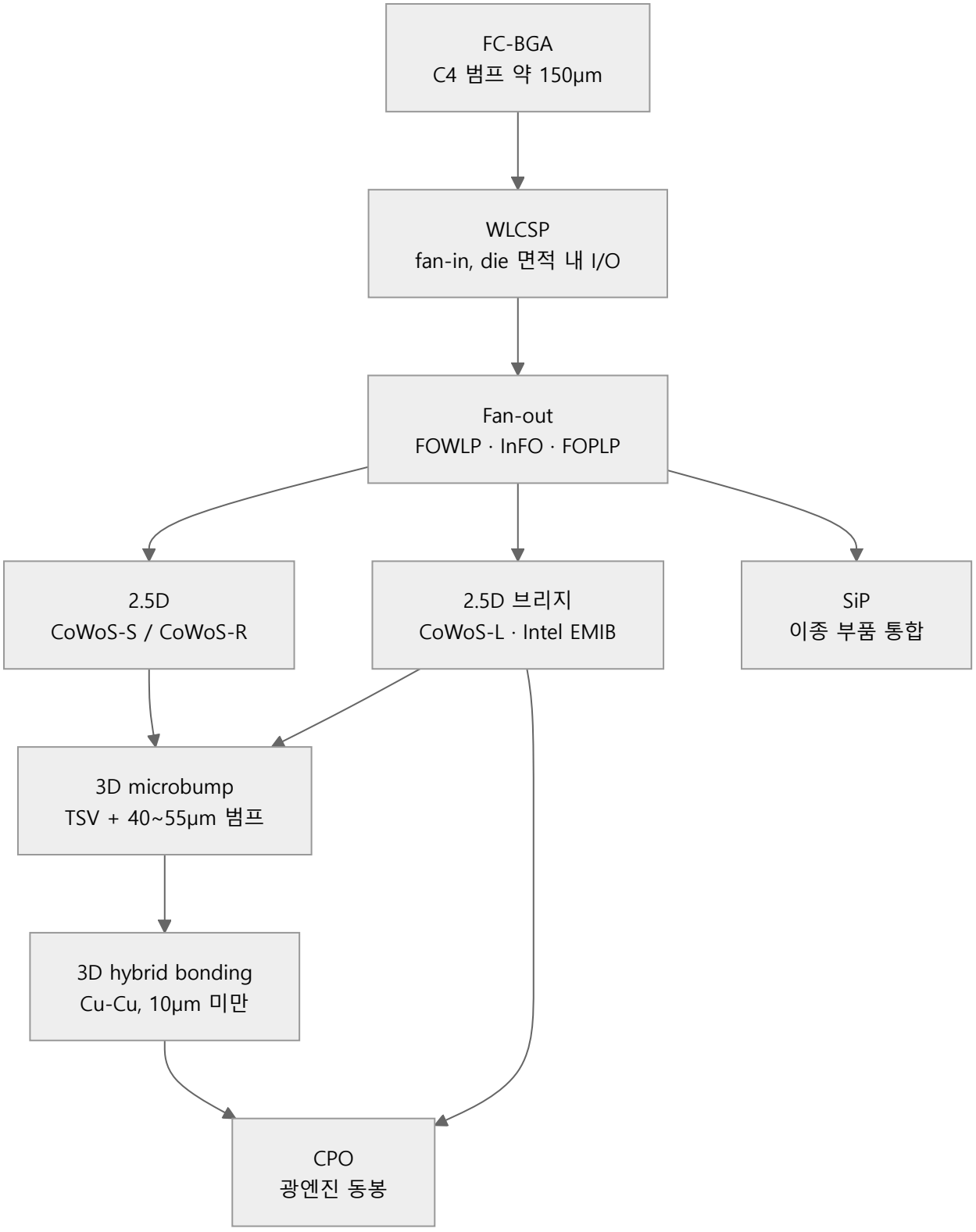
비용도 같은 방향으로 움직인다. 유기기판과 솔더만 쓰는 구간이 가장 싸다. 실리콘 인터포저와 TSV가 들어가면 전공정 팹 공정을 후공정에 끌어들이는 셈이 되어 비용이 계단식으로 오른다. hybrid bonding은 CMP 수준의 표면 평탄도와 엄격한 입자 제어를 요구하므로 가장 비싸다 [S-1-42]. 설계자는 매번 제품에 필요한 연결 밀도가 어느 구간인지, 그 구간의 비용을 제품 가격이 감당하는지를 따진다. AI 가속기는 대역폭이 곧 제품 가치이므로 가장 비싼 구간을 택하고, 모바일 제품은 대체로 fan-out 구간에서 멈춘다.



도해 F-1-11A · 접속 밀도를 따라 읽는 AP 계보 · 근거 S-1-32, S-1-33, S-1-41, S-1-42, S-1-56, S-1-57
접속이 촘촘해질수록 구조뿐 아니라 공정과 소재의 조합도 달라진다.



도해 F-1-11B · 계보는 소재가 바뀌는 지도이기도 하다 · 근거 S-1-32, S-1-41, S-1-42, S-1-56, S-1-57
EMC·PID·CMP 슬러리는 같은 계보의 서로 다른 지점에 걸려 있다.


FC-BGA
C4 범프 약 150μm
WLCSP
fan-in, die 면적 내 I/O
Fan-out
FOWLP · InFO · FOPLP
2.5D
CoWoS-S / CoWoS-R
2.5D 브리지
CoWoS-L · Intel EMIB
SiP
이종 부품 통합
3D microbump
TSV + 40~55μm 범프
3D hybrid bonding
Cu-Cu, 10μm 미만
CPO
광엔진 동봉

단계	기술	인터커넥트 피치	상대 비용 위치	대표 사례	출처 ID
전통 고급	FC-BGA	C4 범프 약 150μm	최저	CPU·GPU 범용	[S-1-41]
전통 고급	WLCSP(fan-in)	웨이퍼 레벨 범핑	낮음	모바일 PMIC·RF	[S-1-32]
Fan-out	FOWLP · InFO · FOPLP	RDL 수 μm급 선폭	중간	Apple A10 InFO-PoP(2016)	[S-1-32]
2.5D	CoWoS-S (Si interposer + TSV)	μm급 배선, 최대 3.3 레티클	높음	AI 가속기 + HBM	[S-1-33]
2.5D	CoWoS-R (RDL interposer)	폴리머 + Cu RDL	중상	2023년 양산 개시. Lau 2026 분류로는 2.3D(유기 RDL 인터포저)	[S-1-33] [S-1-32]
2.5D	CoWoS-L · EMIB (embedded bridge)	국소 실리콘 브리지	높음	NVIDIA Rubin(CoWoS-L), Intel EMIB	[S-1-27] [S-1-33]
3D	TSV + microbump	40~55μm(2021년 해설) → HBM3E 20~30μm(양산 보도) → HBM4 패드 약 10μm 방향	높음	HBM 적층의 기본 골격	[S-1-41] [S-1-56]
3D	Hybrid bonding (bumpless)	약 10μm 이하에서 sub-μm (SoIC 6μm 양산)	최고	Intel Foveros Direct, TSMC SoIC	[S-1-42] [S-1-57]
SiP	System-in-Package	혼재	응용별 상이	웨어러블·모바일 모듈	[S-1-32]
광통합	Co-Packaged Optics	광 결합	최고	스위치·GPU 광엔진 동봉	[S-1-05]

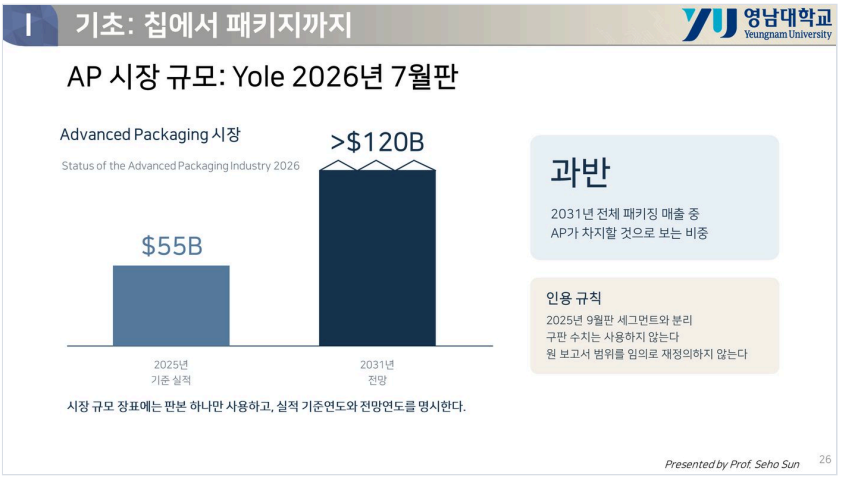
이 분류를 산업 표준의 언어로 정리한 문서가 IEEE Heterogeneous Integration Roadmap이다. 2025 에디션(개요 챕터 본문 표기 2026년 3월, Rev 0.9의 미완성판)은 25개 챕터 전량이 무료 공개되었다. 구조는 두 축으로 나뉜다. 응용 주도 챕터는 HPC와 데이터센터, IoT, 의료, 자동차, 항공우주, 모바일, 5G/6G를 다룬다. 요소기술 챕터는 소재와 인터페이스, 인터커넥트, 전력, 열, 테스트, 신뢰성, 공급망, 사이버보안, 공동설계, 웨이퍼 레벨 패키징, SiP, 조립 장비를 다룬다 [S-1-30].

HIR의 전제는 성능이 더 이상 단일 기술이 아니라 시스템 수준의 통합 설계에서 나온다는 것이다. 따라서 응용이 요구하는 사양과 요소기술의 로드맵을 같은 표 위에서 맞춰야 한다. 전 챕터 PDF는 IEEE EPS 사이트에서 무료로 내려받을 수 있고, 개요 챕터의 직링크도 공개되어 있다 [S-1-31]. 소재 관점에서는 15장 Materials and Interfaces, 20장 Thermal, 22장 Interconnects, 23장 Wafer Level Packaging 순서로 먼저 읽는다.

> **소재 관점에서 보면**: 계보를 아래에서 위로 올라갈 때마다 소재 목록이 교체된다. FC-BGA 구간의 주력 소재는 솔더볼과 플럭스와 모세관 언더필이다. fan-out 구간에서는 RDL 유전체인 PID와 PSPI, 그리고 재구성 웨이퍼를 만드는 몰딩 컴파운드가 주력이 된다. 2.5D로 올라가면 인터포저용 재료와 대면적 몰딩이 들어온다. 3D microbump 구간에서는 NCF와 MUF가, hybrid bonding 구간에서는 CMP 슬러리와 post-CMP 세정액과 SiCN 전구체가 주력이 된다.

계보는 기술 연표인 동시에 소재 카테고리가 등장하고 퇴장하는 순서표다. 삼성SDI가 이미 보유한 EMC, PID, CMP 슬러리는 이 계보의 서로 다른 세 지점에 걸려 있다. 따라서 어느 기술이 어느 시점에 주류가 되는지가 곧 포트폴리오의 매출 시간표가 된다.

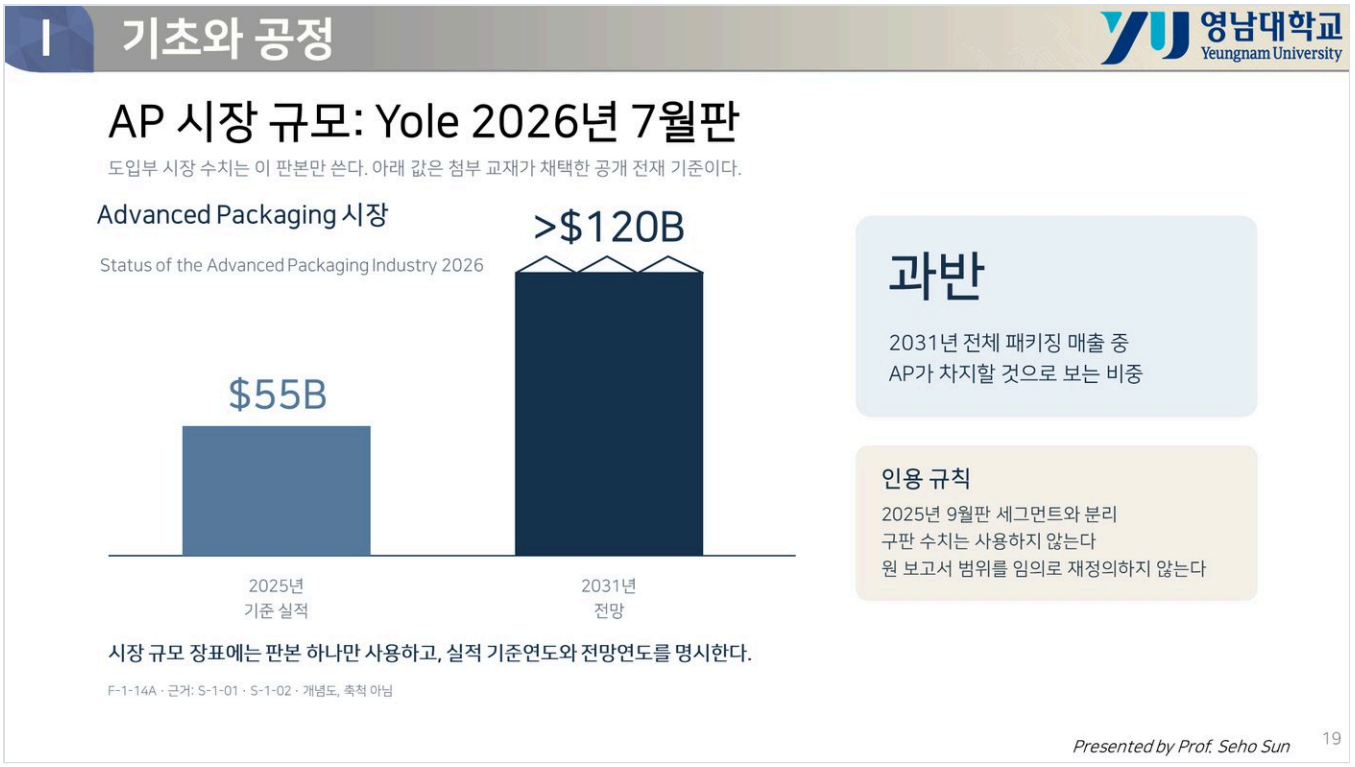
1.6 시장 규모와 판본 규칙



슬라이드 26쪽 · AP 시장 규모: Yole 2026년 7월판

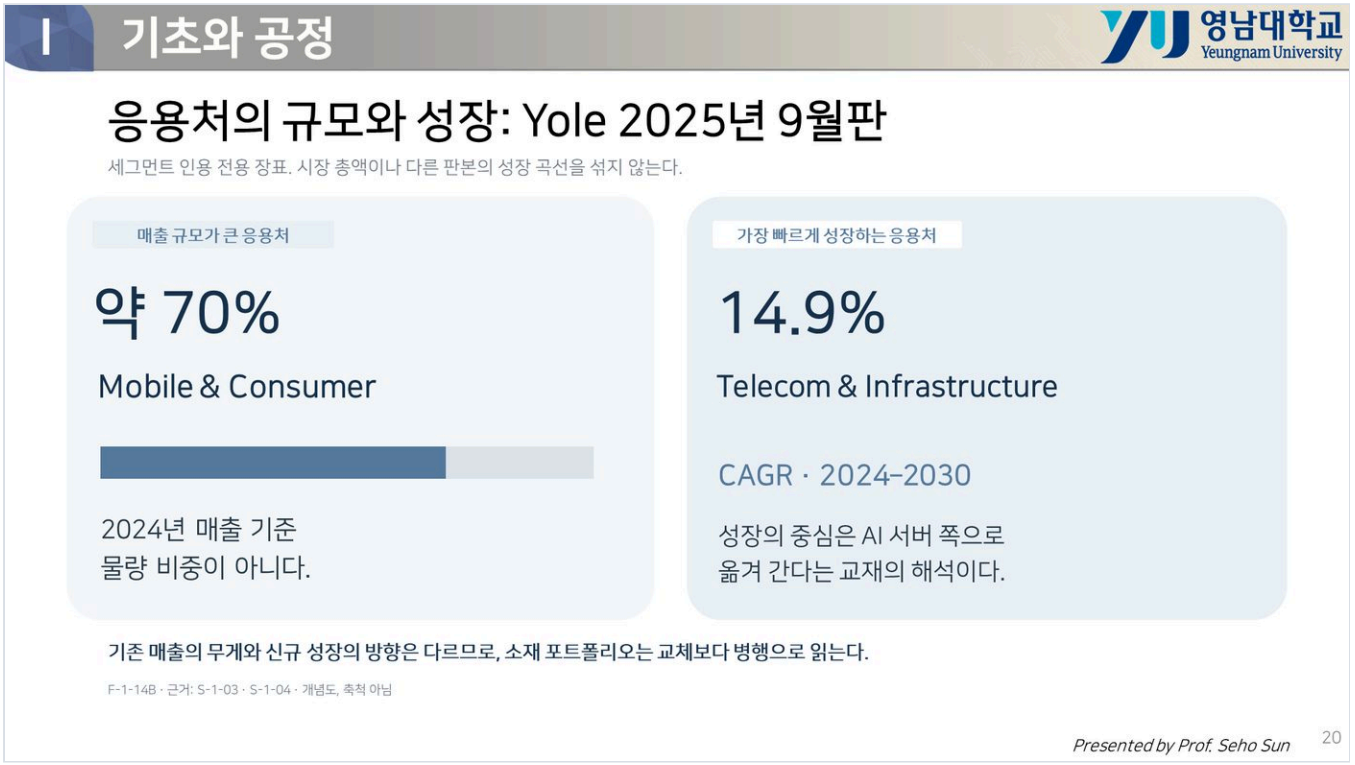
슬라이드 115쪽 · 두 시장은 분모가 다르다

시장 수치를 다룰 때 가장 흔한 사고는 서로 다른 판본의 숫자를 한 자료 안에 섞는 일이다. Yole의 Advanced Packaging 시장 전망은 유통 판본 2종(2025년 9월판과 2026년 7월판)과 폐기 대상 구판 1종으로 정리된다. 각각 별개 보고서의 수치이므로 아래 표처럼 행을 분리하여 다룬다.



도해 F-1-14A · AP 시장 규모: Yole 2026년 7월판 · 근거 S-1-01, S-1-02
시장 규모 장표에는 판본 하나만 사용하고, 실적 기준연도와 전망연도를 명시한다.

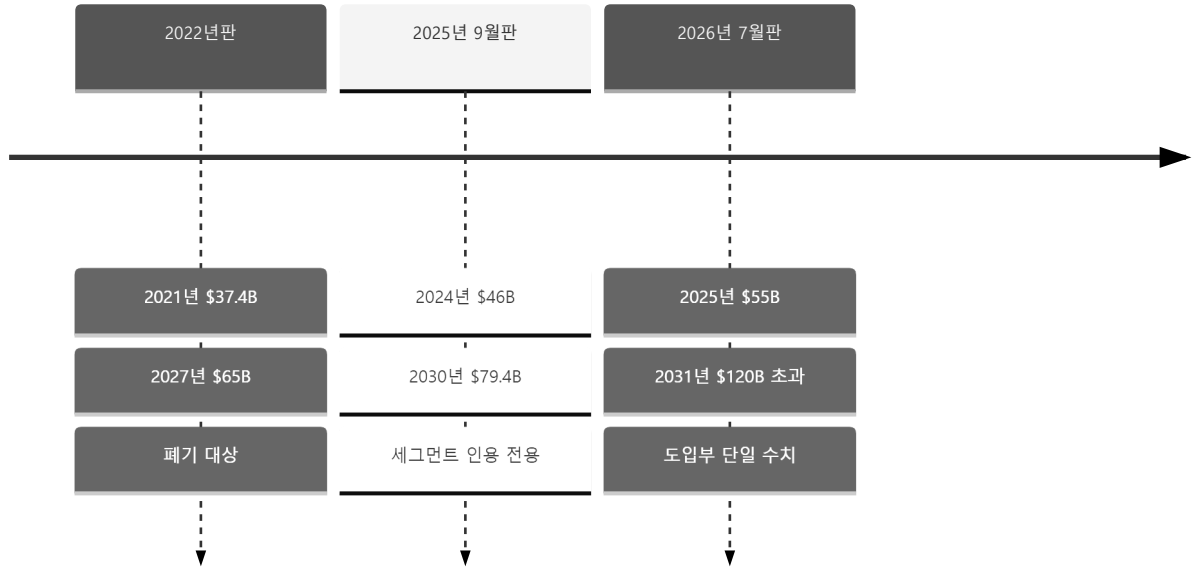
I 기초와 공정
영남대학교 Yeungnam University



도해 F-1-14B · 응용처의 규모와 성장: Yole 2025년 9월판 · 근거 S-1-03, S-1-04
기존 매출의 무게와 신규 성장의 방향은 다르므로, 소재 포트폴리오는 교체보다 병행으로 읽는다.

도해 F-1-14C · 두 시장은 분모가 다르다 · 근거 S-1-01, S-1-09
$27.4B를 $55B로 나눠 "AP의 소재 비중"을 계산하면 서로 다른 시장을 섞게 된다.

Yole Advanced Packaging 시장 전망 판본



판본	기준 실적	전망	CAGR	사용 원칙	출처 ID
Yole 2022년판 계열 (구판)	2021년 약 $37.4B	2027년 $65B	9.6%	폐기한다. 실적치가 이미 이 궤적을 추월하였다	총괄보고서 감사 항목 1
Yole *Status of the Advanced Packaging Industry 2025* (2025.9)	2024년 $46B (+19% YoY)	2030년 $79.4B	9.5% (2024~2030)	세그먼트 구성을 인용할 때만 판본명을 명시하여 쓴다	[S-1-03][S-1-04]
Yole *Status of the Advanced Packaging Industry 2026* (2026.7)	2025년 $55B	2031년 $120B 초과	6년간 2배 초과	도입부 단일 수치로 이것만 쓴다	[S-1-01][S-1-02]

보고서나 자료의 도입부에 쓸 시장 수치는 하나로 고정한다. Advanced Packaging 시장은 2025년 $55B에서 2031년 $120B 초과로 성장할 전망이다. 2031년에는 advanced packaging이 전체 반도체 패키징 매출의 과반을 차지할 것으로 예상된다 [S-1-01].

같은 2026년판 보도는 가격 결정력이 살아 있는 구간으로 AI 패키징, HBM 패키징, 메모리 테스트, 고급 기판을 꼽았다. 성숙 패키징 구간은 계속 가격 압박을 받는다고 보았다. 공급 측 병목으로는 TSMC CoWoS 생산능력, Ajinomoto ABF 기판, Nittobo T-glass를 지목하였다. 증설 효과는 2027~2028년에야 나타난다고 보았다 [S-1-01].

다만 같은 2026년판을 인용한 국내 보도는 2025년 $54B에서 2031년 $109B라는 다른 값을 전한다. 중국어 판매 요약은 2031년 $100B 초과에 CAGR 12.4%로 적고 있다. 원보고서를 대조하기 전까지는 영문 전재값인 $55B와 $120B 초과를 쓰고, 국내 보도값은 병기하지 않는다 [S-1-54].

세그먼트 구성이 필요할 때만 2025년 9월판을 꺼낸다. 그 기준으로 최대 응용처는 Mobile & Consumer이며, 2024년 매출 기준 약 70%를 차지한다. 이 수치를 인용할 때는 두 가지를 함께 밝힌다. 첫째, 이 70%는 물량이 아니라 매출 기준이다. 둘째, 이 수치는 2024년 $46B 체계에 속하는 2025년 9월판 값이다. 2026년판의 $55B 또는 $120B와 같은 표나 그래프에서 합산하거나 혼용하지 않는다 [S-1-03][S-1-04].

같은 릴리스에서 최고 성장 세그먼트는 Telecom & Infrastructure이며, 2024~2030년 CAGR 14.9%를 기록할 전망이다. 두 수치의 대비는 수요가 옮겨 가는 방향을 보여 준다. 매출 규모는 여전히 모바일이 끌고 있지만 성장은 AI 서버가 끌고 있다.

전통 패키징 대비 Advanced Packaging의 ASP 프리미엄은 3~10배로 관측된다. 이 수치는 근거가 약하다. 출처가 전직 업계 기자의 개인 뉴스레터 하나뿐이기 때문이다. 인용할 때는 업계 관측 수준으로 낮추어 쓰고, Yole이나 TechInsights급 1차 기관 수치가 있으면 그것으로 대체한다 [S-1-08].

판본 규칙을 문서나 슬라이드에서 지키는 방법은 한 장에 판본 하나만 쓰는 것이다. 시장 규모를 다루는 장에는 2026년 7월판의 $55B와 $120B만 올리고, 보고서명과 공개 시점을 각주로 단다. 세그먼트 구성이 필요하면 별도의 장을 만들어 2025년 9월판임을 제목에 명시하고, 그 장에서는 총액을 언급하지 않는다. 두 장을 연속해서 싣더라도 축을 공유하는 하나의 그래프로 합치지 않는다. 이렇게 해 두면 어느 보고서의 어느 판본인지 바로 답할 수 있다.

반대로 한 그래프에 두 판본을 섞으면 2025년과 2030년 사이 어딘가에서 곡선이 불연속으로 뛴다. 읽는 사람은 그 지점을 먼저 발견한다. 시장 수치는 인용 직전에 원문을 한 번 더 확인하는 편이 안전하다. Yole이 연례 보고서와 별도로 분기 단위 모니터 상품을 운영하고 있어, 연례판 사이에도 수치가 갱신될 수 있기 때문이다 [S-1-04].

다른 분석기관의 수치도 판본과 날짜를 붙여 병기한다. TechInsights는 2025년 12월 2일 공개한 2026년 전망에서 다섯 축을 제시하였다. CPO 주류화, AI용 HBM 스케일링, 패널과 유리기판 전환, 3D 적층의 열 문제, 모바일 chiplet 통합이며, 정량 수치는 공개하지 않았다 [S-1-05]. IDC는 *Worldwide Semiconductor Advanced Packaging Forecast and Analysis, 2025–2030*에서 TSMC CoWoS 생산능력을 전망하였다. 2026년 연간 108만 장으로 전년 대비 64.0% 늘고, 2027년 147만 장에 이른다는 것이다 [S-1-06].

소재 시장 쪽은 SEMI가 1차 기관이다. 2025년 전체 반도체 소재 시장은 사상 최대인 $73.2B였고, 그중 패키징 소재는 $27.4B로 전년 대비 9.3% 늘었다 [S-1-09]. 이 $27.4B가 삼성SDI 전자재료가 실제로 경쟁하는 시장의 크기다. AP 시장 $55B와 나란히 놓고 보면 시장의 규모를 가늠하기 쉽다.

다만 $55B와 $27.4B는 포함 관계가 아니다. Yole의 $55B는 advanced packaging 공정으로 조립된 패키지의 매출이다. OSAT와 파운드리가 패키징 서비스로 벌어들이는 금액에 가깝다. SEMI의 $27.4B는 전통 패키징까지 포함한 전체 패키징에 투입된 소재의 매출이다. 집계 주체도 대상도 다르므로, 하나를 다른 하나로 나누어 소재 비중을 계산해서는 안 된다.

두 숫자를 함께 쓸 때는 각각 무엇을 세는 숫자인지 한 문장씩 밝히고, 비율은 계산하지 않는 편이 안전하다 [S-1-01][S-1-09]. 소재 시장 안에서 advanced packaging 몫만 떼어 낸 수치가 필요하면 SEMI의 패키징 소재 전용 데이터 상품인 GSPMO를 확보해야 한다. 이 수치는 공개 보도자료로는 얻을 수 없다.

항목	값	기준 시점	출처 ID
AP 시장 (도입부 단일 수치)	2025년 $55B → 2031년 $120B 초과	Yole 2026.7판	[S-1-01] [S-1-02]
2031년 AP의 패키징 매출 내 비중	과반	Yole 2026.7판	[S-1-01]
최대 응용처	Mobile & Consumer 약 70% (2024년 매출 기준)	Yole 2025.9판	[S-1-03] [S-1-04]
최고 성장 세그먼트	Telecom & Infrastructure CAGR +14.9% (2024~2030)	Yole 2025.9판	[S-1-03]
AP ASP 프리미엄	전통 패키징 대비 3~10배 (업계 관측, 개인 뉴스레터 단일 출처)	2025	[S-1-08]
TSMC CoWoS 생산능력	2026년 연간 108만 장(+64.0%) → 2027년 147만 장	IDC	[S-1-06]
패키징 소재 시장	2025년 $27.4B (+9.3% YoY)	SEMI	[S-1-09]
전체 반도체 소재 시장	2025년 $73.2B (사상 최대)	SEMI	[S-1-09]

> **소재 관점에서 보면**: 시장 수치에서 소재 회사가 읽어야 할 것은 총액이 아니라 구성비의 이동이다. 매출의 70%가 아직 모바일에 있다는 사실은 기존 EMC와 기판 소재 사업이 당분간 안정적이라는 뜻이다. 성장률 14.9%의 Telecom & Infrastructure가 최고 성장 세그먼트라는 사실은 신규 개발 자원을 AI 서버 쪽으로 옮겨야 한다는 뜻이다. 두 사실이 동시에 참이므로 포트폴리오 전략은 교체가 아니라 병행이 된다.

2026년판이 병목으로 지목한 세 가지는 전부 소재이거나 소재에 가까운 항목이다. CoWoS 생산능력은 장비와 팹 문제지만, ABF 기판과 T-glass는 명백히 소재 공급의 문제다 [S-1-01]. 병목이 소재라는 말은 대체 공급자의 진입 여지가 있다는 뜻이기도 하다.

1.7 최신 동향 (2026년 8월 22일 이후)

이 자료의 기초 조사는 2026년 8월 22일을 기준일로 삼았다. 이후 2026년 9월 19일까지 새 자료를 다시 확인하였고, 2026년 9월 27일까지 한 번 더 확인하였다. 9월 19일까지 확인한 아홉 건에 9월 27일까지 새로 확인한 여덟 건을 더해 모두 열일곱 건이다. 아래 항목은 그 가운데 Day 1의 네 제약과 시장 수치에 영향을 주는 것만 모은 것이다.

- **Yole 시장 전망**: 변화가 없다. 최신 판본은 여전히 *Status of the Advanced Packaging Industry 2026*(2026년 7월 발표)이다. 공개 전재는 7월 23일 Advanced Packaging News와 7월 24일 Electronics Weekly에 실렸다. 이 판본의 2025년 $55B에서 2031년 $120B 초과가 최신 수치다. 2026년 8월 22일 이후 AP 시장 전체 수치를 갱신한 새 보도자료는 확인되지 않았다 [S-1-01]. (2026년 9월 27일 추가 확인) 전체 AP 총액의 새 판본은 9월 27일까지도 확인되지 않았다. 9월 24일 공개된 Yole의 *High End Performance Packaging 2026*은 고성능 패키징만 다루는 별도 보고서이므로 이 판단을 바꾸지 않는다. 내용은 아래 추가 확인 항목에 정리하였다 [S-1-66]. 따라서 도입부 단일 수치와 Yole 판본 인용 규칙은 그대로 유효하다.

- **TechInsights 최종수요 분석**: TechInsights는 2026년 9월 3일 Advanced Packaging 최종수요 분석을 새로 게시하였다. 그러나 공개 요약에는 시장 총액 수치가 없고, 데이터센터와 가속 컴퓨팅 수요를 설명하는 수준에 머문다 [S-1-46].

- **High-NA EUV**: 레티클 한계 서술에 영향을 주는 뉴스가 두 건 있었다. Intel Foundry와 ASML은 2026년 9월 7일과 8일 공동 발표로 High-NA 누적 처리 웨이퍼가 100만 장을 넘었다고 밝혔다. Core Ultra Series 3(Panther Lake)의 일부 층에 적용되었고, 0.33NA 장비 대비 동등 이상의 성능도 확인하였다 [S-1-12][S-1-13]. EE Times는 2026년 9월 18일 스티칭 문제를 정리하며 High-NA의 429mm² half-field 제약이 현재도 유효하다고 전하였다. 6×12인치 대형 마스크는 실증까지 약 5년, 양산 적용까지 약 7년이 걸린다는 업계 전망도 함께 전하였다 [S-1-11]. 429mm² 서술은 수정할 필요가 없으며, 양산 투입 사실이 더해져 근거가 오히려 강해졌다.

- **CoWoS 생산능력 전망**: 전망이 상향되었다. TrendForce는 2026년 9월 14일 대만 經濟日報와 工商時報를 인용하여 보도하였다. TSMC의 CoWoS 생산능력이 2026년 말 월 13만 장 수준에서 2028년 말 월 26만 장으로 두 배가 된다는 내용이다. 증설 축은 대만 AP7과 애리조나 캠퍼스다 [S-1-07]. IDC의 연간 기준 수치와는 집계 단위가 다르므로, 두 숫자를 나란히 쓸 때는 월 기준과 연 기준을 명시한다.

- **Hot Chips 2026**: HBM 패키징의 기술 세부가 학회에서 공개되었다. Hot Chips 2026은 2026년 8월 23일부터 25일까지 스탠퍼드에서 열렸다. SK하이닉스 패키지 엔지니어링 담당은 HBM 패키징 발표를 통해 HBM4 스택의 물리 사양과 CoWoS-S, CoWoS-L, EMIB의 응력 비교를 공개하였다 [S-1-26]. 같은 학회에서 Intel은 Wildcat Lake로 자사 양산 프로세서 최초의 UCIe 적용을 공개하였다 [S-1-21]. 두 발표는 모두 기준일 이후에 새로 나온 내용이다.

- **UCIe 3.0 현황**: 표준 확정 후 실리콘 초기 단계다. 2026년 9월 기준 UCIe 컨소시엄 사양 페이지는 1.0, 1.1, 2.0, 3.0 네 판본을 요청 기반으로 배포하고 있으며 3.0이 최신이다 [S-1-18]. 2026년 3월 Chiplet Summit에서는 Intel과 Cadence의 Cameron Creek 테스트칩이 업계 최초의 UCIe-S 상호운용을 실증하였다 [S-1-20]. 2026년 8월에는 Intel Wildcat Lake가 양산 프로세서 적용 사례로 등장하였다 [S-1-21]. 다만 Wildcat Lake의 링크는 8 GT/s로 운용되므로, UCIe 3.0의 64 GT/s가 양산 제품에서 쓰인다고 해석해서는 안 된다.

- **IEEE HIR 2025 에디션**: 25개 챕터가 모두 Rev 0.9 상태로 IEEE EPS 사이트에 무료 공개되어 있다. 개요 챕터 본문은 2026년 3월로 표기되어 있고, 챕터별 PDF는 2026년 5월과 6월에 업로드되었다. 2025 에디션이라는 명칭과 달리 아직 Rev 0.9의 미완성판이므로 인용할 때 이 점을 함께 밝힌다 [S-1-30]. 2023 에디션 대비 변경점을 명시한 공개 문구는 확인되지 않았다. 따라서 25개 챕터 갱신과 이원 구조까지만 사실로 다루고, 변경점 비교는 하지 않는다.
- **Lau 총설**: 학술 총설이 하나 추가되었다. J. H. Lau의 "Current Advances and Outlook of Advanced Packaging"이 ASME *Journal of Electronic Packaging* 148권 3호에 2026년 9월 게재되었다. 2D부터 3.5D까지의 집적 분류와 chiplet 통신, Cu-Cu hybrid bonding, HBM과 CoWoS를 총괄한다 [S-1-32]. 이 총설은 전문을 확인하였다. 1.5절의 일곱 등급 판별 기준과, CoWoS-S가 CoWoS-L로 넘어가는 인터포저 면적 문턱 2,500mm²가 이 총설에서 나왔다.
- **그 밖의 분석기관**: 새 자료를 내놓았으나 시장 총액 수치는 공개하지 않았다. Counterpoint Research는 2026년 9월 2일 분기 DRAM·HBM 점유율 페이지를 갱신하였다. 다만 공개 본문에서는 점유율과 매출 수치를 확인할 수 없었다 [S-1-47]. IDC는 *Worldwide Semiconductor Advanced Packaging Forecast and Analysis, 2025–2030*의 CoWoS 생산능력 전망이 여전히 최신이다 [S-1-06]. 이 기간에 갱신된 Advanced Packaging 시장 총액의 공개 수치는 확인되지 않았다. 다만 확인되지 않았다는 사실을 새 발표가 없었다는 뜻으로 해석해서는 안 된다.
- **맥락을 보강하는 발표 세 건**: 시장 총액과 직접 연결되지는 않지만 Day 1의 맥락을 보강한다. UCIe 컨소시엄은 2026년 8월 25일 FMS 2026에서 열린 UCIe 3.0 세션과 회원사 시연을 소개하였다. 새로운 규격이 아니라 구현 생태계의 진전을 보여 주는 자료다 [S-1-48]. SK하이닉스는 2026년 9월 3일 KAIST 유회준 교수의 기고로 추론과 KV 캐시가 만드는 데이터 이동 병목을 설명하였다. 1.4절의 memory wall 서술을 보강하는 최신 기업 공개 자료다 [S-1-49]. TrendForce는 2026년 9월 18일 NVIDIA 하이엔드 GPU 출하량이 2026년에 약 30% 늘고 CoWoS-L이 2028년까지 주류로 유지된다고 전망하였다 [S-1-50]. 이 30%는 GPU 출하량 증가율이며, Advanced Packaging 시장이나 HBM 시장의 성장률이 아니다.

Day 1의 시장 구성은 그대로 유지한다. 도입부 단일 수치는 Yole 2026년 7월판, 세그먼트는 Yole 2025년 9월판, 소재 시장은 SEMI 2025년 실적이다. 다만 Yole은 연례 보고서와 별도로 분기 모니터를 운영하고, TrendForce와 TechInsights도 분기마다 HBM 수급 자료를 갱신한다. 따라서 이 수치들을 인용하기 전에는 같은 항목을 한 번 더 조회하는 편이 안전하다.

9월 19일 이후 추가 확인 (2026년 9월 27일 기준)

- **SK하이닉스 AI Infra Summit 2026 전시**: SK하이닉스는 2026년 9월 17일 뉴스룸을 통해 9월 15일부터 17일까지 미국 샌타클래라에서 열린 AI Infra Summit 2026 참가 내용을 공개하였다 [S-1-61]. 회사는 AI 워크로드가 다양해지면서 기존 GPU-HBM 구조만으로는 새 요구를 충족하기 어려워지고 있다고 밝혔다. 전시 내용은 세 가지다. TSV를 적용한 NAND 기반 HBF(High Bandwidth Flash)의 구조 모형과 소개 영상, 메모리 안에 연산 기능을 넣은 PIM 칩 AiM과 가속기 카드 AiMX, KV 캐시를 문맥 단위로 나누어 HBM·DRAM·SSD에 배치하는 SALT-KV 시연이다. HBF는 구조 모형 전시였으므로 양산이나 출하가 시작되었다고 해석해서는 안 된다. 1.4절 memory wall의 해법이 HBM 증설 하나에서 메모리 계층 전체의 배치 문제로 넓어지고 있음을 보여 주는 기업 1차 자료다.
- **Google TPU의 EMIB-T 채택과 CoWoS 백업 보도**: DIGITIMES는 2026년 9월 17일 Google이 2027년 말 양산 예정인 TPU(프로젝트명 Humufish)에 Intel EMIB-T 패키징을 쓰고 MediaTek과 ASIC을 협력하기로 했다고 보도하였다. 다만 EMIB-T 기판 수율이 뒤처져 CoWoS를 백업으로 검토하고 있다는 내용이다

[S-1-62]. 보도에 따르면 이 내용은 업계 전언이며, 확인한 도입부에는 두 회사의 입장이 없다. 본문은 유료라 공개된 도입부만 확인하였다. 레티클 한계를 넘는 대면적 AI 패키지를 두 공급 경로로 나누어 준비하는 사례이자, 대안 경로의 걸림돌이 기판 수율이라는 사례로만 다룬다.

- **NVIDIA Rubin 물량 전망**: TrendForce는 2026년 9월 21일 리서치 요약에서 NVIDIA Rubin 플랫폼이 HBM4 수율과 방열 설계 등 상류 준비 문제로 늦어진다고 보았다. 물량은 2027년 상반기 이후에야 점진적으로 늘 것이라는 전망이다 [S-1-63]. 같은 요약은 2026년 NVIDIA 하이엔드 GPU 출하의 약 80%를 Blackwell이 차지한다고 보았다. 수율과 공급을 높이기 위해 HBM4와 HBM4E를 12-Hi에서 8-Hi로 바꾸는 방안이 검토되고 있다고도 적었다. 여기서 12-Hi와 8-Hi는 HBM 스택 하나에 쌓는 DRAM die 수이며 패키지당 스택 수가 아니다. Rubin Ultra는 2028년에 나오되 초기 비중은 작을 것으로 보았다. 이 모두는 분석기관의 전망이며 NVIDIA가 발표한 일정 변경이 아니므로, NVIDIA의 공식 연기로 해석하지 않는다.

- **UBS의 업계 CoWoS 생산능력 전망**: UBS는 2026년 9월 22일 리포트에서 업계 전체 CoWoS 생산능력이 2026년 말 월 16만 장에서 2027년 말 월 27만 장으로 늘 것이라고 전망하였다. 이는 종전 추정 월 26만 장에서 올린 값이다 [S-1-64]. 2027년 말 회사별 전망은 TSMC 월 18만 장, ASE 월 7만 장(2026년 말 월 2만 장), Amkor 월 2만 장이다. 증설분 가운데 OSAT 몫은 2026년 12%에서 2027년 26%로 커진다. 수요 쪽에서는 NVIDIA 비중이 2025년 65%에서 2027년 49%로 낮아지고, ASIC 비중이 2026년 30%에서 2027년 33%로 오른다고 보았다. 이 수치는 모두 전망이며, 원 리포트가 아니라 금융 매체의 전재본에서 확인한 값이다. 위 CoWoS 항목의 TrendForce 인용치(TSMC 2026년 말 월 13만 장, 2028년 말 월 26만 장)와 1.6절의 IDC 연간치는 TSMC 단독 기준이다. UBS의 월 27만 장은 OSAT를 포함한 업계 합계이므로, TSMC 단독과 나란히 놓을 UBS 값은 월 18만 장이다 [S-1-07][S-1-06].

- **Intel EMIB 기판 수율 보도**: TrendForce는 2026년 9월 23일 대만 天下雜誌와 ZDNet 등을 인용하여 Intel EMIB용 기판 수율이 2026년 2분기 약 30%에서 최근 분기 약 45%로 올랐다고 전하였다. 공급사들은 2026년 4분기 50%, 2027년 1분기 60%를 목표로 한다 [S-1-65]. 수율을 막는 원인으로는 고온 공정에서 ABF 기판과 실리콘 브리지 사이에 생기는 열팽창 부정합과, 접합 중 기포를 가두기 쉬운 NCF(비전도성 필름)가 지목되었다. 수율 수치는 보도에 따른 업계 전언이며, Intel의 공식 확인은 기사에 없다. 같은 보도에 따르면 Intel CEO Lip-Bu Tan은 Splunk .conf26 행사에서 기판이 병목이며 공급사에 선급금을 내야 한다고 말하였다. 1.6절의 병목이 소재라는 서술을 수율 원인 수준에서 보여 주는 9월 사례다.

- **Yole 고성능 패키징 별도 보고서**: Yole Group은 *Status of the Advanced Packaging Industry 2026*과 다른 별도 보고서인 *High End Performance Packaging 2026*을 냈다. 이 보고서는 고성능 패키징 시장이 2031년 $51B를 넘고, 2025~2031년 매출 CAGR 27%, 패키지 수량 CAGR 33%, 웨이퍼 수요 CAGR 30%로 성장할 것으로 전망하였다 [S-1-66][S-1-67]. 공개 전재는 2026년 9월 24일 Advanced Packaging News와 9월 25일 Electronics Weekly이며, Yole 원 보도자료는 열지 못하였다. 2031년에는 Telecom & Infrastructure가 $36B 초과로 약 70%를 차지한다. 2.5D에서는 mold interposer 계열이 CAGR 28.1%로 가장 크고 빠르게 크는 세그먼트이며, 현재 매출 최대 세그먼트는 웨이퍼 간 hybrid bonding을 쓰는 3D NAND이다. 2025년 매출의 약 97%는 상위 6사(Intel, TSMC, YMTC, SK하이닉스, 삼성, Micron)가 차지한다. 이 $51B는 Advanced Packaging 전체가 아니라 그 부분집합인 고성능 패키징의 숫자다. 따라서 2026년 7월판의 2031년 $120B 초과보다 작은 것은 범위 차이이지 하향 수정이 아니며, 두 값을 합산하거나 서로 대체하지 않는다 [S-1-01].

- **12인치 실리콘 웨이퍼 장기계약 가격**: TrendForce는 2026년 9월 25일 工商時報 등 대만·중국 매체를 인용하여 2027년 12인치 실리콘 웨이퍼의 장기계약(LTA) 가격 전망을 전하였다. 에피 웨이퍼는 15~25%, 폴리시드 웨이퍼는 40% 이상 오르고, 일부 2차 고객은 50%를 넘을 수 있다는 내용이다 [S-1-68]. 같은 기사는 GlobalWafers의 평균 판매가격 전망을 2026년 $92, 2027년 $122로 인용하였다. 수요 요인으로는

AI 인프라와 CPU 출하 증가에 따른 12인치 투입 증가, 실리콘 인터포저 수요를 들었다. 이것은 원판(bare wafer) 가격이며 1.1절에서 다룬 파운드리 가공 웨이퍼 가격과는 층위가 다르다. 기사에 인용된 2027년 CoWoS 생산능력 70.9% 증가는 산출 기관이 밝혀지지 않은 매체 인용값이므로 생산능력 비교에는 쓰지 않는다.

- **대만 가오슝 바이푸 산업단지 착공**: SemiEngineering의 2026년 9월 25일 주간 정리에 따르면 대만은 가오슝 바이푸(Baipu) 산업단지를 착공하였다. 이 단지에는 첨단 반도체 장비와 소재 전용으로는 대만 최초인 시험·검증 기지가 들어선다 [S-1-69]. 확인한 원문에는 정확한 착공일, 면적, 투자액, 입주 기업이 나오지 않으므로 이 값들은 인용하지 않는다. 정부가 패키징 공급망의 장비·소재 검증 기반을 산업단지 단위로 조성한 사례로만 다룬다.

> **소재 관점에서 보면**: 이번 추가분에서 소재와 관련해 읽을 것은 세 가지다. 첫째, EMIB 기판 수율의 원인으로 지목된 열팽창 부정합과 NCF 기포는 소재 물성과 접합 공정의 문제다. 대면적 패키지가 CoWoS 경로든 EMIB-T 경로든 수율을 막는 지점이 기판과 접합 소재에 있다는 점은 같다 [S-1-65] [S-1-62]. 둘째, UBS 전망대로 증설분 가운데 OSAT 몫이 26%로 커지면 조립 소재의 구매 주체가 TSMC 밖으로 넓어진다 [S-1-64]. 셋째, HBM 적층 수 조정 검토와 SK하이닉스의 메모리 계층 제안은 적층 수가 계속 늘어난다는 단일 가정으로 소재 수요를 계산하지 말아야 한다는 근거다 [S-1-63][S-1-61]. 이 해석은 공개 자료에서 끌어낸 것이며 삼성SDI의 공급이나 채택 사실을 뜻하지 않는다.

이 자료의 최신 동향 기준 시점은 2026년 9월 27일이다. 추가분 가운데 날짜와 함께 인용할 만한 것은 세 가지다. 9월 22일 UBS의 업계 CoWoS 생산능력 전망(2027년 말 월 27만 장, 그중 TSMC 단독 월 18만 장), 9월 23일 보도된 Intel EMIB 기판 수율 약 45%(업계 전언, Intel 공식 확인은 기사에 없음), 9월 24일 전재된 Yole 고성능 패키징 보고서의 2031년 $51B 초과다 [S-1-64][S-1-65][S-1-66]. "Advanced packaging to be a $51bn market"이라는 제목의 기사와 $120B는 서로 모순되지 않는다. $51B는 Yole의 별도 보고서 *High End Performance Packaging 2026*이 고성능 패키징만 센 값이고, $120B 초과는 *Status of the Advanced Packaging Industry 2026*이 Advanced Packaging 전체를 센 값이다. 두 값은 범위가 다를 뿐이다 [S-1-67] [S-1-01].

기준일 이후 확인에서 정정이 필요한 항목은 없었다. 안내 문서(00_안내)의 "수치를 인용할 때 주의할 점" 가운데 Day 1에 직접 걸리는 네 항목은 2026년 9월 27일 기준으로도 모두 그대로 유효하다. 네 항목은 Yole 판본, HBM4 최초 한정어, TSMC CoWoS 로드맵 연도, 레티클 858mm²와 429mm²다. 9월 24일 전재된 Yole 고성능 패키징 보고서는 범위가 다른 별도 보고서이므로 Yole 판본 항목의 도입부 단일 수치를 바꾸지 않는다. 바뀐 것은 근거가 강해진 방향뿐이다. 특히 High-NA의 양산 투입 사실과 SK하이닉스의 Hot Chips 발표는 기존 서술을 뒷받침하는 새 1차급 자료로 추가되었다.

1.8 핵심 정리

관련 슬라이드: 19쪽

관련 도해: F-1-01 네 가지 제약이 패키징으로 모인다

번호	문장	출처
1	트랜지스터당 비용의 하락은 28nm 부근에서 멈추었다. 미세화가 더 이상 비용을 낮춰 주지 않으므로 산업은 성능 개선을 패키지에서 사기 시작했다.	[S-1-39] [S-1-40]
2	스캐너가 한 번에 찍을 수 있는 최대 면적은 26×33mm, 858mm²다. High-NA EUV는 anamorphic 광학 때문에 그 절반인 429mm²에 그친다. AI 칩이 이 선에 닿았다는 사실이 CoWoS 같은 multi-reticle 패키징이 존재하는 이유다.	[S-1-10] [S-1-11]
3	AMD는 32코어를 14nm 한 덩어리로 만들면 777mm²가 필요했을 것이라고 밝혔다. 실제로는 213mm² 네 개, 합계 852mm²를 써서 실리콘을 약 10% 더 쓰고도 제조비를 0.59배로 낮췄다.	[S-1-16]
4	지난 20년간 서버 연산 성능은 2년마다 3배 늘었지만 DRAM 대역폭은 1.6배에 그쳤다. LLM 추론의 병목이 연산이 아니라 메모리가 된 이유이고, HBM과 2.5D 패키징이 필요한 이유다.	[S-1-22] [S-1-23]
5	Advanced Packaging 시장은 2025년 550억 달러에서 2031년 1,200억 달러를 넘어설 전망이다. 2031년에는 전체 반도체 패키징 매출의 과반을 차지할 것으로 예상된다. 병목으로 지목된 세 가지 가운데 둘이 소재다.	[S-1-01]

1.9 자기 점검 퀴즈

관련 슬라이드: 14쪽 · 16쪽 · 26쪽 · 115쪽

관련 도해: F-1-04 한 번의 노광: 858 mm²와 429 mm² · F-1-06A 결함 하나가 버리는 면적은 같지 않다 · F-1-06B 수율 이득과 제조비 절감은 다른 숫자다 · F-1-07 칩렛 비용 역전은 하나의 문턱이 아니다 · F-1-10 Rubin: 공식 수치와 보도를 갈라 그린다 · F-1-14A AP 시장 규모: Yole 2026년 7월판 · F-1-14B 응용처의 규모와 성장: Yole 2025년 9월판 · F-1-14C 두 시장은 분모가 다르다

문항 1. 현행 스캐너의 1샷 최대 노광 필드에 대한 설명으로 옳은 것은?

1. 858mm²는 EUV 전용의 한계이므로 DUV 스캐너는 같은 6인치 마스크로 더 넓은 필드를 한 번에 노광할 수 있다
2. High-NA EUV는 개구수가 0.33에서 0.55로 커지므로 한 샷 필드가 858mm²보다 넓어지고 스티칭이 불필요해진다
3. 858mm²는 26×33mm이며 6인치 마스크의 유효 패턴 영역을 4배 축소한 결과로, DUV와 EUV에 공통 적용된다
4. High-NA의 429mm² 제약은 아직 이론 단계이며 양산 라인에 투입된 사례가 없어 설계에 반영되지 않는다

문항 2. chiplet이 monolithic보다 싸지는 이유와 그 한계에 대한 설명으로 가장 정확한 것은?

1. die를 나누면 수율이 면적에 비례하여 선형으로 개선되므로, 조각 수를 늘릴수록 좋은 die 하나의 단위 비용이 계속 내려간다
2. chiplet은 인터포저와 조립 공정을 쓰지 않아 패키지 비용이 발생하지 않으므로 monolithic보다 항상 유리하다
3. chiplet의 비용 이득은 전적으로 설계 재사용에서 나오며, 수율은 정량 비용 모델에서 유의한 변수로 취급되지 않는다
4. 수율이 면적에 비선형으로 떨어져 분할이 유리하지만, KGD 테스트와 패키지 비용이 가산되어 일정 면적 이상에서만 역전된다

문항 3. Yole의 Advanced Packaging 시장 수치를 인용하는 규칙으로 옳은 것은?

1. 도입부 단일 수치는 2026년 7월판의 $55B에서 $120B 초과만 쓰고, 세그먼트는 2025년 9월판을 판본명과 함께 별도로 쓴다
2. 2026년 7월판의 $55B에서 $120B와 2025년 9월판의 $46B에서 $79.4B를 한 그래프에 그려 장기 추세선을 보여 준다
3. Mobile & Consumer 약 70%는 2024년 물량 기준이므로 2026년 7월판의 매출 총액과 나란히 합산하여 제시할 수 있다
4. 2021년 $37.4B에서 2027년 $65B가 가장 오래된 값이므로 장기 추세의 출발점으로 삼아 세 판본을 이어 그린다

문항 4. HBM4와 관련된 각사의 "최초" 주장을 옳게 구분한 것은?

1. SK하이닉스가 2025년 9월 12일 양산과 상용 제품 출하를 세계 최초로 달성하였고, 삼성전자는 2026년 2월 12일 개발 완료를 업계 최초로 발표하였다
2. SK하이닉스는 2025년 9월 12일 개발 완료와 양산 체제 구축의 세계 최초를, 삼성전자는 2026년 2월 12일 양산과 상용 출하의 업계 최초를 주장하였다
3. 두 주장은 2025년 9월과 2026년 2월의 동일한 사건을 서로 다르게 부른 것이므로 한쪽은 반드시 거짓이며, 인용할 때는 검증된 한 회사만 써야 한다
4. Micron이 2026년 3월 16일 36GB 12-Hi 양산을 발표하여 세 회사 가운데 가장 먼저 HBM4 양산에 들어갔고, 나머지 두 회사가 그 뒤를 따랐다

문항 5. NVIDIA Rubin 패키지의 수치를 인용할 때 가장 적절한 태도는?

1. 컴퓨트 die 2개와 336B 트랜지스터는 보도 기준이고 I/O die 2개와 4배 레티클 인터포저가 공식 사양이므로 후자만 단정한다
2. Rubin Ultra의 컴퓨트 chiplet 4개와 HBM4E 16스택은 2027년 확정 사양으로 공표되었으므로 그대로 인용하여 로드맵을 설명한다
3. 패키지 구성은 전부 기업 비밀이므로 288GB와 22 TB/s를 포함한 어떤 수치도 인용하지 않는 편이 옳다
4. 컴퓨트 die 2개·336B·HBM4 288GB는 공식 기술글 수치이고 I/O die 2개·4배 레티클·8스택은 보도 기준임을 구분한다

서술형 1. 레티클 한계와 chiplet 경제학은 둘 다 "die를 쪼개라"는 결론으로 이어진다. 그러나 두 제약이 작동하는 방식은 다르다. 각각이 어떤 종류의 한계인지, 그리고 둘 중 하나만 있었다면 산업이 어떤 선택을 했을지를 설명하라.

서술형 2. 사내 동료에게 "왜 지금 Advanced Packaging인가"를 3분 안에 설명해야 한다고 하자. 네 가지 제약 가운데 어느 것을 앞세우고 어떤 순서로 배치할지, 각 제약을 어떤 소재 항목과 연결할지를 근거와 함께 기술하라.

정답과 해설

아래는 위 문항의 해설이다. 먼저 스스로 답한 뒤 이 상자를 펼쳐 보듯 읽는다.

문항 1

정답은 3번이다. 858mm²는 6인치 마스크의 유효 패턴 영역을 4배 축소 광학으로 찍을 때 나오는 26×33mm 필드다. 축소 배율이 같은 현행 스캐너 전체에 공통이다 [S-1-10]. 마스크 외형 치수를 그대로 4로 나눈 값이 아니라는 점에 주의한다.

1번이 틀린 이유는 이 한계가 광원의 문제가 아니라, 마스크의 패턴 영역과 축소 배율이 만드는 기하학적 결과이기 때문이다. DUV도 같은 4배 축소를 쓰므로 필드 크기가 같다. 2번은 방향이 정반대다. High-NA는 개구수가 커지는 대신 anamorphic 광학을 써서 한 축의 배율이 8배가 되고, 필드는 절반인 26×16.5mm, 429mm²로 줄어든다. 그래서 스티칭이 오히려 필요해진다 [S-1-11].

4번이 틀린 이유는 Intel Foundry가 2026년 7월 15일 High-NA를 양산에 투입하였기 때문이다. 2026년 9월 기준 누적 처리 웨이퍼는 100만 장을 넘었다. Panther Lake는 스티칭을 회피하는 블록 배치로 이 제약을 실제 설계에서 다루었다 [S-1-12].

문항 2

정답은 4번이다. 음이항 수율 모델 Y = (1 + A·D0/α)^(-α)에서 수율은 면적에 대해 비선형으로 감소한다. 그래서 같은 트랜지스터 수를 작게 나누면 좋은 die를 싸게 얻는다. 그러나 각 die의 양품 여부를 조립 전에 보증해야 하고, 인터포저와 범프와 언더필과 조립 공정 비용이 새로 생긴다. 이 가산분을 넘어설 만큼 면적이 커야 역전이 일어난다 [S-1-15].

1번이 틀린 이유는 개선이 선형이 아니기 때문이다. 무한히 나눌수록 패키지 비용과 KGD escape가 누적되어 어느 지점부터 다시 불리해진다. 2번은 chiplet에 패키지 비용이 없다는 전제 자체가 거짓이다. AMD도 MCM 구성에 약 10%의 부가 면적 오버헤드가 있다고 밝혔다 [S-1-14]. 3번은 재사용을 유일한 축으로 본 점이 틀렸다. Chiplet Actuary는 수율 개선, 재사용, 이종성의 세 축을 분리하여 정량화하며, 수율은 그중 첫 번째 축이다 [S-1-15].

문항 3

정답은 1번이다. 두 판본은 별개 보고서다. 집계 범위의 차이가 공개 자료로 확인되지 않으므로 두 판본의 수치를 병기하지 않는다 [S-1-01][S-1-03].

2번이 틀린 이유는 2025년 9월판에서 2026년 7월판으로의 상향이 전망 기간 1년 연장만으로는 설명되지 않는 폭이기 때문이다. 한 그래프에 그리면 존재하지 않는 성장 곡선을 만들어 내게 된다. 3번이 틀린 이유가 두 가지다. 70%는 물량이 아니라 2024년 매출 기준이고, 2025년 9월판의 $46B 체계에 속하는 값이므로 2026년판 체계와 합산할 수 없다 [S-1-03][S-1-04]. 4번이 틀린 이유는 구판의 궤적을 실적치가 이미 추월하였기 때문이다. 2024년 실적이 $46B, 2025년이 $55B이므로 2027년 $65B라는 구판 전망은 폐기 대상이다.

문항 4

정답은 2번이다. 한정어가 서로 다르므로 두 주장은 양립한다. SK하이닉스의 보도자료 제목은 개발 완료와 양산 준비를 명시하고 있고, 삼성전자의 뉴스룸 제목은 상용 제품 출하를 명시하고 있다 [S-1-37][S-1-38].

1번이 틀린 이유는 두 회사의 한정어를 서로 뒤바꾸었기 때문이다. SK하이닉스가 발표한 것은 상용 출하가 아니라 개발 완료와 양산 체제 구축이다. 3번이 틀린 이유는 "최초"의 기준이 되는 이벤트가 서로 다르기 때문이다. 개발 완료 시점과 상용 출하 시점은 별개의 사건이므로 각각의 최초가 동시에 성립하며, 한정어와 날짜를 붙여 두 주장을 모두 인용하는 것이 옳다. 4번이 틀린 이유는 Micron의 HBM4 36GB 12-Hi 양산 발표가 2026년 3월 16일로 두 회사보다 늦기 때문이다 [S-1-25].

문항 5

정답은 4번이다. 같은 패키지를 설명하는 수치라도 출처 성격이 다르므로 공식과 보도를 갈라 인용해야 한다. NVIDIA 공식 기술글이 명시한 것은 레티클 한계급 컴퓨트 die 2개, 트랜지스터 336B, HBM4 288GB 12-Hi, 최대 22 TB/s다 [S-1-43]. I/O die 개수와 인터포저 배수와 스택 수는 보도와 분해 분석에서 온 값이다 [S-1-27][S-1-29].

1번이 틀린 이유는 공식과 보도를 정반대로 뒤바꾸었기 때문이다. die 개수와 336B가 공식이고 인터포저 배수와 I/O die가 보도다. 2번이 틀린 이유는 Rubin Ultra의 구성이 시연과 보도로만 알려졌고 공식 사양표가 확인되지 않았기 때문이다. 게다가 2026년 8월에는 192GB 또는 256GB의 축소 구성을 시험한다는 전언까지 보도되어 구성이 유동적이다 [S-1-28][S-1-53].

3번이 틀린 이유는 지나치게 조심했기 때문이다. 공식 기술글과 제품표에 공개된 수치는 출처를 밝히고 인용하는 것이 옳다. 다만 22 TB/s와 19.2 TB/s가 병존한다는 사실은 함께 알려야 한다 [S-1-45].

서술형 1

레티클 한계는 장비가 그은 기하학적 한계다. 6인치 마스크와 4배 축소 광학이라는 조건에서 한 번의 노광이 덮는 면적이 858mm²로 고정된다. 돈을 더 낸다고 해서 필드 자체가 넓어지지는 않는다 [S-1-10]. 다만 858mm²가 칩 면적의 절대 상한은 아니다. 필드 사이를 이어 붙이는 스티칭을 쓰면 46,225mm²의 Cerebras WSE처럼 웨이퍼 규모의 단일 칩도 만들 수 있다 [S-1-58]. 레티클 한계를 넘으려면 전용 설계와 전용 제조 흐름을 감수해야 한다.

반면 chiplet 경제학은 경제적이고 상대적인 한계다. 큰 die를 만드는 것이 불가능한 것이 아니라 비쌀 뿐이다. 수율 손실보다 패키지 비용이 작을 때만 분할이 유리해지는 조건부 결론이다 [S-1-15].

둘 중 수율 경제학만 있었다면 산업은 제품별로 선택했을 것이다. 면적이 작고 물량이 큰 제품은 monolithic을 유지하고, 역전 면적을 넘는 대형 die만 선택적으로 분할하는 혼재 상태가 이어졌을 것이다 [S-1-17][S-1-55]. 실제로 모바일 AP는 지금도 대체로 monolithic이다. 반대로 레티클 한계만 있었다면, 858mm² 이하 제품은 전부 monolithic으로 남고 그 선을 넘는 소수의 HPC 제품만 multi-die로 갔을 것이다.

두 제약이 겹쳤기 때문에 결과가 달라졌다. AI 가속기는 레티클 한계에 닿으면서 동시에 면적이 수율 역전점을 한참 넘었고, 여기에 memory wall이 더해져 HBM을 같은 패키지에 넣어야 했다. 세 조건이 동시에 걸린 제품군에서 2.5D 패키징이 선택이 아니라 필수가 된 것이다.

서술형 2

모범 구성의 한 예는 memory wall을 앞세우는 것이다. 듣는 사람이 이미 뉴스로 알고 있는 HBM에서 출발하면 진입 장벽이 낮다. 연산 3배 대 대역폭 1.6배라는 수치 하나로 메모리를 쌓아야 하는 이유도 곧바로 설명된다 [S-1-22]. 이어 HBM 한 스택에 마이크로범프 16,148개가 들어가고 Z-height 775μm 안에 12단을 넣어야 한다는 사실을 제시한다. 그러면 언더필과 NCF의 두께 예산과 보이드 관리라는 소재 항목으로 자연스럽게 이어진다 [S-1-26].

두 번째로 레티클 한계를 배치한다. HBM을 붙일 자리가 필요한데 한 번의 노광은 858mm²밖에 덮지 못하며, 이 사실이 2.5D 인터포저의 존재 이유를 설명한다. 패키지 대면적화는 warpage와 CTE 정합 문제로 이어져 저CTE 몰딩 컴파운드와 고강성 기판의 수요를 만든다 [S-1-10]. 여기에 Yole이 병목으로 ABF와 T-glass를 지목했다는 점을 붙이면 소재 회사에 기회라는 메시지가 선다 [S-1-01].

세 번째로 chiplet 경제학을 배치한다. 0.59배라는 숫자 하나로 나누는 이유가 설명되고, 접합 지점 증가가 범프와 플럭스와 언더필 소요량 증가로 직결된다 [S-1-14]. 마지막에 무어의 둔화를 상위 틀로 놓아 앞의 셋을 묶는다. 트랜지스터당 비용이 28nm에서 멈췄으므로 성능을 패키지에서 산다는 구조를 제시하고, 그래서 AP의 ASP 프리미엄이 높다는 점으로 마무리한다. 다만 3~10배 프리미엄은 개인 뉴스레터 단일 출처이므로 업계 관측 수준으로 낮추어 말한다 [S-1-08]. 무어의 둔화를 맨 앞에 두는 구성도 가능하지만, 추상도가 높아 3분 설명에서는 듣는 사람의 집중을 잃기 쉽다.

1.10 용어 사전

용어(영문)	한 문장 정의	처음 나온 절
Advanced Packaging	복수의 die를 고밀도 인터커넥트로 결합하여 패키지 수준에서 시스템 성능을 스케일링하는 기술의 총칭	1.5
이종집적(Heterogeneous Integration)	서로 다른 공정노드·기능·파운드리에서 만든 die를 한 패키지에 결합하는 방식	1.5
레티클(Reticle)	노광 장비가 웨이퍼에 패턴을 투영할 때 쓰는 마스크이며, 현행 표준은 6인치 사각이다	1.2
노광 필드(Exposure field)	스캐너가 1샷으로 웨이퍼에 찍는 최대 면적이며 현행 26×33mm = 858mm²다	1.2
High-NA EUV	개구수 0.55의 차세대 EUV로, anamorphic 광학 때문에 필드가 429mm²의 half-field로 줄어든다	1.2
스티칭(Stitching)	half-field를 넘는 die를 만들기 위해 두 번 노광한 뒤 경계를 이어 붙이는 기법	1.2
chiplet	큰 die를 기능 단위로 분할한 작은 die로, 패키지에서 재결합하여 하나의 시스템을 이룬다	1.3
음이항 수율 모델	결함의 군집성을 반영한 수율식 Y = (1 + A·D0/α)^(-α)로, 면적 대비 수율 하락을 기술한다	1.3
known-good-die(KGD)	패키지 조립 전에 양품임을 테스트로 보증한 die이며, chiplet 경제학의 전제 조건이다	1.3
UCIe	이종 벤더 chiplet을 한 패키지에서 연결하는 사실상의 표준 인터페이스이며 3.0이 최신 판본이다	1.3
memory wall	연산 성능 성장률이 메모리 대역폭 성장률을 지속적으로 앞질러 생기는 구조적 병목	1.4
autoregressive decode	LLM이 토큰을 하나씩 생성하는 단계로, 읽어 온 데이터당 연산량이 적어 대역폭 병목이 된다	1.4
HBM(High Bandwidth Memory)	DRAM die를 TSV로 수직 적층하고 초광폭 인터페이스로 연결하여 대역폭을 확보한 메모리	1.4
TSV(Through-Silicon Via)	실리콘을 수직으로 관통하는 배선으로, 적층 die 사이의 전기적 연결 통로다	1.4
인터포저(Interposer)	die와 기판 사이에 놓여 미세 배선을 제공하는 중간 기판이며 실리콘형과 RDL형이 있다	1.5
RDL(Redistribution Layer)	폴리머 유전체와 구리 배선으로 I/O 위치를 재배치하는 재배선층	1.5
fan-out	RDL로 die 면적 바깥까지 I/O를 확장하여 기판이나 인터포저를 생략할 수 있게 하는 패키징	1.5
CoWoS	TSMC의 2.5D 플랫폼으로 실리콘 인터포저형 S, RDL형 R, 브리지 매립형 L로 나뉜다	1.5
EMIB	유기기판에 소형 실리콘 브리지를 매립하여 국소 고밀도 배선을 구현하는 Intel의 방식	1.5

용어(영문)	한 문장 정의	처음 나온 절
hybrid bonding	구리 패드와 유전막을 동시에 직접 접합하는 무범프 접합. 약 10μm 이하 피치 영역의 해법으로, 로직 SoIC는 6μm를 양산하고 Foveros Direct는 1세대 약 10μm에서 2세대 5μm 미만으로 간다	1.5
CPO(Co-Packaged Optics)	광엔진을 스위치나 GPU 패키지에 동봉하여 전기 배선의 거리 한계를 넘는 접근	1.5
warpage	서로 다른 열팽창계수의 재료가 결합된 패키지가 온도 변화에서 휘는 현상	1.2
ASP 프리미엄	전통 패키징 대비 Advanced Packaging 제품의 평균 판매가 배수	1.6

1.11 더 읽을 자료

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-1-01	분석기관	Advanced packaging market to top $120B	Advanced Packaging News (Yole 인용)	2026-07-23	도입부 단일 수치의 공개 근거이며 병목 3요소가 함께 나온다. 가장 먼저 읽는다	OA
S-1-30	표준·로드맵	Heterogeneous Integration Roadmap 2025 Edition	IEEE EPS	2026 게시	25개 챕터 무료 PDF. 소재 관점에서는 15·20·22·23장이 우선순위다	OA
S-1-22	논문	AI and Memory Wall	Gholami 외, IEEE Micro (arXiv:2403.14123)	2024	연산 대 대역폭 성장률 수치의 표준 인용 논문. memory wall 절의 근거를 한 편으로 확보한다	OA
S-1-23	논문	Challenges and Research Directions for LLM Inference Hardware	Ma, Patterson (arXiv:2601.05047)	2026-02	LLM 추론이 대역폭 병목이 되는 이유를 구조적으로 설명한다. 1.4절의 배경을 깊이 이해하는 데 유용하다	OA
S-1-15	논문	Chiplet Actuary (DAC 2022)	Feng, Ma (DOI 10.1145/3489517.3530428)	2022	노드별 결함밀도와 군집 계수의 출처. 1.3절 예시 계산의 파라미터가 여기서 나온다. 전문 확인	OA
S-1-16	논문	Pioneering Chiplet Technology and Design for the AMD EPYC and Ryzen Processor Families (ISCA 2021)	Naffziger 외 (DOI 10.1109/ISCA52012.2021.00014)	2021-06	777mm² 대 852mm², 0.59배, IFOP 2pJ/bit, 로컬 90ns 대 원격 141ns의 학술 원문. 전문 확인	구독
S-1-32	논문	Current Advances and Outlook of Advanced Packaging	J. H. Lau, ASME JEP 148(3):031010 (DOI 10.1115/1.4070106)	2026-09	2D부터 3.5D까지 일곱 등급의 판별 기준과 CoWoS-S에서 L로 넘어가는 문턱 2,500mm². 전문 확인	Free
S-1-11	뉴스	Intel's High-NA EUV Enters Production, but Stitching Looms	EE Times	2026-09-18	429mm² 제약과 스티칭 3전략, 6×12인치 마스크 시간표를 한 기사에서 정리한다	OA

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-1-12	기업발표	Intel Foundry and ASML Accelerate Industry Readiness for High-NA EUV	Intel Newsroom	2026-09-07	High-NA 양산 사실의 1차 출처다. 인용할 때는 이 발표문의 표현을 따른다	OA
S-1-14	뉴스	AMD EPYC Infinity Fabric Update and MCM Cost Savings	ServeTheHome	2017-08-22	0.59배 비용비의 원 발표(Hot Chips 29) 정리본. 슬라이드 이미지가 함께 있다	OA
S-1-18	표준·로드맵	UCIe Specifications	UCIe Consortium	2026 확인	네 판본의 속도와 하위호환 관계를 공식 페이지에서 확인한다	무료등록
S-1-26	뉴스	SK hynix HBM Packaging at Hot Chips 2026	ServeTheHome	2026-08-23	HBM4 스택의 물리 사양과 CoWoS·EMIB 응력 비교. Day 4의 예습이 된다	OA
S-1-25	기업발표	Micron in High-Volume Production of HBM4	Micron	2026-03-16	3사 중 수치가 가장 명확한 HBM4 양산 발표문이다	OA
S-1-07	뉴스	TSMC CoWoS to Double by 2028	TrendForce	2026-09-14	2026년 8월 22일 이후 확인된 생산능력 전망 갱신분이다	OA
S-1-05	분석기관	5 Expectations for the Advanced Packaging Market in 2026	TechInsights	2025-12-02	Yole 외 시각으로 2026년 5대 축을 확인한다. 정량 수치는 없다	무료등록
S-1-09	기업발표	Global semiconductor materials market reaches record $73.2B in 2025	SEMI	2026	패키징 소재 $27.4B라는 삼성SDI 실제 경쟁 시장의 크기를 확인한다	OA

> 전체 출처 목록과 열람 상태는 `99_출처원장.md`에 있다.

DAY 2 · 예상 소요 2.5시간

Day 2: 요소 공정과 구조 해부

선수 지식 Day 1의 AP 계보와 용어(레티클 한계, chiplet, 2.5D/3D 구분)

학습 목표: Day 2를 마치면 다음 세 가지를 할 수 있다.

1. FC-BGA 단일칩, 2.5D CoWoS-S, HBM 12단 스택, fan-out 네 가지 패키지의 단면을 백지에 위에서 아래로 그리고, 층마다 들어가는 재료와 그 공급 카테고리를 설명할 수 있다.
2. bumping, RDL, TSV, interposer, 접합 3방식, 언더필 4방식, 몰딩, 기판, 임시접합을 각각 정의하고, 피치가 줄어들 때 어느 지점에서 소재가 교체되는지 수치로 설명할 수 있다.
3. warpage가 생기는 원리를 CTE와 모듈러스의 온도 의존성으로 설명하고, 신뢰성 시험 항목이 겨냥하는 고장 모드를 구분할 수 있다.

선수 지식: Day 1의 AP 계보와 용어 / **예상 소요**: 2.5시간

2.0 한눈에 보기

관련 슬라이드: 7쪽 · 8쪽 · 9쪽 · 10쪽 · 11쪽 · 24쪽 · 25쪽

관련 도해: F-1-11A 접속 밀도를 따라 읽는 AP 계보 · F-1-11B 계보는 소재가 바뀌는 지도이기도 하다 · F-2-01 네 단면을 같은 순서로 읽는다 · F-2-01A FC-BGA: 유기 기판이 배선을 맡는다 · F-2-01B CoWoS-S: 두 접합부와 두 언더필 · F-2-01C HBM 12H: 스택을 층 단위로 해부한다 · F-2-01D FO-WLP: 몰드와 RDL이 기능을 나눈다

Day 1은 패키징이 성능의 두 번째 축이 된 이유를 다루었다. Day 2는 그 패키지의 단면을 층 단위로 나누어 살핀다. 겉으로는 서로 다른 여섯 가지 플랫폼처럼 보이는 구조물도, 단면을 그려 보면 다섯 가지 기능층의 조합이다. 다섯 가지가 어떤 순서로 쌓이고 어떤 치수로 만들어지는지가 곧 패키지의 이름이 된다.

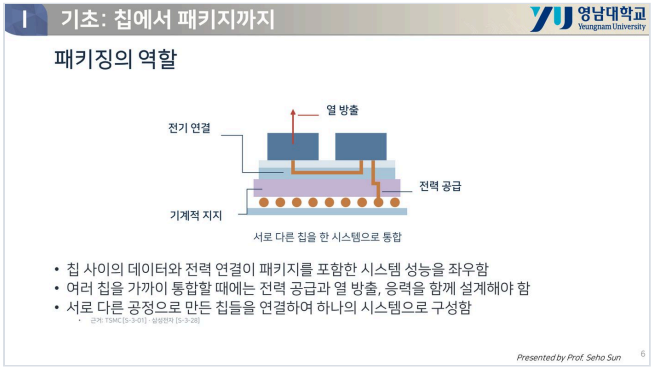
- **통로**: 수직으로 전류를 나른다. 범프, TSV, 관통 몰드 비아가 여기에 속한다.
- **배선**: 수평으로 신호를 재배치한다. RDL, 인터포저, 기판이 여기에 속한다.
- **충전재**: 빈 공간을 메우고 칩을 보호한다. 언더필과 몰딩 컴파운드다.
- **지지재**: 구조를 지탱한다. 기판 코어와 임시 캐리어다.
- **열 경로**: 열을 빼낸다. TIM(thermal interface material, 열계면 소재)과 히트스프레더다.

소재 회사가 이 해부도를 알아야 하는 이유는 단면의 층 하나하나가 별도로 구매되는 소재 품목이기 때문이다. 접합 피치가 40μm에서 10μm로 줄어드는 일은 전기적으로는 배선 밀도의 향상이다. 소재 관점에서는 플럭스와 솔더와 언더필이 빠지고 CMP 슬러리와 세정액과 유전막 전구체가 들어오는 품목 교체다. 대면적화도 마찬가지다. 패키지가 커질수록 CTE 부정합이 만드는 휨이 수율을 지배하고, 몰딩 컴파운드의 배합과 필러 충전율이 설계 변수로 올라선다. Day 2의 내용은 Day 5와 Day 6에서 다룰 소재 전지도의 기준이 된다.

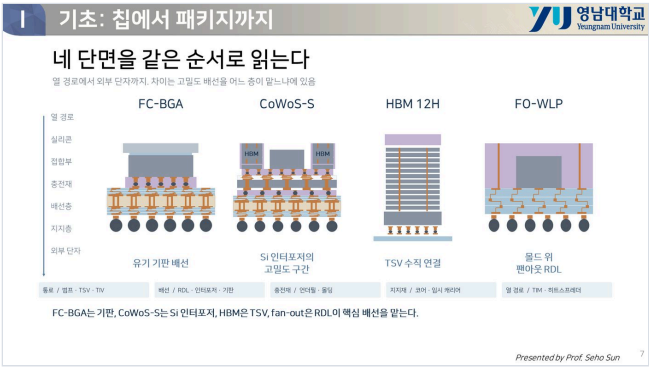
수치를 읽을 때는 두 가지 습관을 함께 익힌다. 첫째는 숫자의 출처와 측정 대상을 항상 함께 적는 습관이다. 같은 "피치"라는 말이 범프 중심 간격을 뜻할 때도 있고 패드 중심 간격을 뜻할 때도 있다. 출처와 측정면을 밝히지 않은 수치는 현업 엔지니어에게 곧바로 반박당한다. 둘째는 양산과 실증을 구분하는 습관이다. 학회에서 발표된 나노미터급 숫자와 실제 고객에게 출하되는 마이크로미터급 숫자를 섞으면 논의 전체의 신뢰가 흔들린다.

두 습관은 2.2절과 2.4절의 표에서 다시 다룬다. Day 2의 학습은 네 장의 단면표를 익히는 데서 시작한다. 그 뒤 피치와 두께와 열팽창계수라는 세 개의 숫자 축으로 모인다.

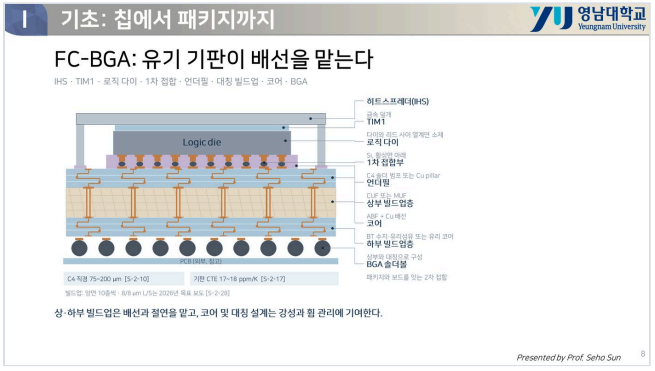
2.1 패키지 단면 해부: 네 가지 구조를 층으로 읽기



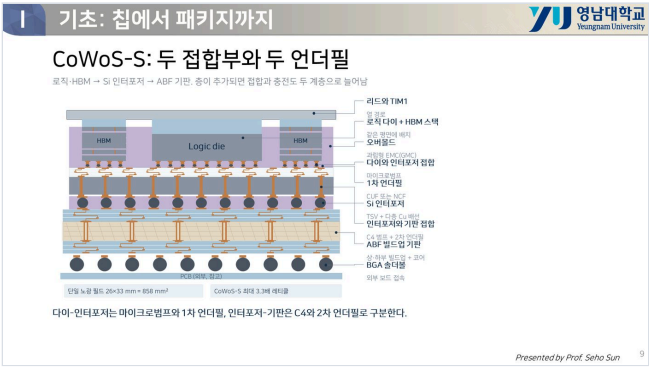
슬라이드 6쪽 · 패키징의 역할



슬라이드 7쪽 · 네 단면을 같은 순서로 읽는다

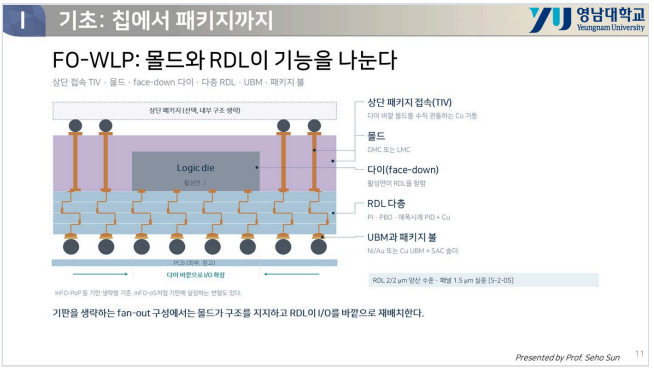


슬라이드 8쪽 · FC-BGA: 유기 기판이 배선을 맡는다



슬라이드 9쪽 · CoWoS-S: 두 접합부와 두 언더필

슬라이드 10쪽 · HBM 12H: 스택을 층 단위로 해부한다



슬라이드 11쪽 · FO-WLP: 몰드와 RDL이 기능을 나눈다

그 밖의 관련 슬라이드: 30쪽 · 53쪽 · 54쪽 · 55쪽

관련 도해: F-3-03A CoWoS-L 한 장을 아홉 개 층으로 나눈다 · F-3-03B CoWoS-L 상부: 열 경로 · 몰드 · 접합면 · F-3-03C CoWoS-L 하부: RDL · LSI · FC-BGA의 소재 · F-5-01A 소재는 이름보다 들어가는 자리로 읽는다 · F-5-01B HBM·팬아웃에서는 수지의 역할이 달라진다 · F-5-01C 소재의 소멸은 패키지가 아니라 전환된 층 기준이다

아래 네 장의 단면이 Day 2 전체의 기준이다. 뒤의 다섯 절은 이 네 장의 단면을 각각 다른 각도에서 확대한다. 네 장의 표를 익혀 두면 나머지 절은 그 위에 얹히는 설명이 된다.

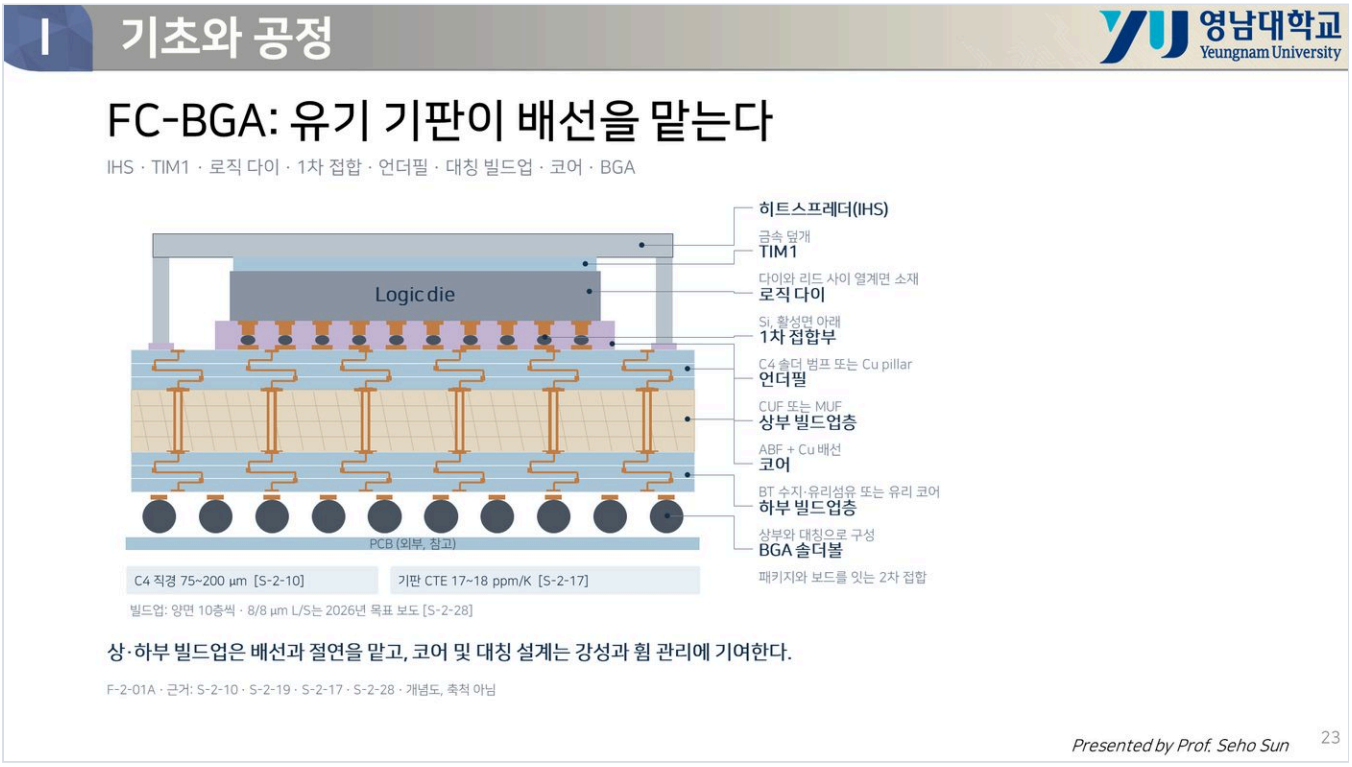
- 2.2절: 표 안의 접합부와 배선층을 만드는 방법
- 2.3절: 배선층을 맡을 중간층의 선택
- 2.4절: 접합부를 붙이는 방법

- 2.5절: 빈 공간을 채우고 겉을 덮고 아래를 받치는 소재
- 2.6절: 모든 층이 온도 변화를 견디는 방식

패키지 단면은 항상 위에서 아래로 읽는다. 열이 빠져나가는 쪽이 위이고, 전원과 신호가 들어오는 보드 쪽이 아래다. 그 사이에 다이가 있고, 다이와 다이 또는 다이와 기판을 잇는 접합부가 있으며, 접합부의 빈틈을 메우는 충전재가 있다. 아래 네 개의 표는 이 순서를 그대로 따른다. 표를 덮고 백지에 다시 그릴 수 있으면 2.1절의 목표를 이룬 것이다.

가장 단순한 구조는 FC-BGA 단일 칩 패키지다. 플립칩으로 뒤집은 다이 하나를 유기 기판 위에 올리고 언더필로 보강한 뒤 BGA 볼로 보드에 붙인다. 이 구조에서 이미 범프, 언더필, 빌드업 기판, 솔더볼이라는 네 가지 소재 카테고리가 모두 등장한다.

표 2.1-(a) FC-BGA 단일 칩 패키지 단면

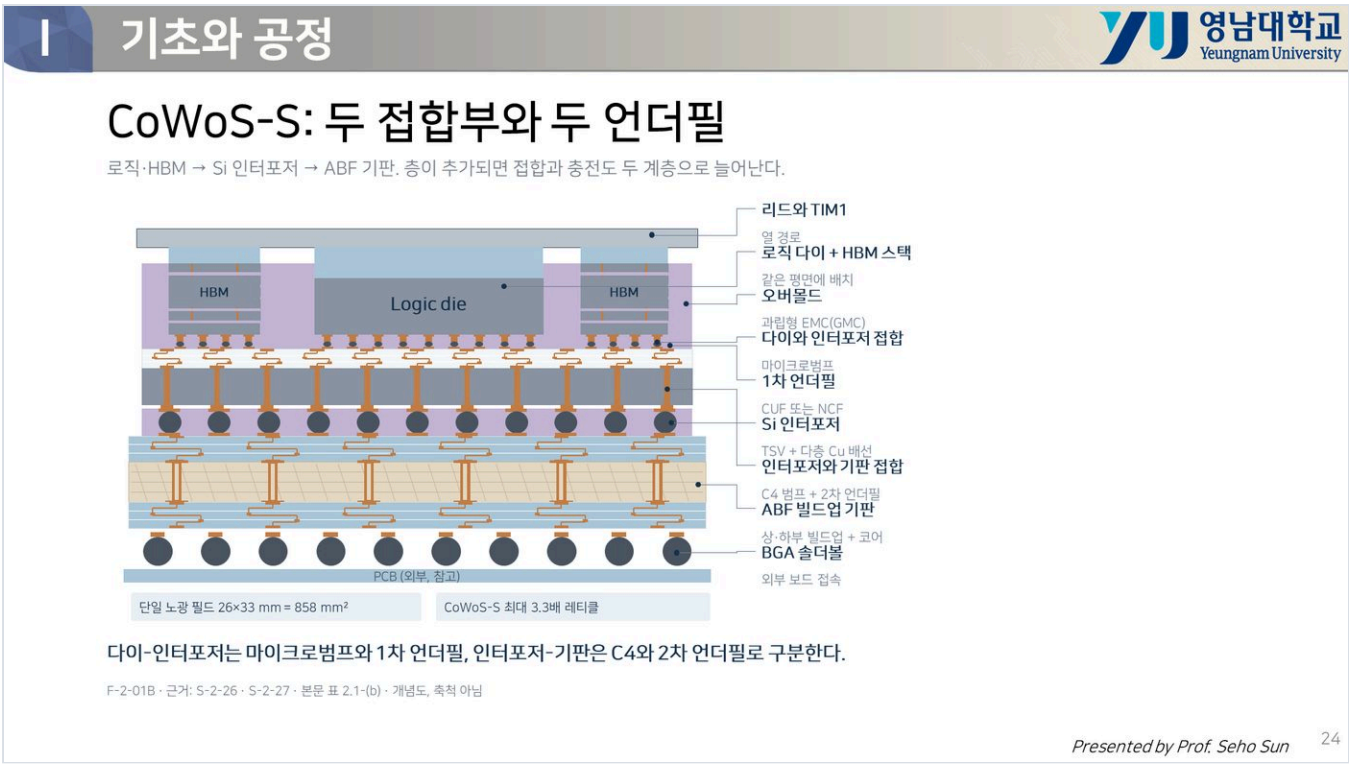


도해 F-2-01A · FC-BGA: 유기 기판이 배선을 맡는다 · 근거 S-2-10, S-2-19, S-2-17, S-2-28
상·하부 빌드업은 배선과 절연을 맡고, 코어 및 대칭 설계는 강성과 휨 관리에 기여한다.

층(위에서 아래로)	재료	두께·치수	공급 카테고리
히트스프레더(IHS, integrated heat spreader)	Ni 도금 Cu, Al 합금	패키지 외형을 결정하는 금속 덮개	금속 가공
TIM1(thermal interface material, 열계면 소재)	상변화 재료, 실리콘 겔, 소결 Ag, 인듐	다이와 리드 사이 간극을 채우는 박막	열계면 소재
로직 다이	Si, 최상층 패시베이션 SiO2	300mm 웨이퍼 표준 두께가 775μm이며 백그라인드로 박형화 [S-2-13]	파운드리
1차 접합부	C4 솔더 범프, 또는 Cu pillar(Ni 확산 배리어 + SnAg 솔더캡)	C4 직경 75~200μm, Cu pillar는 피치 40μm 이하에서 기둥 15μm·Ni 5μm 구성 [S-2-10]	도금 화학, 솔더, 플럭스
언더필	실리카 충전 에폭시(CUF), 또는 몰디드 언더필(MUF)	CUF 필러 최대 70wt%·CTE 20~25 ppm/K, MUF 필러 80wt% 초과·CTE 15~20 ppm/K [S-2-19]	언더필, EMC
상부 빌드업층	ABF(에폭시 + 무기 필러) + Cu 배선	AI 가속기용은 코어 양면 10층씩 쌓는 구성과 8/8μm 수준 line/space가 2026년 목표로 보도됨 [S-2-28]	빌드업 필름, 도금 화학
코어	BT 수지·유리섬유, 또는 유리 코어	유기 기판의 CTE는 약 17~18 ppm/K [S-2-17]	기판
하부 빌드업층	ABF + Cu 배선	상부와 대칭으로 쌓아 휨을 상쇄	빌드업 필름
BGA 솔더볼	SAC 계열 솔더	패키지와 보드를 잇는 2차 접합	솔더볼

AI 가속기의 표준 형상은 2.5D CoWoS-S다. FC-BGA 위에 Si 인터포저라는 층이 하나 더 끼어든 구조로 읽으면 된다. 로직 다이와 HBM 스택이 같은 평면에 나란히 앉고, 둘을 잇는 수 μm급 배선은 Si 인터포저가 담당한다. 인터포저는 자신을 관통하는 TSV로 아래 기판과 통한다. 접합부가 두 층으로 늘었으므로 언더필도 두 종류가 들어간다.

표 2.1-(b) 2.5D CoWoS-S 패키지 단면



도해 F-2-01B · CoWoS-S: 두 접합부와 두 언더필 · 근거 S-2-26, S-2-27
다이-인터포저는 마이크로범프와 1차 언더필, 인터포저-기판은 C4와 2차 언더필로 구분한다.

층(위에서 아래로)	재료	두께·치수	공급 카테고리
리드와 TIM1	금속 리드, 고열전도 TIM	1kW급 발열을 감당하는 열 경로의 출발점	열계면 소재
로직 다이 + HBM 스택	Si 로직, HBM 큐브	단일 노광 필드 상한은 26×33mm = 858mm² [S-2-27]	파운드리, 메모리
오버몰드	과립형 EMC(GMC)	다이와 같은 층에서 칩렛의 옆면과 윗면을 덮는 구조재	EMC
다이와 인터포저 접합	마이크로범프(Cu pillar + 솔더캡)	보고된 접합 피치 범위는 표 2.2-(a) 참조	도금 화학, 솔더
1차 언더필	CUF 또는 NCF	미세 갭 무보이드 충전이 합격선	언더필
Si 인터포저	Si + TSV + 다층 Cu 배선	CoWoS-S는 최대 3.3배 레티클 크기 [S-2-26]	파운드리
인터포저와 기판 접합	C4 범프 + 2차 언더필	대면적 다이 접합부 보강용 CUF가 주로 쓰임	솔더, 언더필
ABF 빌드업 기판	ABF + Cu 배선 + 코어	코어 양면 빌드업 구조이며 층수와 line/space는 2.5절 참조	기판
BGA 솔더볼	SAC 계열 솔더	OCP(Open Compute Project) 가속기 모듈 보드에 실장 [S-2-05]	솔더볼

HBM 12단 스택은 그 자체로 하나의 단면을 이룬다. 앞의 두 표에서 "HBM 스택"이라고 한 덩어리로 적었던 것을 확대한 그림이다. 이 구조에서는 전체 높이가 규격으로 묶여 있다. 아래 표는 SK하이닉스가 2026년 8월 Hot Chips 2026에서 공개한 HBM4 스펙을 기준으로 적었다. 수치는 발표 슬라이드를 전재한 2차 보도에서 옮긴 것이다 [S-2-12].

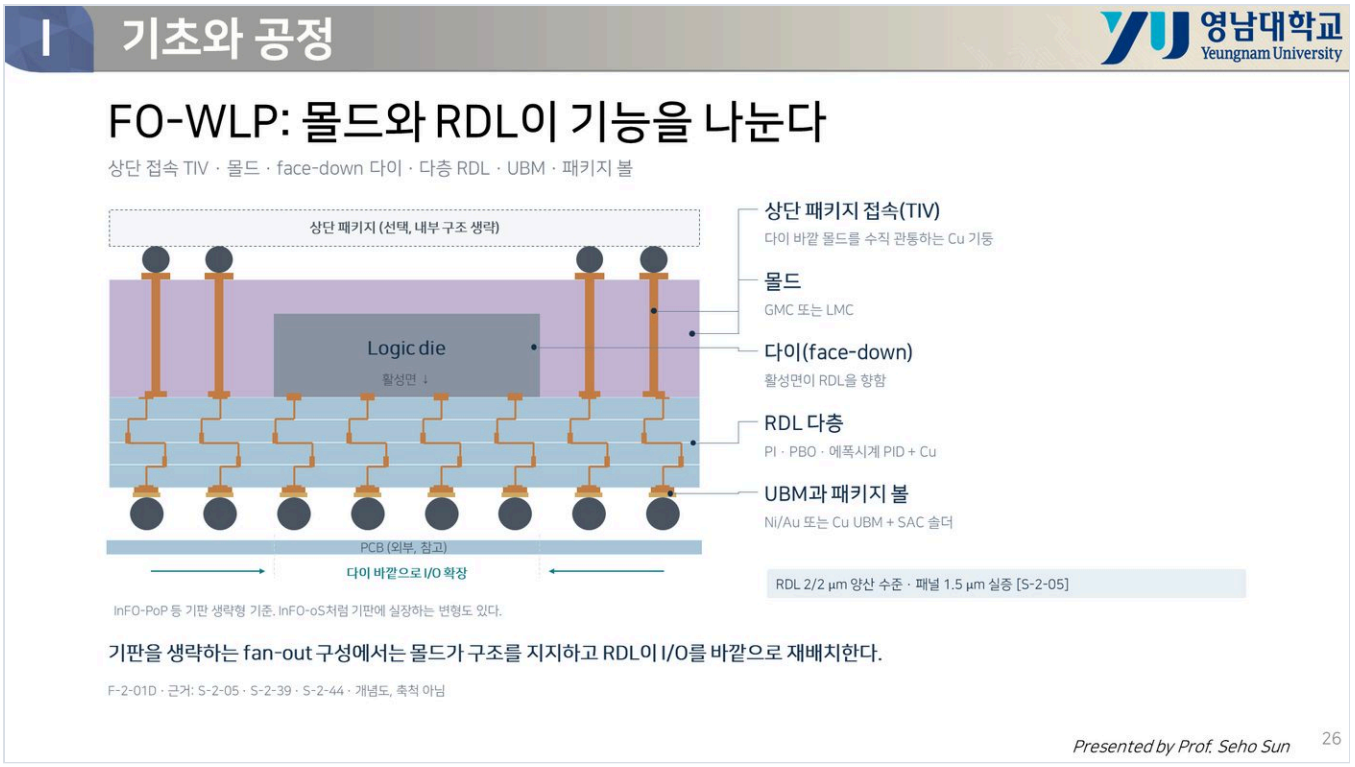
표 2.1-(c) HBM 12단 스택 단면 (HBM4 기준)

도해 F-2-01C · HBM 12H: 스택을 층 단위로 해부한다 · 근거 S-2-12, S-2-16
12H는 DRAM 코어 다이 12층이다. base die와 최상단 보호층은 별도로 읽는다.

층(위에서 아래로)	재료	두께·치수	공급 카테고리
최상단 몰드 또는 더미 다이	GMC, 또는 Si 더미	스택 최외곽 보호와 평탄면 확보	EMC
코어 다이 12층	Si DRAM, TSV 관통	대표값 약 30µm(CES 2026 보도 기준) [S-2-16]	메모리
층간 접합과 충전	마이크로범프 + NCF(TC-NCF), 또는 mass reflow + 액상 EMC(MR-MUF)	보고된 접합 피치 범위는 표 2.2-(a) 참조	솔더, NCF, MUF
base die	로직 파운드리 공정 Si	HBM4 세대에서 로직 노드로 이관	파운드리
base 마이크로범프	Cu pillar + 솔더	HBM4 기준 16,148개(2차 보도) [S-2-12]	솔더, 도금 화학
스택 전체		높이 775µm, 풋프린트 12.8×11mm², TSV 20,000개 초과, 12단 양산·16단 고객 퀄 진행(2차 보도) [S-2-12]	

fan-out(FOWLP)은 앞의 세 구조와 결정적으로 다르다. 인터포저 없이, 몰드로 재구성한 웨이퍼 위에 직접 배선층을 만든다. 다이를 몰드 안에 심어 인공 웨이퍼를 만든 뒤 그 위에 RDL을 올리므로, 몰딩 컴파운드가 보호재가 아니라 구조재가 된다. 아래 표는 기판을 생략하는 구성을 기준으로 그렸다. 같은 fan-out 계열이라도 모듈을 다시 유기 기판에 실장하는 변형이 병존한다 [S-2-44].

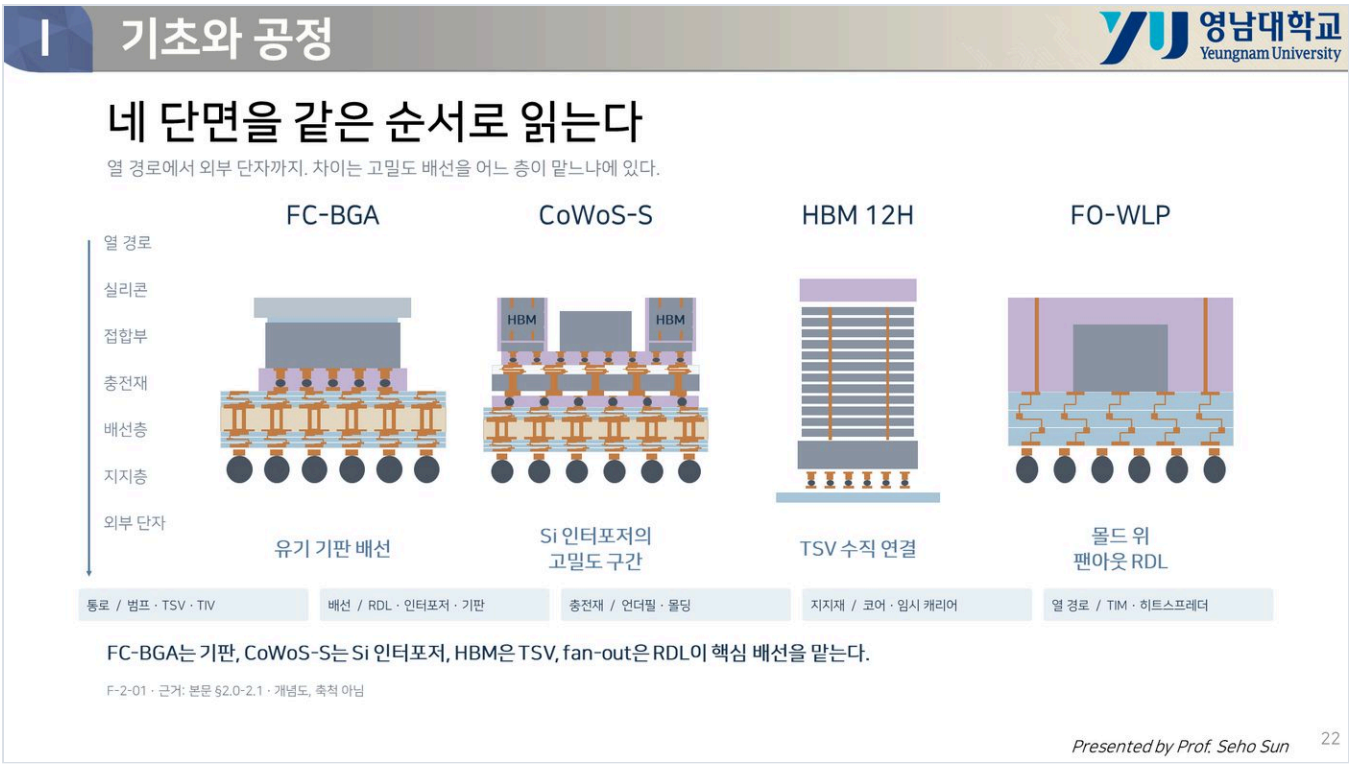
표 2.1-(d) fan-out(FOWLP) 패키지 단면



도해 F-2-01D · FO-WLP: 몰드와 RDL이 기능을 나눈다 · 근거 S-2-05, S-2-39, S-2-44
기판을 생략하는 fan-out 구성에서는 몰드가 구조를 지지하고 RDL이 I/O를 바깥으로 재배치한다.

층(위에서 아래로)	재료	두께·치수	공급 카테고리
상단 패키지 접속(PoP)	관통 몰드 비아(TIV)	몰드를 수직 관통하는 Cu 기둥	도금 화학
몰드	과립형 EMC(compression molding) 또는 액상 EMC(LMC) [S-2-39]	재구성 웨이퍼·패널 자체를 이루는 구조재	EMC
다이(face-down)	Si	활성면이 아래를 향하도록 배치	파운드리
RDL 다층	감광성 유전체(PI, PBO, 에폭시계 PID) + Cu 배선	양산 수준은 2/2μm line/space, 패널에서 1.5μm 실증 [S-2-05]	감광성 유전체, 도금 화학
UBM과 패키지 볼	Ni/Au 또는 Cu UBM + SAC 솔더	기판을 생략하는 구성(InFO-PoP 등)에서는 보드로 바로 연결하고, InFO-oS처럼 기판에 실장하는 구성도 있다 [S-2-44]	솔더볼

네 표를 나란히 놓으면 공통 구조가 드러난다. 어느 패키지든 위에서부터 열 경로, 실리콘, 접합부, 충전재, 배선층, 지지층, 외부 단자의 순서로 내려간다. 달라지는 것은 배선층을 누가 맡느냐다. FC-BGA는 유기 기판이 전부를 맡고, CoWoS-S는 Si 인터포저가 고밀도 구간을 떠어 간다. fan-out은 몰드 위의 RDL이 기판 역할의 일부 또는 전부를 가져가고, HBM은 수평 배선 대신 TSV라는 수직 배선으로 문제를 푼다. 접합부의 피치가 작아질수록 충전재는 액상에서 필름으로, 다시 무충전재(hybrid bonding)로 이동한다.



도해 F-2-01 · 네 단면을 같은 순서로 읽는다
FC-BGA는 기판, CoWoS-S는 Si 인터포저, HBM은 TSV, fan-out은 RDL이 핵심 배선을 맡는다.

표에 공급 카테고리 열을 따로 둔 이유도 같은 맥락이다. 패키지 한 개를 만들려면 파운드리와 메모리사 외에 최소 아홉 가지 화학 공급망이 동시에 작동해야 한다. 도금 화학, 솔더와 플럭스, 언더필, 몰딩 컴파운드, 감광성 유전체, 빌드업 필름, 열계면 소재, 임시접합 접착제, CMP 소모품이다. 이 가운데 어느 하나라도 공급이 끊기면 패키지는 만들어지지 않는다.

소재사가 노려야 할 자리는 아홉 칸 가운데 자사 역량과 인접한 칸이다. 인접성은 에폭시 배합, 필러 분산, 감광 화학, 연마 입자 같은 화학 플랫폼으로 판단하는 것이 실제와 가깝다. 네 장의 단면표를 나란히 놓고 자사 제품이 몇 칸에 들어가는지 세어 보는 것이 Day 2의 첫 번째 실습이다.

단면을 읽을 때 자주 틀리는 지점이 세 곳 있다. 첫째, HBM 스택은 그 자체로 완성된 패키지가 아니라 부품이다. 표 2.1-(c)의 구조물이 통째로 표 2.1-(b)의 한 칸 안으로 들어간다. 둘째, 언더필과 몰드는 같은 에폭시 계열이지만 역할이 다르다. 언더필은 접합부의 응력을 분산시키는 기계 부품이고, 몰드는 외부 환경을 막는 외장이다. MR-MUF처럼 한 소재가 둘을 겸하는 경우에만 경계가 흐려진다.

셋째, fan-out은 변형에 따라 기판의 유무가 갈린다. 표 2.1-(d)는 기판을 생략하는 구성을 그렸으며, TSMC InFO 계열에서는 InFO-PoP이 여기에 해당한다. 이 구성에서는 기판이 담당하던 배선과 지지 기능을 RDL과 몰드가 나누어 맡는다. 반면 InFO-oS처럼 fan-out 모듈을 다시 유기 기판 위에 실장하는 구성도 있다 [S-2-44].

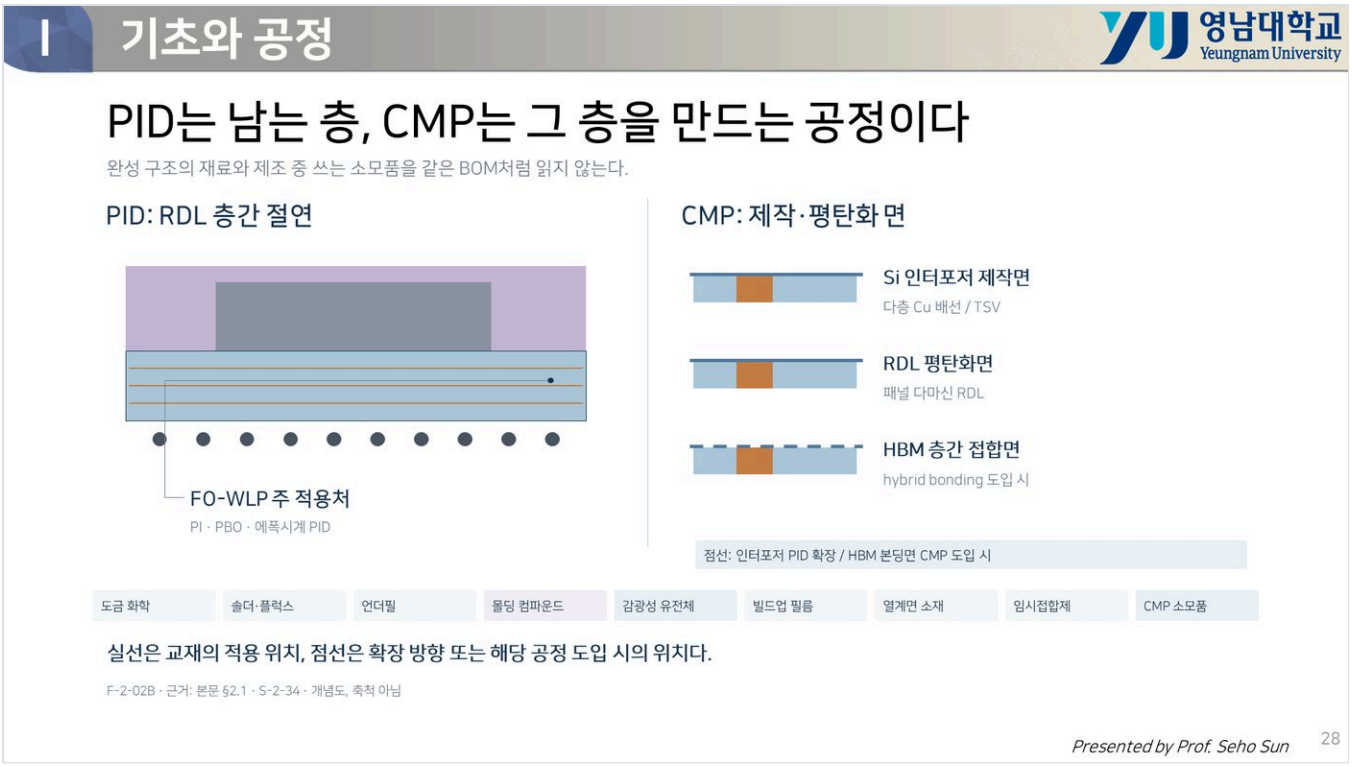
따라서 fan-out이 늘어난다는 사실만으로 기판 수요가 몰드와 감광성 유전체 수요로 대체된다고 볼 수 없다. 수요 이동은 변형별 구성과 그 비중을 확인한 뒤에야 판단할 수 있다. 현재 확인된 범위는 "기판을 생략하는 구성에서는 RDL과 몰드가 기판 역할을 대신한다"까지다.

층을 읽을 때 반드시 함께 읽어야 할 것이 두께 예산이다. HBM이 좋은 예다. 전체 높이가 775μm로 묶여 있고, 그 안에 다이 두께와 층간 간격이 모두 들어가야 한다. 다이 두께의 대표값은 약 30μm이고 [S-2-16], 층간 간격은 약 5μm로 전해진다 [S-2-05][S-2-12]. 단수를 늘리려면 다이를 더 깎거나 간격을 더 줄여야 하며, 둘 다

한계에 이르면 규격 자체나 접합 방식을 바꿔야 한다. 2.4절과 2.7절에서 다룰 hybrid bonding 논쟁도 이 두 께 예산에서 출발한다.

> **소재 관점에서 보면**: 네 개의 단면표는 삼성SDI가 이미 공급하는 소재가 어느 칸에 들어가는지를 보여 주는 대응표다. EMC는 표 (b)의 오버몰드, 표 (c)의 스택 몰드, 표 (d)의 구조재 몰드에 모두 등장하며, 같은 EMC라도 요구 물성이 전혀 다르다. CMP 슬러리는 표에 직접 나타나지 않지만 표 (b)의 Si 인터포저와 표 (d)의 RDL을 만드는 과정에서 쓰인다. 2.4절의 hybrid bonding이 도입되면 CMP 슬러리는 표 (c)의 층간 접합 칸에도 들어간다. 감광성 유전체(PID)는 표 (d)의 RDL 칸이 주 적용처이고, 표 (b)의 인터포저 배선으로 확장된다. 네 장의 표 각 칸에 자사 제품명을 얹어 보면 적용 지점이 가장 빠르게 보인다 [S-2-34].

도해 F-2-02A · 같은 EMC라도 들어가는 자리가 다르다 · 근거 S-2-34
EMC라는 소재 이름보다 적용 위치와 요구 물성을 먼저 연결한다.



도해 F-2-02B · PID는 남는 층, CMP는 그 층을 만드는 공정이다 · 근거 S-2-34
실선은 교재의 적용 위치, 점선은 확장 방향 또는 해당 공정 도입 시의 위치다.

2.2 bumping, RDL, TSV: 세 가지 요소 공정

관련 슬라이드: 22쪽 · 75쪽 · 76쪽

관련 도해: F-2-13A CTE 사다리: 필러로 수지를 Si 쪽으로 이동시킨다 · F-2-13B Tg를 넘으면 더 팽창하면서 동시에 물러진다 · F-4-03A TSV는 구멍을 만들고 채운 뒤 평탄화한다 · F-4-03B TSV 끝의 범프 사이가 갭필의 자리다 · F-6-01A PID는 Cu 배선 사이에 남는 감광성 절연막이다 · F-6-01B 도포·노광·현상 뒤에는 비아 바닥을 확인한다 · F-6-01C 경화와 Cu 형성을 반복하면 다층 RDL이 된다 · F-6-01D 같은 PID라도 하지와 면적이 달라지면 요구가 바뀐다

패키지의 배선은 세 가지 기본 요소로 만들어진다. 다이 표면에 금속 돌기를 세우는 bumping, 그 돌기를 원하는 좌표로 옮기는 RDL, 그리고 실리콘을 수직으로 뚫는 TSV다. 이 셋의 치수가 곧 패키지의 성능 한계를 정한다.

bumping은 치수에 따라 세 범주로 나뉜다. 다만 세 범주는 서로 겹친다. C4는 솔더로 접속하는 방식을, Cu pillar는 기둥과 솔더캡으로 이루어진 구조를, 마이크로범프는 미세 접속이라는 용도를 가리킨다. HBM base die의 마이크로범프가 Cu pillar와 솔더로 구성되듯, 한 범프가 두 범주에 동시에 속하기도 한다 [S-2-12].

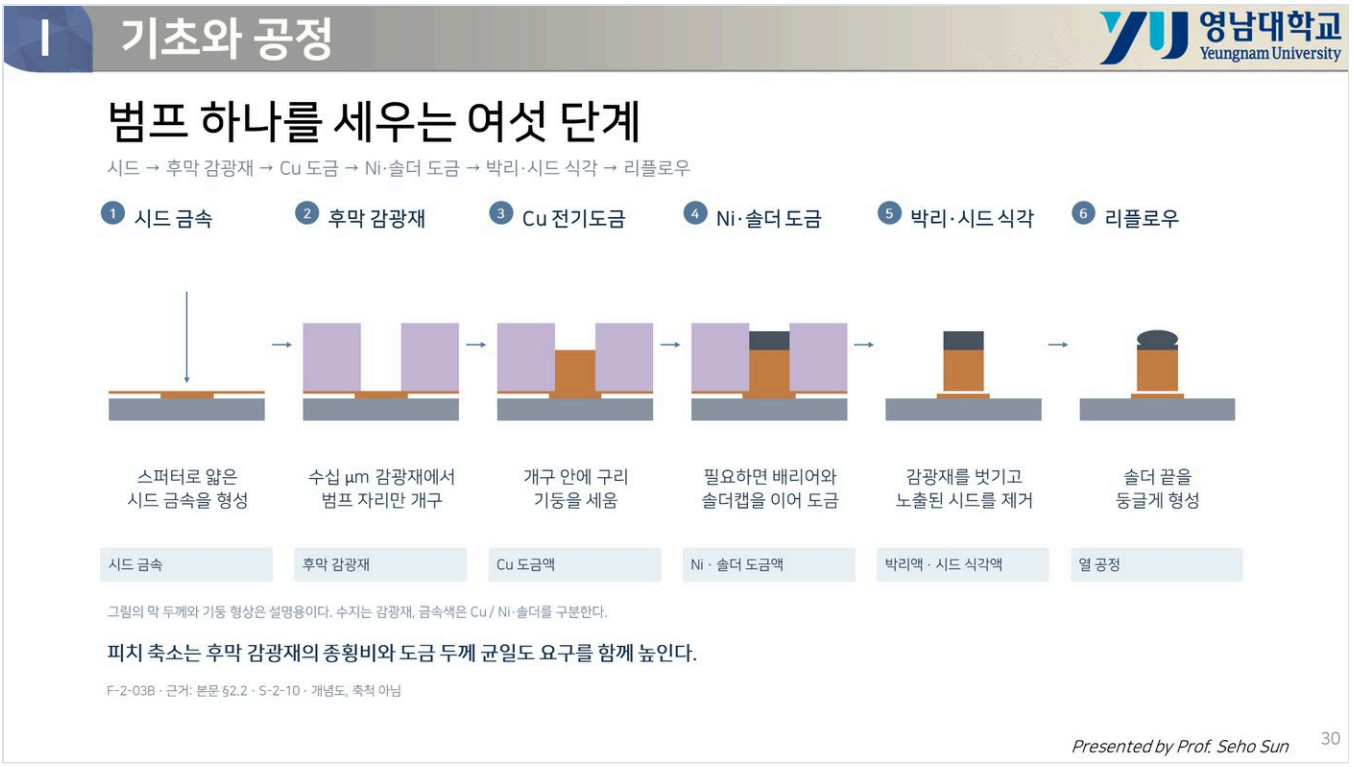
가장 크고 오래된 것이 C4 솔더 범프다. 직경 75~200μm에 전형 피치가 약 150μm이며, 오븐에서 일괄 리플로우로 붙인다. 그다음이 Cu pillar로, 구리 기둥 위에 Ni 확산 배리어를 얹고 SnAg 솔더캡을 씌운 구조이며 피치 40μm 이하까지 내려간다. 가장 작은 것이 마이크로범프다. 40μm 피치에서는 범프 직경 20~25μm에 간격 15μm다. 18μm 피치에서는 직경 9μm에 높이 20μm, 10μm 피치에서는 직경 5μm에 높이 10μm가 된다 [S-2-10].

범프 아래에는 항상 UBM(under-bump metallurgy)이 깔린다. UBM은 Al 또는 Cu 패드와 솔더 사이에서 접착력을 주고, Cu가 솔더로 확산하는 것을 막는 금속 적층이다. UBM은 솔더캡 조성과 함께 금속간화합물(IMC)의 성장 속도를 좌우한다.

범프를 만드는 순서를 알면 어느 소재가 어디에서 쓰이는지 보인다. 웨이퍼 패드 위에 스퍼터로 얇은 시드 금속을 깔고, 그 위에 수십 μm 두께의 후막 감광재를 도포해 범프가 설 자리만 뚫는다. 그 구멍에 Cu를 전기도금해 기둥을 세우고, 필요하면 Ni와 솔더를 이어서 도금한다. 이어 감광재를 벗기고 노출된 시드층을 식각으로 제거한다. 마지막에 리플로우로 솔더 끝을 둥글게 만든다.

이 짧은 흐름 안에 후막 감광재, Cu 도금액, 솔더 도금액, 박리액, 시드 식각액이 모두 들어간다. 피치가 줄면 감광재의 종횡비 요구와 도금 두께 균일도 요구가 동시에 올라간다. 그래서 범프 미세화는 도금 화학과 감광 화학 양쪽의 난이도를 함께 올린다.

도해 F-2-03A · 범프 3계급: 구조와 치수는 겹치는 분류다 · 근거 S-2-10, S-2-12
미세화할수록 솔더 부피 대비 계면 비율이 커진다. UBM·Ni 배리어·솔더캡의 조합이 중요해진다.



도해 F-2-03B · 범프 하나를 세우는 여섯 단계 · 근거 S-2-10
피치 축소는 후막 감광재의 종횡비와 도금 두께 균일도 요구를 함께 높인다.

여기서 수치의 측정면과 출처 등급을 구분해 두어야 한다. HBM의 접합 피치는 자료마다 다르게 보고된다. 재는 대상이 서로 다르고 출처의 성격도 다르기 때문이다. 메모리 3사의 제품 발표문을 근거로 제품별 내부 접합 피치와 TSV 피치를 확정한 자료는 확인되지 않았다. 그래서 아래 표는 측정면과 출처와 연도를 붙인 범위로 정리하고, 단일 대표값을 선언하지 않는다.

표 2.2-(a) HBM 관련 피치 보고값의 측정면과 출처 등급

보고값	측정면	기준 시점	출처 등급	출처
마이크로범프 표준 피치 40μm(범프 직경 20~25μm, 간격 15μm)	다이 대 다이 범프 피치	2021	기술 개설 기사	[S-2-10]
HBM 표준 마이크로범프 40~55μm(직경 20~25μm), HBM3E 범프 20~30μm	다이 대 다이 범프	2024 이후 해설	기술 해설 매체	[S-2-41]
MR-MUF 비교값 30μm	SK하이닉스 자사 공정 비교값	2026-08	회사 발표의 2차 보도	[S-2-13]
현행 HBM 양산 20μm, 스택 간격 5μm, 차세대 목표 10μm와 1μm	소재사가 배경으로 제시한 업계 통칭값	2026-05	학회 논문 서두 진술 (소재 공급사)	[S-2-05]
HBM4 패드 피치 약 10μm	패드 피치	2026-01	기술 매체 분석	[S-2-09]
HBM4 16단 방향 25μm 이하	다이 대 다이 접합 피치	2026	업계 분석 블로그	[S-2-29]
TSV 피치 HBM1 약 50μm에서 HBM4 20~25μm 목표	실리콘 내부 TSV 피치	연도 미상	분석기관 정리	[S-2-37]
hybrid bonding 적용 시 TSV 피치 18μm 미만	실리콘 내부 TSV 피치	2026-08	회사 발표의 2차 보도	[S-2-13]

이 표를 쓸 때 지켜야 할 규칙은 두 가지다. 첫째, "피치"라고만 쓰지 말고 다이 대 다이 접합, 실리콘 내부 TSV, HBM 대 인터포저 접속 가운데 무엇인지 밝힌다. 둘째, 회사 발표와 소재사의 배경 진술과 매체 분석을 같은 등급으로 나란히 적지 않는다. 인용할 때는 단일 값 대신 범위와 출처 등급을 함께 쓴다. 예를 들면 "양산 접합 피치는 보고 기준에 따라 20~30μm 범위로 전해지고 HBM4 패드 피치는 약 10μm로 보도된다"와 같이 쓴다 [S-2-05][S-2-09][S-2-13].

UBM과 솔더캡의 금속 조합은 단순한 접착 문제가 아니라 수명 문제다. SnAg 솔더는 Cu 또는 Ni와 만나면 계면에서 금속간화합물을 만든다. 이 화합물 층은 접합 초기에는 결합을 단단하게 해 주지만, 지나치게 두꺼워지면 취성 파괴의 출발점이 된다. 범프가 작아질수록 솔더 부피 대비 계면 면적이 커지므로, 같은 시간이 지나도 솔더 전체가 화합물로 변해 버리는 일이 생긴다.

2026년 ECTC에서 보고된 마이크로 Cu pillar 평가가 이 현상을 직경별로 보여 준다. 직경이 작아지면 주석이 고갈되면서 합금화에 따른 저항 상승이 고온에서 더 두드러졌다 [S-2-05]. 범프 미세화는 단순한 치수 축소가 아니라 금속학적 설계 문제다. 이 때문에 Ni 배리어 두께와 솔더 조성이 세대마다 다시 설계된다.

RDL(재배선층)은 감광성 유전체를 도포하고 노광해 비아를 뚫은 뒤 Cu를 도금하는 과정을 여러 번 반복해 만든다. 유전체로는 폴리이미드(PI), 폴리벤족사졸(PBO), 에폭시계 감광성 유전체(PID)가 쓰이며, 재료마다 경화 온도와 잔류 응력이 다르다. 배선 미세화의 현재 위치는 2026년 5월 ECTC 발표 자료로 확인된다.

Resonac은 320×320mm 유리 패널 위에 다마신 공정으로 2/2μm line/space 유기 폴리머 배선을 구현했다. 두 단계 CMP(벌크 Cu 제거 후 배리어 금속 CMP)로 Cu·Ti·폴리머 계면의 단차를 100nm 미만으로 맞추었다고 발표했다 [S-2-05]. USHIO는 510×515mm 유리 기판 전면을 스티칭 없이 노광해 1.5μm line/space를 구현했고, 노광 영역이 레티클 18개 분량이라고 밝혔다 [S-2-05][S-2-08]. 2/2μm은 양산 진입 구간, 1.5μm은 대면적 실증 구간이다. sub-1μm급은 아직 첫 배선층에 한정되는 특수 영역이다.

RDL 유전체에 걸리는 요구 항목은 네 가지로 압축된다. 네 항목은 서로 상충하며, 이 점이 이 소재의 어려움이다. 해상도를 올리면 경화 온도나 인성이 희생되는 거래가 반복된다.

- **해상도**: 층간 비아의 지름과 배선 폭을 정한다. 노광 해상도와 현상 후 단면 형상이 곧 배선 밀도의 상한이 된다.
- **경화 온도**: 이미 범프와 다이가 올라간 구조 위에서 경화해야 하므로 온도가 낮을수록 좋다. 최근 재료가 저온 경화를 앞세우는 이유다.
- **Cu 접착력과 내약품성**: 도금과 식각과 세정을 반복해도 계면이 들뜨지 않아야 한다.
- **잔류 응력과 기계 물성**: 유전체는 다이와 배선 사이에서 응력 완충층 역할도 겸한다. 그래서 모듈러스와 CTE가 층 전체의 휨과 배선 신뢰성에 직접 작용한다.

RDL을 만드는 방식에도 두 갈래가 있다. 반가산 공정(SAP)은 유전체 위에 시드층을 깔고 감광재로 배선 자리를 남긴 뒤, 그 자리에만 Cu를 도금하고 시드층을 제거한다. 다마신 공정은 유전체에 홈을 먼저 파고 Cu로 채운 다음, 남는 Cu를 CMP로 깎아 낸다. 배선이 굵을 때는 반가산이 싸고 빠르다. 그러나 2/2μm 아래로 내려가면 도금 두께 편차와 시드층 제거 손실이 선폭을 흔들어 놓으므로 다마신이 유리해진다.

도해 F-2-04A · RDL: 선택 도금과 매립 후 평탄화의 차이 · 근거 S-2-05, S-2-43
RDL이 미세해지면 선폭 제어뿐 아니라 Cu·Ti·유전체 계면의 평탄화가 중요해진다.

2026년 ECTC에서 발표된 패널 다마신 결과가 이 전환점을 보여 준다. 해당 발표는 HBM4급 고밀도 RDL에 필요한 미세 Cu 배선을 다마신이 제공할 것으로 전망했다 [S-2-05]. 다마신으로 가면 CMP가 RDL 공정의 필수 단계가 되고, 슬러리와 패드와 세정액이 패키징 라인의 상시 소모품 목록에 올라간다.

TSV(through-silicon via)는 실리콘을 관통해 수직 전류 통로를 만드는 공정이다. 형성 시점에 따라 세 가지로 나뉜다. 트랜지스터 공정 전에 뚫는 via-first, 트랜지스터 공정 뒤 배선 공정 전에 뚫는 via-middle, 웨이퍼 뒷면에서 뚫는 via-last다. HBM과 로직의 주류는 via-middle이다. 충전은 종횡비 10 이상의 깊은 구멍을 보이드 없이 Cu로 채워야 하므로 도금액 첨가제 설계가 관건이다. 가속제와 억제제와 평탄화제를 조합해 바닥부터 채워 올라가는 bottom-up 충전을 만든다 [S-2-36].

TSV의 충전 소재와 공정과 통합 방식을 종합한 리뷰가 2025년에 발표되었고 [S-2-03], 계측과 검사 기술을 따로 정리한 리뷰도 같은 해에 나왔다 [S-2-04]. 분석기관은 TSV 피치가 세대마다 줄어 HBM1의 약 50μm에서 HBM4의 20~25μm 목표까지 내려왔다고 정리한다 [S-2-37]. SK하이닉스는 2026년 8월 발표 자료에서 hybrid bonding을 적용하면 TSV 피치를 18μm 미만으로 가져갈 수 있다고 밝혔다 [S-2-12].

TSV에는 설계상의 부작용이 하나 따라온다. Cu의 열팽창계수는 약 16.5~17 ppm/K이고 Si는 약 2.6~2.8 ppm/K다 [S-2-20][*C-2-29*]. 그래서 온도가 변하면 TSV 주변 실리콘에 응력장이 생긴다. 이 응력은 캐리어 이동도를 바꾸어 소자 특성을 틀어 놓으므로, 설계자는 TSV 둘레에 트랜지스터를 두지 않는 금지 영역인 keep-out zone을 둔다. TSV 피치를 줄이면 keep-out zone이 서로 겹치면서 유효 면적 손실이 커진다. 피치 축소는 배선 밀도와 면적 손실 사이의 거래다.

도금 화학이 별도의 공급 카테고리로 존재하는 이유는 이 충전 화학의 설계 논리에 있다. 2025년 종합 리뷰는 TSV 도금액 첨가제를 세 부류로 나눈다. 촉진제는 황 원자를 품은 저분자량 물질로, 확산이 빨라 비아 바닥에 먼저 흡착해 구리 환원을 가속한다. 억제제는 분자량 1,000을 넘는 장쇄 고분자로, 비아 입구 표면을 덮어 조기 폐쇄를 막는다. 평탄제는 질소를 품은 분자로, 전류밀도가 높은 자리에 선택적으로 흡착해 그곳의 석출을 누른다 [S-2-03]. 셋이 함께 작동해야 바닥부터 채워 올라가는 충전이 성립한다.

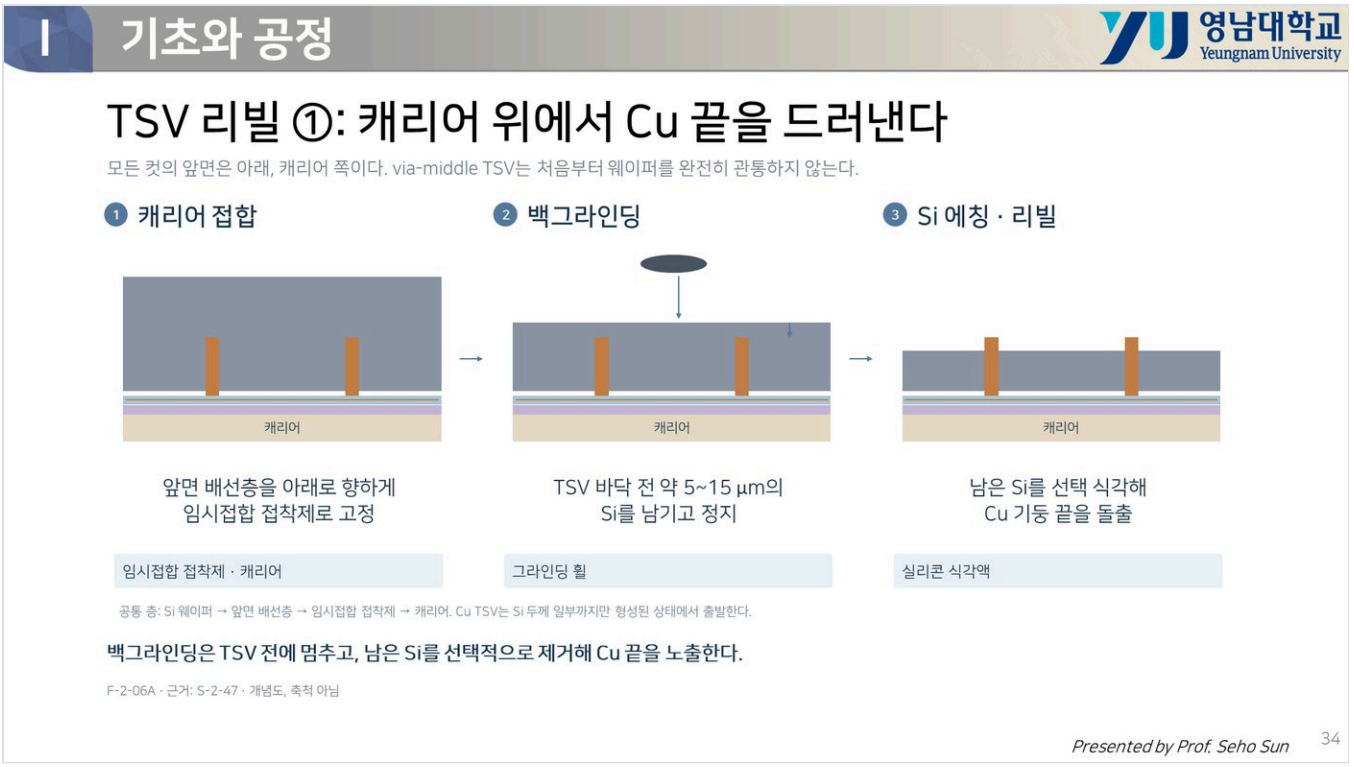
도해 F-2-05 · TSV 충전: 입구를 막지 않고 바닥부터 채운다 · 근거 S-2-03, S-2-36
한 첨가제의 효과가 아니라, 바닥 성장과 입구 억제를 함께 만드는 계 설계가 핵심이다.

같은 리뷰는 억제제가 단독으로는 거의 작동하지 않는다는 점도 밝힌다. PEG는 구리 표면 흡착이 약해 그 자체로는 석출을 의미 있게 억제하지 못한다. 염화물 이온이 있을 때에만 PEG-Cu-Cl이라는 삼배위 착물을 이루어 물리적 확산 장벽을 만들고, 구리 석출의 과전압을 올린다 [S-2-03]. 억제 성능이 염화물 농도에 종속되므로, 도금액 사양은 첨가제 농도와 염화물 농도를 함께 묶는 계 설계가 된다.

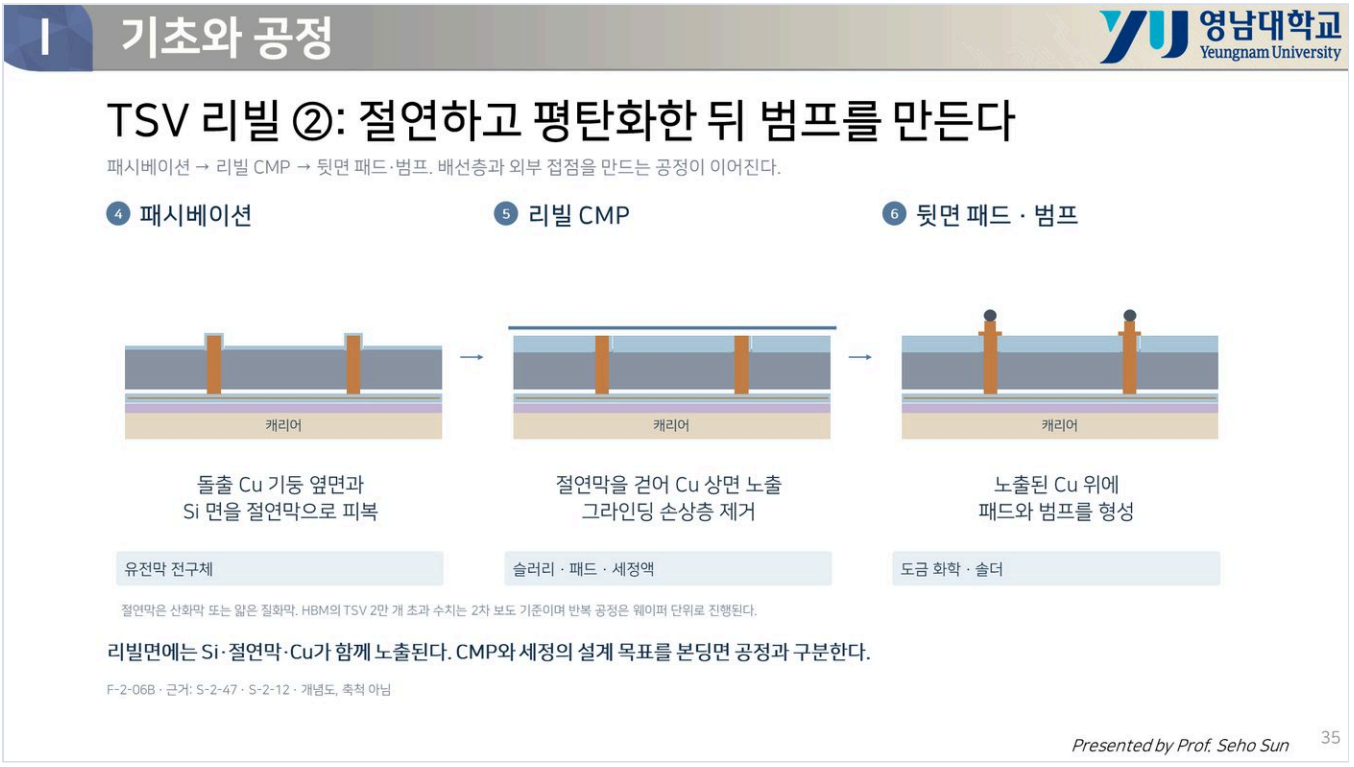
소재 공급사가 단품이 아니라 처방 단위로 납품하고, 고객이 도금액 변경에 보수적인 이유가 여기서 나온다. 온도 민감도도 같은 맥락이다. 같은 리뷰가 인용한 실험에서는 촉진제 SPS 30ppm 조건에서 298K는 무보이드 충전이 되었다. 그러나 313K에서는 상부 석출이 가속되어 큰 보이드가 생겼다 [S-2-03].

TSV는 앞면에서 뚫는 것으로 끝나지 않는다. via-middle 방식에서는 구멍을 실리콘 두께의 일부까지만 뚫어 놓는다. 그래서 나중에 웨이퍼 뒷면을 갈아 내려가 TSV의 바닥을 드러내는 공정이 따로 필요하다. 이 과정을 TSV 리빌(reveal)이라 부르며, 여섯 단계로 나누어 읽으면 단계마다 들어가는 소재가 보인다.

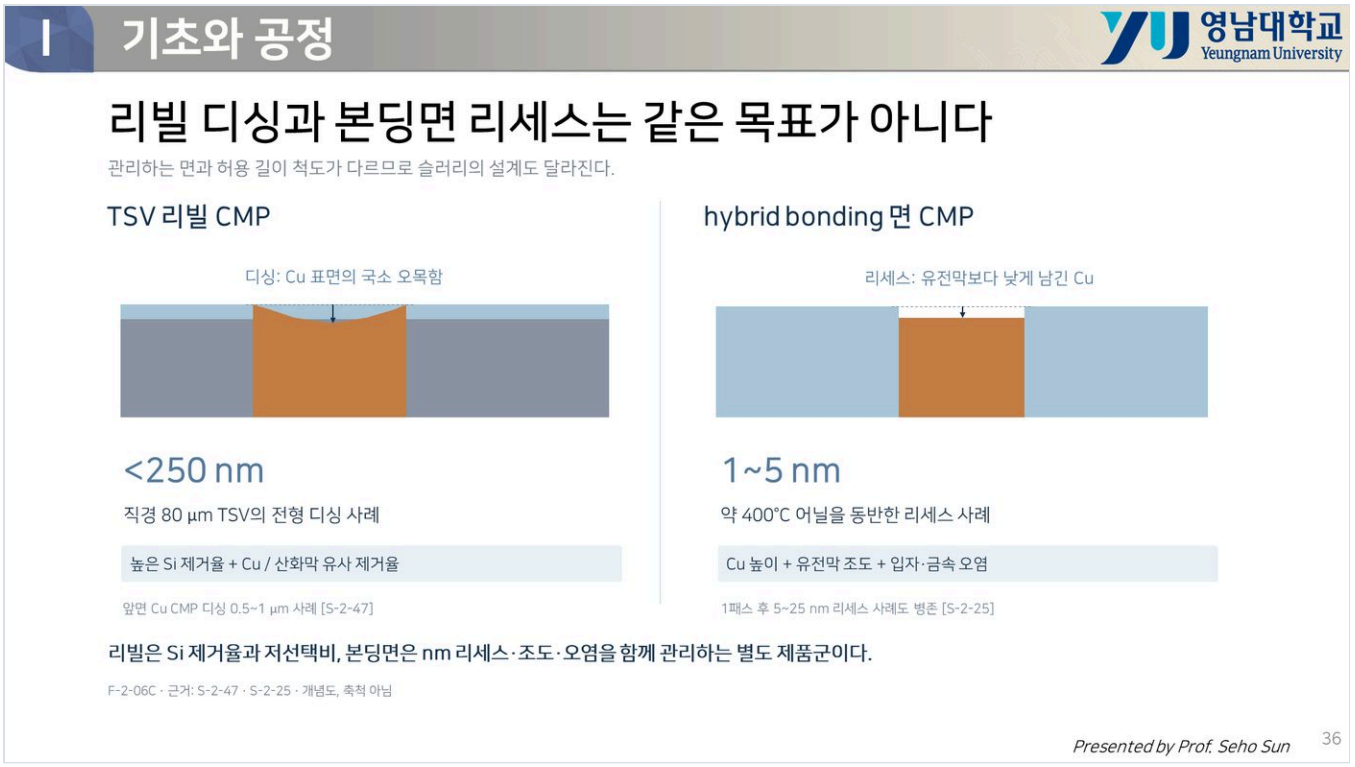
표 2.2-(b) TSV 리빌 6단계



도해 F-2-06A · TSV 리빌 ①: 캐리어 위에서 Cu 끝을 드러낸다 · 근거 S-2-47
백그라인딩은 TSV 전에 멈추고, 남은 Si를 선택적으로 제거해 Cu 끝을 노출한다.



도해 F-2-06B · TSV 리빌 ②: 절연하고 평탄화한 뒤 범프를 만든다 · 근거 S-2-47, S-2-12
리빌면에는 Si·절연막·Cu가 함께 노출된다. CMP와 세정의 설계 목표를 본딩면 공정과 구분한다.



도해 F-2-06C · 리빌 디싱과 본딩면 리세스는 같은 목표가 아니다 · 근거 S-2-47, S-2-25
리빌은 Si 제거율과 저선택비, 본딩면은 nm 리세스·조도·오염을 함께 관리하는 별도 제품군이다.

단계	하는 일	소재·소모품 접점
① 캐리어 접합	TSV 웨이퍼를 앞면이 아래를 향하도록 캐리어 웨이퍼에 임시로 붙인다 [S-2-47]	임시접합 접착제, 캐리어
② 백그라인딩	뒷면을 갈되 TSV 바닥에 닿기 전 약 5~15µm를 남기고 멈춘다 [S-2-47]	그라인딩 휠
③ Si 에칭·리빌	남은 실리콘을 선택적으로 식각해 Cu 기둥 끝을 돌출시킨다	실리콘 식각액
④ 패시베이션	돌출된 기둥 옆면과 실리콘 면을 절연막으로 덮는다	유전막 전구체
⑤ 리빌 CMP	절연막을 깎아 Cu 상면만 다시 드러내고, 동시에 그라인딩 손상층을 제거한다 [S-2-47]	슬러리, 패드, 세정액
⑥ 범프	드러난 Cu 위에 뒷면 패드와 범프를 만든다	도금 화학, 솔더

리빌 CMP가 다루는 면에는 단결정 실리콘과 산화막(또는 얇은 질화막)과 구리가 한꺼번에 노출된다 [S-2-47]. 그래서 이 단계의 설계 목표는 실리콘 제거율을 높게 가져가면서 Cu와 산화막의 제거율을 비슷하게 맞추는 저선택비다. 넓은 구조에서 디싱을 줄이는 것이 합격 조건이 된다 [S-2-47].

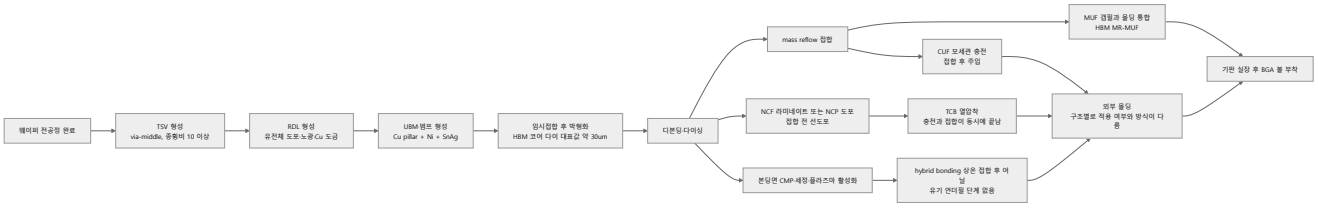
디싱의 규모도 여기서 정해진다. 같은 발표는 직경 80µm TSV를 가로지르는 전형적 디싱을 250nm 미만으로, 앞면 Cu CMP의 디싱을 0.5~1µm로 보고한다 [S-2-47]. 비아 직경과 슬러리에 따라 한 자릿수 nm까지 내려간 사례도 보고된다. 어느 경우든 관리 단위는 수백 nm에서 수십 nm에 걸친다.

리빌 CMP와 본딩면 CMP에는 같은 슬러리를 쓸 수 없다. 리빌 슬러리는 실리콘을 빠르게 걷어내도록 설계되고, 표면 요구도 전공정 배선만큼 엄격하지 않아 수백 nm 디싱을 허용한다 [S-2-47]. 반면 2.4절에서 볼 본딩면 CMP는 나노미터 수준의 리세스를 웨이퍼 전면에서 재현하고, 옹스트롬 수준의 조도와 파티클 제로화

를 함께 맞춰야 한다 [S-2-25]. 허용 오차가 두세 자릿수 다르므로 같은 처방으로 두 공정을 덮을 수 없고, 제품군을 나누어 개발해야 한다. 리빌 CMP의 디싱과 본딩면 CMP의 리세스는 이름만 비슷할 뿐 관리 규격이 다르다.

리빌 이후에도 공정은 이어진다. 돌출된 Cu 위에 뒷면 패드와 범프를 다시 만들어야 하므로 앞면에서 했던 도금 공정이 한 번 더 반복된다. HBM 한 스택에는 TSV가 2만 개 넘게 들어가며 [S-2-12], 이 반복 공정은 12장의 웨이퍼 전부에 적용된다.

세 요소 공정이 이어지는 순서는 아래 흐름도와 같다. 접합 방식마다 충전재가 들어가는 시점이 다르다. CUF는 접합이 끝난 뒤 주입하고, NCF와 NCP는 접합 전에 미리 깔아 둔다. MR-MUF는 일괄 접합 후 갭필과 몰딩을 한 공정으로 처리하고, hybrid bonding에는 유기 충전 단계 자체가 없다.



> **소재 관점에서 보면**: 세 요소 공정 가운데 삼성SDI의 기존 자산과 가장 가까운 것은 RDL 유전체와 CMP다. 감광성 유전체는 삼성SDI가 PID를 보유한 영역이다 [S-2-34]. 배선이 2/2μm 이하로 내려가면 도포 균일도와 저온 경화성이 새 합격선이 된다. Resonac의 ECTC 발표는 패널 레벨 다마신 배선의 성패가 CMP의 단차 제어와 슬러리 유동 분포 설계에 달려 있다고 명시했다 [S-2-05].

이 사례는 CMP 슬러리가 전공정 소모품에서 패키징 소모품으로 영역을 넓히고 있음을 보여 준다. 국내에서는 이미 케이씨텍이 hybrid bonding 전용 Cu 슬러리 개발을 공개했다 [S-2-35]. 반면 도금 화학(TSV 충전, Cu pillar)은 진입 장벽의 성격이 다르고 외산 과점이 견고하다 [S-2-36].

2.3 interposer와 bridge: 네 가지 중간층의 비교

관련 슬라이드: 14쪽 · 15쪽 · 18쪽

관련 도해: F-1-04 한 번의 노광: 858 mm²와 429 mm² · F-1-05A die는 쪼개고, 인터포저는 이어 붙인다 · F-1-05B 인터포저 크기의 사다리 · F-1-09 HBM의 넓은 인터페이스가 2.5D를 부른다 · F-2-04A RDL: 선택 도금과 매립 후 평탄화의 차이

로직 다이와 HBM을 잇는 배선을 누가 맡을지에 대한 답은 네 가지로 갈린다. 실리콘 인터포저 전면 깔기, 유기 RDL 인터포저, 국소 실리콘 브리지 매립, 그리고 유리 인터포저다. 이 선택은 전기 성능과 비용과 대면적 확장성 사이의 거래다. 선택이 달라지면 패키지에 들어가는 소재 목록 자체가 달라진다.

Si 인터포저는 TSMC CoWoS-S의 방식이다. 전공정 장비로 만든 실리콘 판에 TSV와 다층 Cu 배선을 넣고, 그 위에 로직과 HBM을 모두 올린다. 배선 밀도가 가장 높고 신호 무결성도 가장 좋지만, 크기가 노광 필드에 묶인다는 근본 제약이 있다. 현행 스캐너의 1샷 최대 노광 필드는 26×33mm, 즉 858mm²다. High-NA EUV는 anamorphic 광학 때문에 half-field 26×16.5mm, 즉 429mm²로 줄어든다 [S-2-27].

이보다 큰 인터포저를 만들려면 여러 번 노광해 이어 붙이는 스티칭이 필요하다. 이 때문에 복잡한 제품에서는 인터포저 한 장이 $100 수준까지 올라간다는 분석이 있다 [S-2-24]. CoWoS-S의 상한은 레티클 3.3배 크기다 [S-2-26].

유기 RDL 인터포저는 TSMC CoWoS-R의 방식이다. 실리콘 대신 폴리머 유전체와 Cu 배선으로 중간층을 만들고 TSV를 쓰지 않는다. 재료비가 싸고 큰 면적으로 늘리기 쉽지만, 유기 재료의 높은 CTE 때문에 휨이 문제가 된다. 2026년 ECTC에서 TSMC는 레티클 3.3배 크기의 CoWoS-R 패키지를 OCP 가속기 모듈 보드에 실장해 보드 레벨 신뢰성을 조사한 결과를 내놓았다. 온도 사이클 시험이 보드 레벨 수명을 지배하는 핵심 변수였고, 기판 쪽과 PCB 쪽 양쪽에서 BGA 균열이 관찰되었다 [S-2-05]. 유기 인터포저의 약점이 어디에서 드러나는지를 보여 주는 실측 사례다.

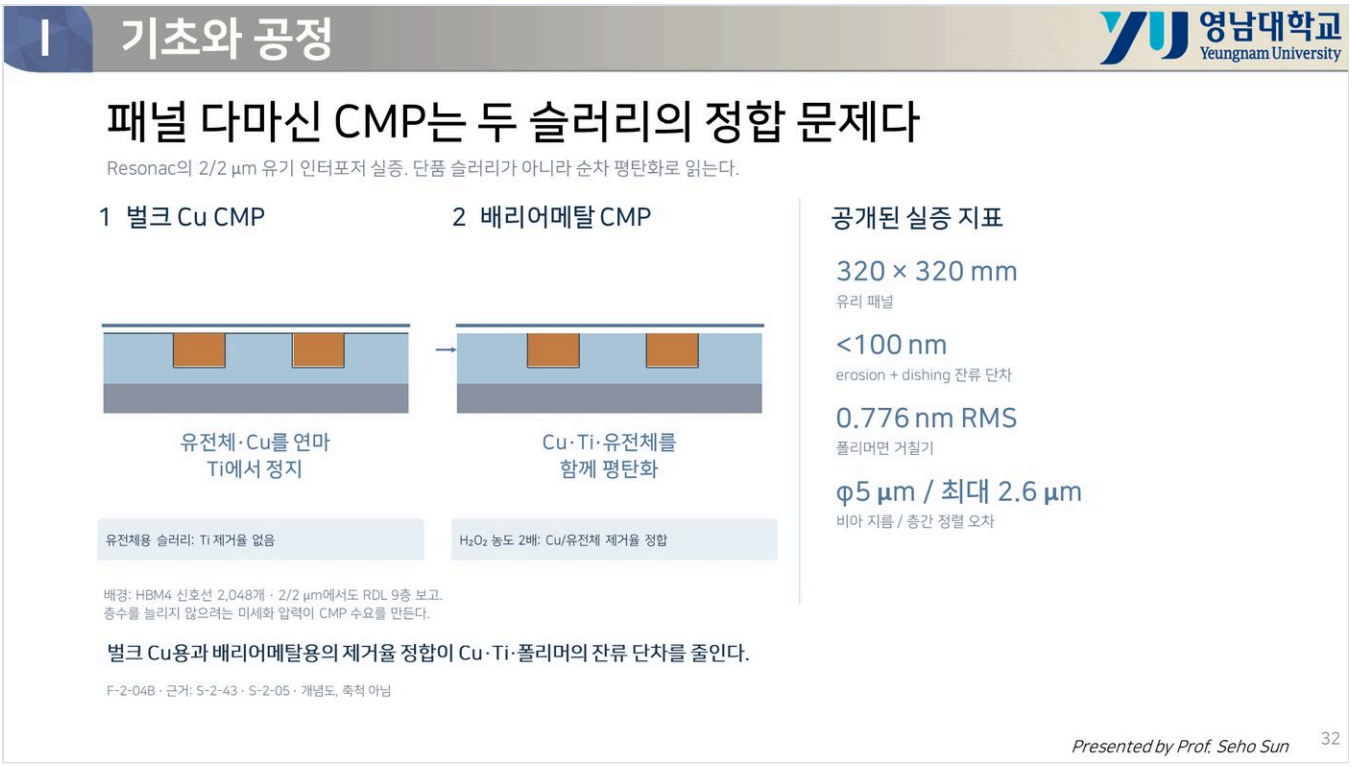
국소 실리콘 브리지는 Intel EMIB와 TSMC CoWoS-L의 방식이다. 고밀도 배선이 실제로 필요한 곳은 로직 다이와 HBM이 마주보는 좁은 띠뿐이라는 관찰에서 출발한다. 그 띠에만 작은 실리콘 조각을 묻고 나머지는 저렴한 유기 배선으로 처리하면, 대면적 실리콘 판 없이도 같은 배선 밀도를 얻는다. 면적 확장성이 좋고 실리콘 사용량이 적다는 것이 장점이며, 브리지를 정확한 위치에 묻는 공정 난이도가 대가다. SK하이닉스는 2026년 8월 발표 자료에서 차세대 HBM 통합 선택지로 CoWoS 계열과 함께 Intel EMIB를 나란히 제시했다 [S-2-12].

유리 인터포저는 가장 최근의 후보다. 유리는 표면 조도가 실리콘에 준하고 CTE를 배합으로 조절할 수 있으며, 대면적에서도 휨 거동이 비교적 일정하다는 점이 장점으로 거론된다 [S-2-24]. 2026년 ECTC의 패널 레벨 논문들이 실질적인 근거를 제공한다. Resonac은 320×320mm 유리 패널에서 2/2μm 배선을, USHIO는 510×515mm 유리 기판에서 1.5μm line/space를 각각 실증했다 [S-2-05]. 유리 인터포저 기반 멀티칩렛 구조의 설계 타당성을 다룬 학술 연구도 2025년에 공개되었다 [S-2-22]. 다만 아직 양산 단계는 아니다.

패널로 가는 이유와 그때 필요한 조건은 Resonac의 ECTC 2026 논문이 자세히 보여 준다 [S-2-43]. 동기는 면적 효율이다. 차세대 9.5 레티클 크기의 인터포저를 원형 300mm 웨이퍼에서 만들면 한 장에서 제품이 네 개밖에 나오지 않는다. 그래서 320×320mm나 515×510mm 사각 패널로 옮겨야 한다.

배선 쪽 압력도 같은 방향이다. HBM4가 신호선을 HBM3의 두 배인 2,048개로 늘리면서, L/S 2/2μm에서도 RDL이 9층까지 보고되었다. 층수를 더 올리지 않으려면 배선을 2/2μm보다 가늘게 해야 한다. 그런데 반가산 공정은 그 아래에서 패턴 붕괴와 시드층 잔류에 부딪히므로, 감광성 유전체 위의 다마신으로 넘어가야 한다. 다마신은 CMP 없이 성립하지 않는다.

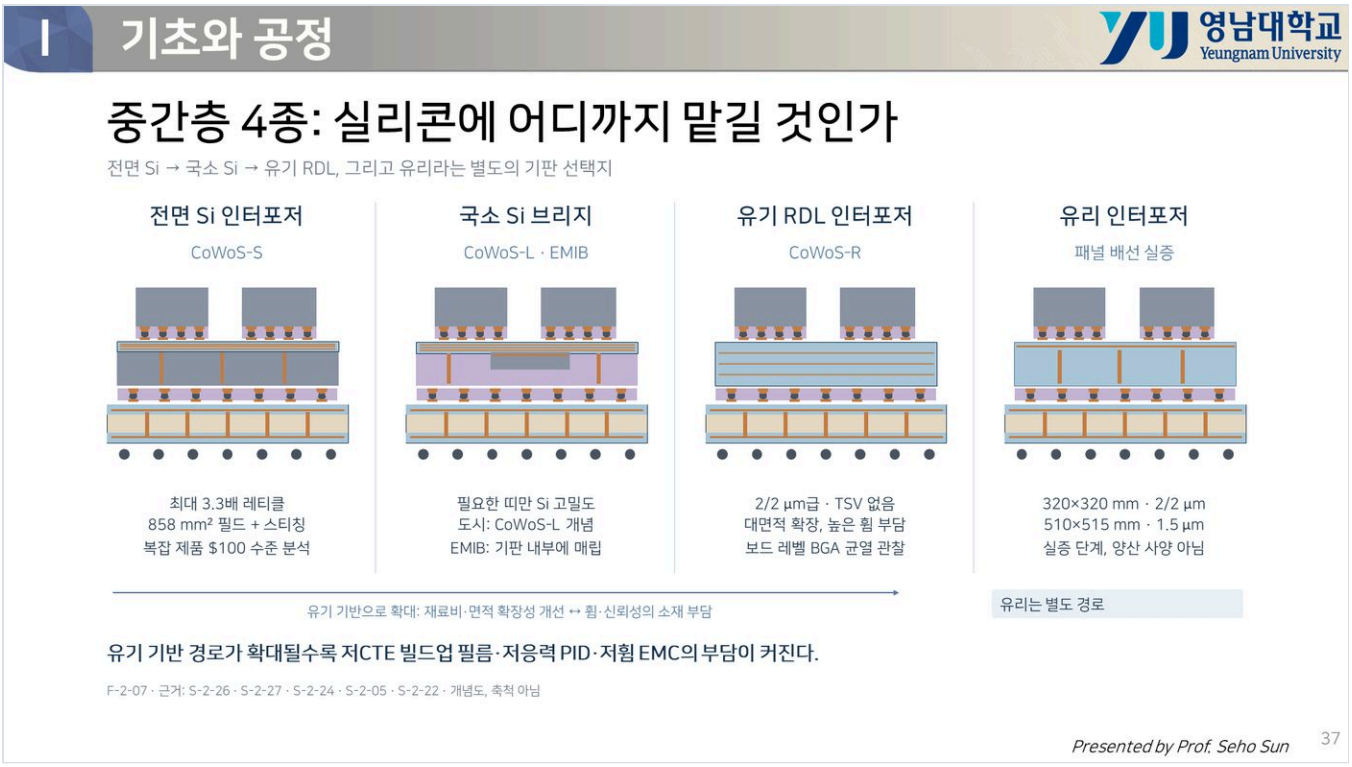
이 논문이 소재 관점에서 확립한 것은 두 가지다. 첫째, 평탄화를 슬러리 한 종으로는 끝낼 수 없다. 유전체 연마용 슬러리는 유전체와 Cu를 잘 깎지만 Ti 배리어는 전혀 깎지 못했다. 배리어메탈용 슬러리는 소재 전반에 중간 수준의 일정한 제거율을 주었고, H_2O_2 농도를 두 배로 올리자 Cu 제거율이 유전체와 맞아떨어졌다. 그래서 벌크 Cu를 걷어내고 Ti 시드에서 멈춘 뒤, 배리어메탈 CMP로 Cu와 Ti와 유전체의 이종 계면을 동시에 평탄화하는 두 단계 구성을 썼다.



도해 F-2-04B · 패널 다마신 CMP는 두 슬러리의 정합 문제다 · 근거 S-2-43, S-2-05
벌크 Cu용과 배리어메탈용의 제거율 정합이 Cu·Ti·폴리머의 잔류 단차를 줄인다.

둘째, 그 결과가 수치로 나온다. L/S 2/2µm에서 erosion과 dishing의 합인 잔류 단차가 100nm 미만으로 내려갔고, 폴리머면의 RMS 거칠기는 0.776nm였다. STEM-EDS로 Ti 잔류가 없음을 확인했고, φ5µm 비아의 층간 정렬 오차는 최대 2.6µm였다 [S-2-43]. 다만 이 결과는 양산이 아니라 실증이며, 슬러리 조성과 절대 유량은 공개되지 않았다. 따라서 재현 조건이 아니라 합격선의 규모로만 읽어야 한다.

네 가지 선택지를 하나의 축으로 줄이면 "고밀도 배선을 어디까지 실리콘에 맡길 것인가"가 된다. 전부 맡기면 CoWoS-S, 필요한 띠만 맡기면 CoWoS-L과 EMIB다. 아예 맡기지 않고 유기 배선으로 버티면 CoWoS-R, 실리콘 대신 유리라는 제3의 기판으로 옮기면 유리 인터포저다. 실리콘 의존도를 낮출수록 재료비와 면적 확장성은 좋아지지만 휨과 신뢰성의 부담이 커지고, 그 부담을 다시 소재로 막아야 한다. 그래서 유기 기반 경로가 확대될수록 저CTE 빌드업 필름, 저응력 감광성 유전체, 저휨 몰딩 컴파운드의 사양 요구가 함께 올라간다. 플랫폼 경쟁이 소재 회사에게 기회가 되는 이유가 이 인과에 있다.



도해 F-2-07 · 중간층 4종: 실리콘에 어디까지 맡길 것인가 · 근거 S-2-26, S-2-27, S-2-24, S-2-05, S-2-22
유기 기반 경로가 확대될수록 저CTE 빌드업 필름·저응력 PID·저휨 EMC의 부담이 커진다.

이 선택은 패키지마다 고정되지 않는다. 같은 가속기 제품군 안에서도 세대에 따라 CoWoS-S에서 CoWoS-L로 옮겨 가거나, 대면적 요구가 커지면 패널 기반 경로를 병행 검토한다. 소재 공급사가 특정 플랫폼 하나에 최적화한 제품만 준비하면 세대 전환에서 매출이 끊긴다. 따라서 인접 플랫폼에서도 쓰일 수 있는 물성 범위를 함께 확보하는 것이 실질적인 방어 전략이 된다.

표 2.3-(a) 중간층 네 가지 비교

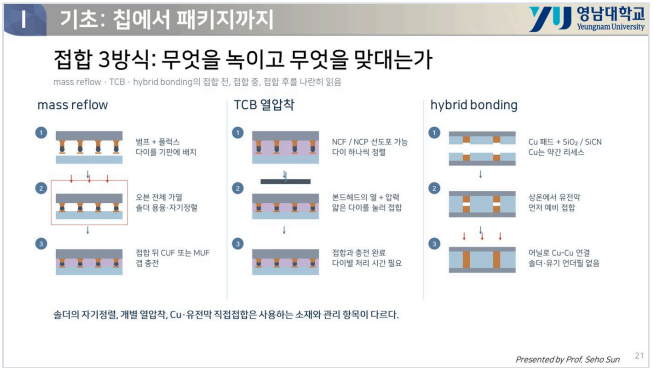
축	Si 인터포저(CoWoS-S)	유기 RDL 인터포저 (CoWoS-R)	국소 Si 브리지 (CoWoS-L, EMIB)	유리 인터포저
배선 밀도	최고(전공정 배선)	중간(2/2μm급 RDL)	브리지 구간만 최고	2/2μm 실증, 1.5μm 패널 실증 [S-2-05]
TSV	있음	없음	브리지에는 없음, 기판 관통 비아 사용	관통 유리 비아
면적 한계	노광 필드 858mm² 기준, 스티칭으로 확장, CoWoS-S는 3.3배 레티클 [S-2-26][S-2-27]	패널 크기까지 확장 용이	유기 기판 크기까지 확장 용이	320×320mm, 510×515mm 패널 실증 [S-2-05]
비용	최고, 복잡 제품에서 한 장 $100 수준 분석 [S-2-24]	낮음	중간	미확정, 양산 이전
warpage	낮음(Si 기반)	높음, 보드 레벨 신뢰성에서 BGA 균열 관찰 [S-2-05]	중간	대면적에서 상대적 우위 주장 [S-2-24]
대표 적용	AI 가속기 2.5D 주류	대면적 저비용 구성	대면적 고밀도 구성, 차세대 HBM 통합 선택지 [S-2-12]	실증 단계 [S-2-22]

> **소재 관점에서 보면**: 중간층 선택은 소재 BOM을 통째로 바꾼다. Si 인터포저가 선택되면 수요는 전공정 쪽으로 쏠린다. 인터포저 CMP 슬러리, TSV 도금액, 후막 감광재가 늘고 유기 소재의 몫은 상대적으로 줄어든다. 유기 RDL 인터포저나 브리지가 선택되면 감광성 유전체와 빌드업 필름과 저CTE 몰딩 컴파운드의 몫이 커진다. 유리로 가면 유리 원판과 관통 유리 비아 공정 소재가 새로 생기고, 유리 표면을 다듬는 CMP와 세정 수요도 함께 생긴다.

삼성SDI 관점에서는 어느 경로가 이기더라도 CMP 소모품과 감광성 유전체 두 축은 살아남는다. 반대로 특정 플랫폼에만 걸린 소재는 로드맵 리스크를 그대로 안는다. 다만 패널 RDL에 들어가려면 슬러리 한 종으로는 부족하다. 유전체용 슬러리가 Ti 배리어를 깎지 못한다는 실측이 그 근거다 [S-2-43].

진입 조건은 벌크 Cu용과 배리어메탈용을 묶은 슬러리 세트와 그 사이의 선택비 정합이다. H_2O_2 같은 산화제 농도가 Cu 대 유전체 제거율을 맞추는 조절 변수가 된다 [S-2-43]. 패드 그루브 설계와 슬러리 유량 분포가 면내 균일도를 좌우한다는 점까지 포함하면, 제안 단위는 소모품 단품이 아니라 공정 레시피에 가깝다.

2.4 접합 3방식과 hybrid bonding의 원리



슬라이드 21쪽 · 접합 3방식: 무엇을 녹이고 무엇을 맞대는가

슬라이드 46쪽 · 하이브리드 본딩: 표면 준비에서 영구 접합까지

슬라이드 116쪽 · 본딩면의 합격 조건은 nm와 오염의 조합이다

그 밖의 관련 슬라이드: 70쪽 · 85쪽 · 117쪽

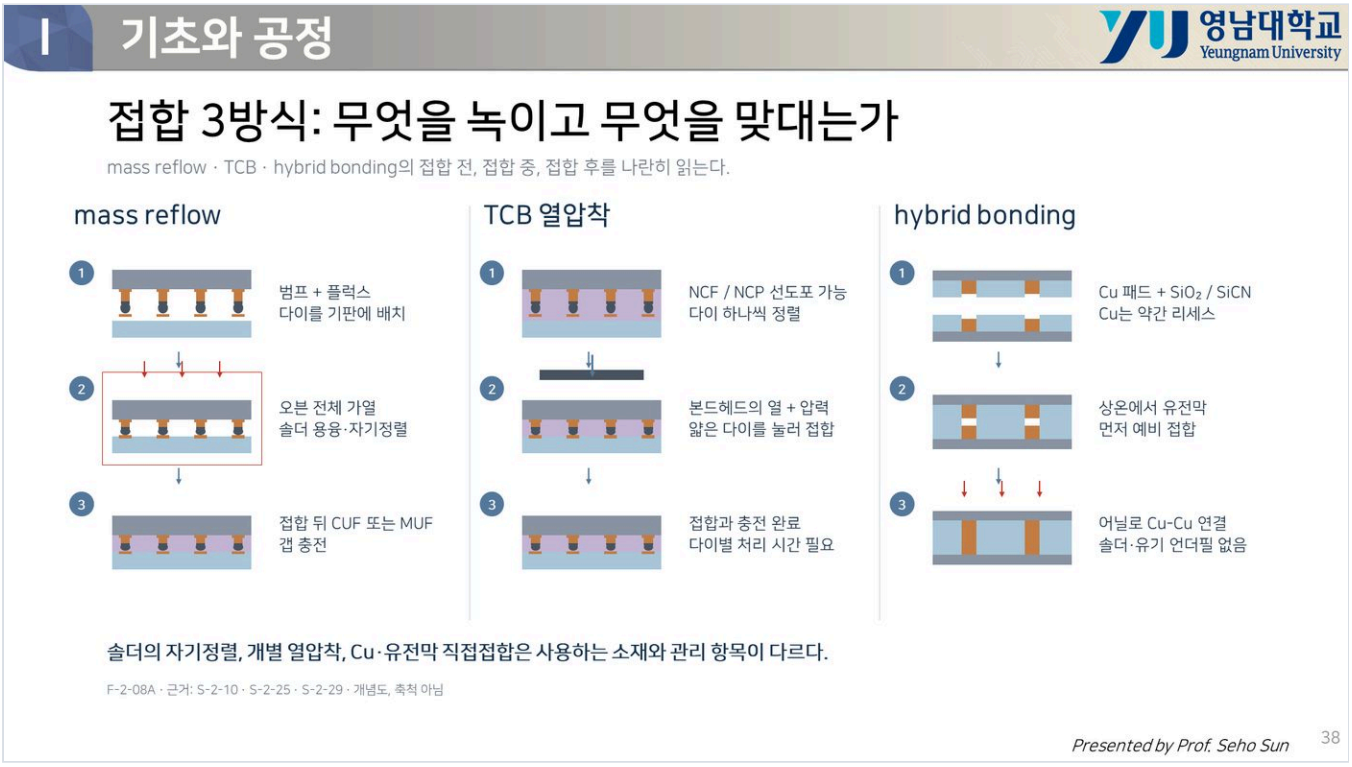
관련 도해: F-1-13A 피치가 줄면 연결 수는 자릿수가 바뀐다 · F-1-13B 피치 표를 읽을 때는 측정면부터 확인한다 · F-4-10A 접합 피치는 제품·목표·실증을 나누어 놓는다 · F-4-10B 부등호 목표와 연구 실증은 별도로 읽는다 · F-5-09A 솔더는 세 층위에 남아 있다 · F-5-09B 플럭스는 산화막을 없애지만 잔사가 남을 수 있다 · F-5-09C 작은 솔더 접합부에서는 계면과 전류밀도가 중요해진다 · F-6-11A 본딩면에서는 Cu·배리어·SiCN이 동시에 드러난다 · F-6-11B 후세정은 입자뿐 아니라 잔사·금속·손상 상태를 다룬다 · F-6-11C 세정이 끝난 뒤부터 접합까지의 시간도 공정 변수다 · F-6-11D 리세스 목표는 어닐 온도와 한 쌍으로 정한다

접합 방식은 피치가 결정한다. 붙여야 할 두 금속 패드의 간격이 넓으면 싸고 빠른 방식을 쓰고, 좁아질수록 정밀하고 비싼 방식으로 옮겨 간다. 세 가지 방식의 경계는 비교적 명확하다.

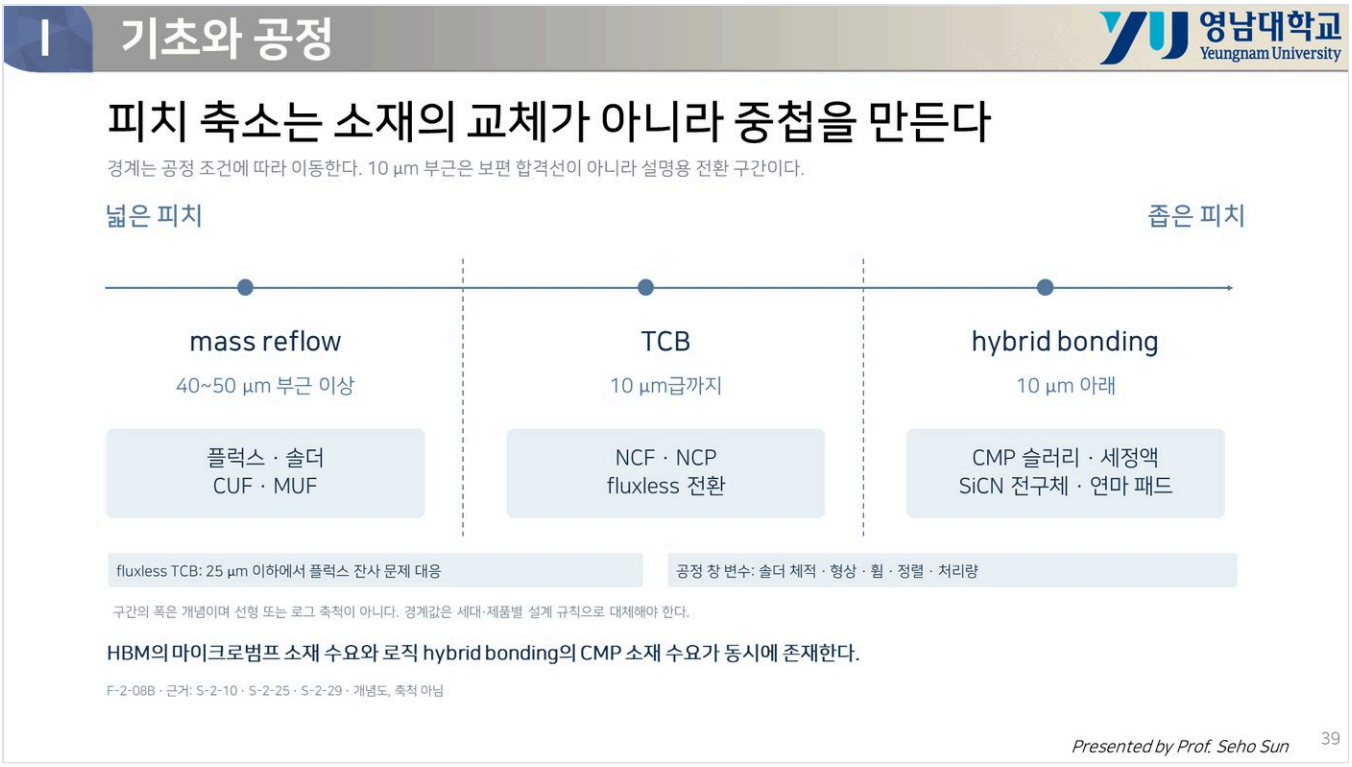
mass reflow는 다이를 기판에 올린 뒤 오븐 전체를 가열해 솔더를 한꺼번에 녹이는 방식이다. 처리량이 높고 장비가 싸지만, 2021년 기준 해설은 통상 40~50μm 부근에서 신뢰성 한계에 이른다고 적는다 [S-2-10]. 솔더가 녹아 표면장력으로 자기정렬하는 원리이므로, 인접 범프끼리 붙어 버리는 브리지가 피치 축소를 가로막는다. TCB(열압착)는 다이를 한 개씩 집어 정렬한 뒤 열과 압력을 동시에 가해 붙이는 방식이다. 같은 해설에서 TCB는 10μm급까지 대응하는 것으로 보고된다 [S-2-10]. 개별 다이마다 시간이 걸려 처리량은 낮지만, 휨이 있는 얇은 다이를 눌러 가며 붙일 수 있다.

다만 이 두 경계는 고정 상수가 아니다. 솔더 체적, 패드와 기둥 형상, 산화막 제거, 언더필 방식, warpage, 정렬과 처리량 조건에 따라 공정 창이 달라진다. 따라서 특정 피치를 보편적 합격선으로 제시하지 않는다.

hybrid bonding은 솔더를 아예 쓰지 않는다. 두 면 모두에 Cu 패드와 유전막(SiO2 또는 SiCN)을 노출시켜 놓고, 상온에서 유전막끼리 먼저 붙인다. 이어 어닐로 Cu를 팽창시켜 Cu와 Cu를 직접 잇는다. 솔더라는 중간층이 없으므로 저항과 기생 성분이 줄고 피치를 10μm 아래로 가져갈 수 있다 [S-2-10]. 대신 표면 요구치가 전혀 다른 차원으로 올라간다. Cu 패드는 유전막보다 약간 낮게 파여 있어야 하며, 어닐에서 Cu가 열팽창해 그 간극이 닫히도록 리세스의 깊이와 형상을 설계해야 한다.



도해 F-2-08A · 접합 3방식: 무엇을 녹이고 무엇을 맞대는가 · 근거 S-2-10, S-2-25, S-2-29
솔더의 자기정렬, 개별 열압착, Cu·유전막 직접접합은 사용하는 소재와 관리 항목이 다르다.



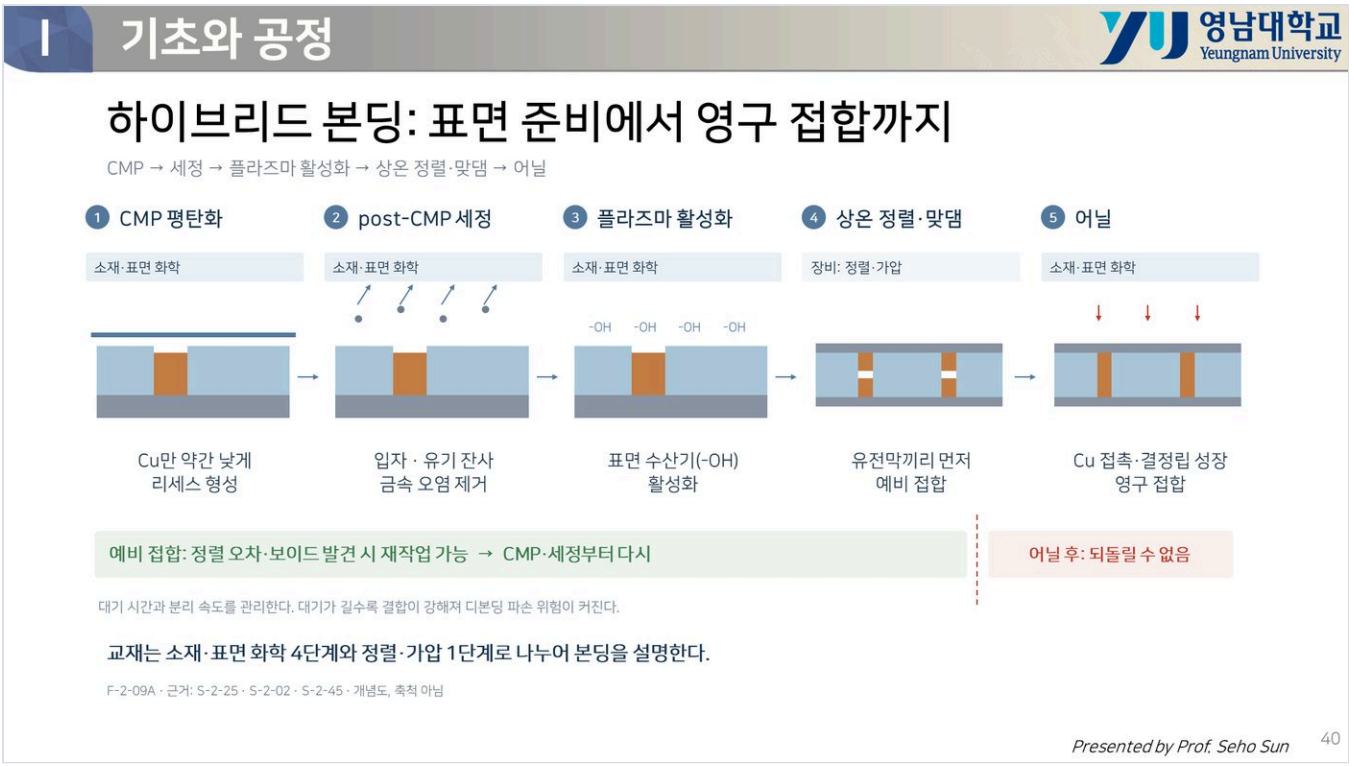
도해 F-2-08B · 피치 축소는 소재의 교체가 아니라 중첩을 만든다 · 근거 S-2-10, S-2-25, S-2-29
HBM의 마이크로범프 소재 수요와 로직 hybrid bonding의 CMP 소재 수요가 동시에 존재한다.

리세스 숫자는 조건에 따라 달라진다. 자주 인용되는 리세스 1~5nm는 약 400°C 어닐을 동반한 사례값이며, 같은 자료에는 1패스 후 리세스가 5~25nm였던 사례도 함께 실려 있다 [S-2-25]. 리세스와 조도의 목표는 피치, 패드 구조와 면적, 유전막 종류, 어닐 온도와 시간에 따라 다시 정해지는 값이며 범용 규격이 아니다.

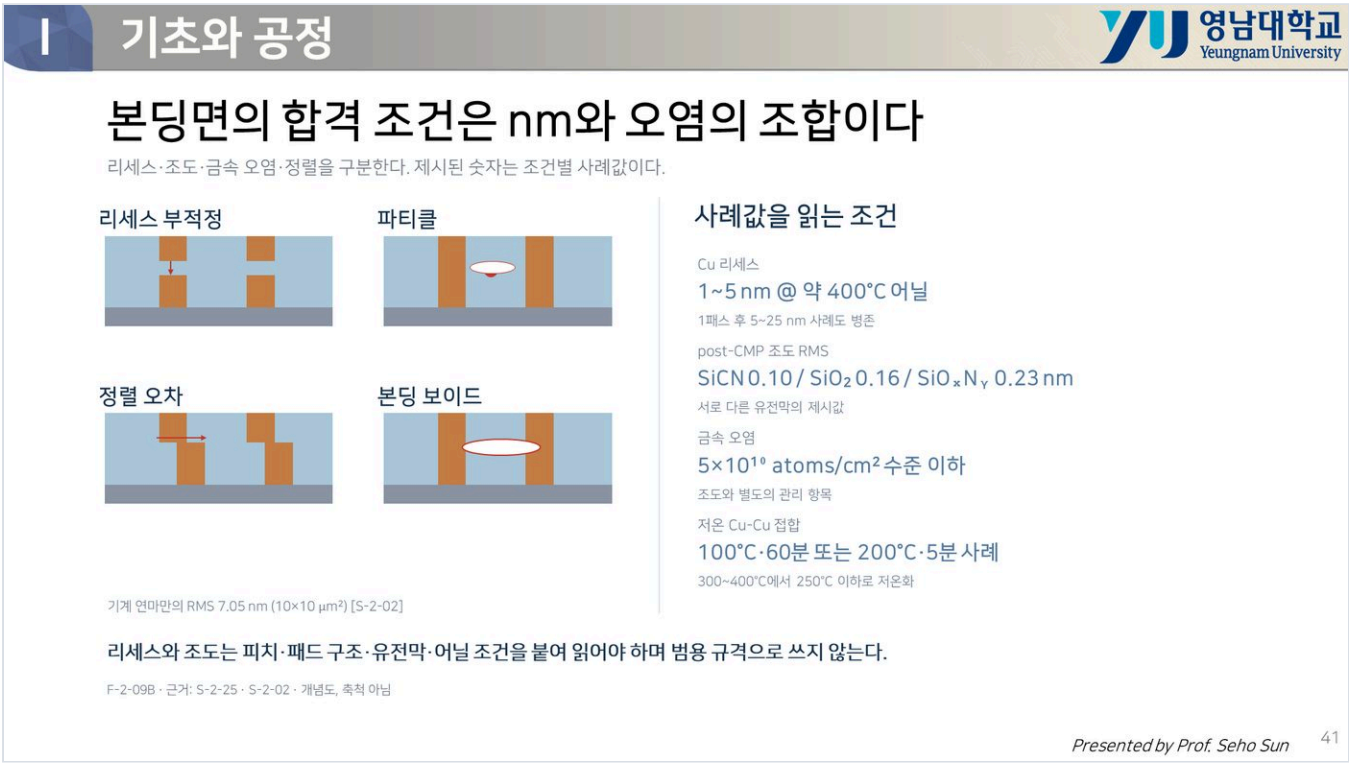
유전막의 post-CMP 표면 조도는 SiCN이 RMS 0.10nm로 SiO2의 0.16nm나 SiOxNy의 0.23nm보다 우수하다. 이 때문에 SiCN이 유망한 본딩 유전막으로 평가된다 [S-2-25]. 금속 오염은 5×10^{10} atoms/cm² 수준 이하로 관리해야 하고, 파티클 한 개가 곧 본딩 보이드가 된다 [S-2-25].

저온화도 주요 과제다. 전통적인 Cu 열압착 접합은 300~400°C를 요구했으나 최근 공정은 250°C 이하로 내려왔다. 표면 처리와 미세조직 제어를 결합하면 100°C에서 60분, 또는 200°C에서 5분 만에 접합이 성립한 사례도 보고되었다 [S-2-02]. 기계 연마만으로 도달하는 표면 조도는 10×10µm² 영역 기준 RMS 7.05nm 수준이며, 본딩면 CMP가 추가로 필요한 이유가 여기에 있다 [S-2-02]. 유전막 쪽에서는 2025년 11월 분자동역학 연구가 공개되었다. 플라즈마 활성화 조건과 조성이 계면 Si-O-Si 밀도를 바꾸고, 이 밀도가 본드 에너지와 양의 상관을 보인다는 내용이다 [S-2-21].

공정 순서로 보면 hybrid bonding은 접합 장비의 일이라기보다 표면 준비의 일이다. 과정은 아래 다섯 단계로 나뉘며, 그 가운데 넷이 화학 소재의 일이고 접합 장비는 정렬과 가압만 담당한다. hybrid bonding 전환은 장비 이야기로만 보도되지만 실제로는 소재 산업의 사건이다.



도해 F-2-09A · 하이브리드 본딩: 표면 준비에서 영구 접합까지 · 근거 S-2-25, S-2-02, S-2-45
교재는 소재·표면 화학 4단계와 정렬·가압 1단계로 나누어 본딩을 설명한다.



도해 F-2-09B · 본딩면의 합격 조건은 nm와 오염의 조합이다 · 근거 S-2-25, S-2-02
리세스와 조도는 피치·패드 구조·유전막·어닐 조건을 붙여 읽어야 하며 범용 규격으로 쓰지 않는다.

1. Cu와 유전막이 함께 드러난 면을 CMP로 평탄화하면서 Cu만 약간 낮게 남긴다.
2. post-CMP 세정으로 슬러리 입자와 유기 잔사와 금속 오염을 제거한다.
3. 플라즈마로 표면을 활성화해 수산기를 만든다.
4. 상온에서 두 면을 정렬해 맞대면 유전막끼리 반데르발스 힘으로 먼저 붙는다.

5. 어닐하면 Cu가 팽창해 맞은편 Cu와 닿고, 계면에서 결정립이 자라 하나의 금속이 된다.

검사와 수리의 관점도 함께 보아야 한다. 마이크로범프 방식에서는 층마다 전기적으로 찔러 볼 수 있는 접점이 남아 있어 적층 전에 불량 층을 걸러 낸다. Cu-Cu 직접 접합에서는 그런 접점이 사라지므로 검사 흐름을 새로 설계해야 한다 [S-2-09]. 되돌릴 수 없는 시점은 접촉 순간이 아니라 어닐 이후다. 상온 예비 접합은 유전 막끼리의 약한 반데르발스·수소 결합이고, 이를 영구적인 공유결합과 금속 결합으로 바꾸는 것이 어닐이다 [S-2-45][S-2-02].

결합 에너지가 낮은 예비 접합 단계에서는 정렬 오차나 보이드가 발견되면 웨이퍼를 다시 떼어 내 재작업하는 공정이 실제로 운용된다. 이때 본딩과 디본딩 사이의 대기 시간과 분리 속도가 관리 항목이 된다. 대기 시간이 길어질수록 결합이 강해져 분리 중 파손 위험이 커지기 때문이다. 다만 떼어 낸 뒤 다시 붙이려면 CMP와 세정을 처음부터 다시 거쳐야 한다. 재작업은 공짜가 아니라 슬러리와 세정액의 반복 소모로 돌아온다.

어닐로 Cu 확산 접합이 완성된 뒤에는 되돌릴 방법이 없다. hybrid bonding으로 12단이나 16단을 쌓으면 어닐 이후 단계의 실수를 되돌릴 수 없다. 이 부담이 소재와 공정에 요구하는 결함 수준을 전공정 수준으로 끌어올린다. 파티클 한 개가 스택 전체를 버리게 만든다는 표현은 비유가 아니라 수율 계산의 결과다.

hybrid bonding은 웨이퍼끼리 붙이는 W2W와 개별 다이를 웨이퍼에 붙이는 D2W로 나뉜다. W2W는 이미지 센서와 3D NAND에서 오래 양산된 성숙 공정이지만, 양쪽 웨이퍼 수율이 곱으로 반영되는 문제가 있다. D2W는 양품 다이만 골라 붙일 수 있어 로직과 HBM용 본류로 꼽힌다 [S-2-38]. 여기서 반드시 구분해야 할 것이 양산 피치와 실증 피치다.

표 2.4-(a) hybrid bonding 양산 피치와 실증 피치 (2026년 9월 기준)

구분	주체·제품	피치	방식	출처
양산	TSMC SoIC	공식 설명은 sub-10μm *[C-2-08]*, 6μm 제공과 9μm 고객 출하를 구분한 보도, 2029년 4.5μm 로드맵 [S-2-11]	D2W	*[C-2-08]* [S-2-11]
양산	Intel Foveros Direct, Clearwater Forest Xeon 6+	1세대 9μm(2026년 상반기 출하), 2세대 3μm 계획	D2W	[S-2-11]
양산(성숙 공정, 제품별 피치 비공개)	Sony 이미지센서	회사 연구 발표는 F2F 1μm, F2B 1.4μm *[C-2-12]*, 보도에는 0.4μm 언급 [S-2-07]	W2W	*[C-2-12]* [S-2-07]
양산(성숙 공정, 제품별 피치 비공개)	3D NAND CMOS-bonded-to-array	공정으로는 양산 적용, 제품별 피치는 미공개	W2W	[S-2-38]
마이크로범프 유지	HBM4	패드 피치 약 10μm에서 마이크로범프 유지	마이크로범프	[S-2-09] [S-2-11]
실증	Applied Materials(논문 18.4)	450nm, 웨이퍼쌍당 2,000만 링크에서 수율 98%, 링크당 저항 중앙값 1.5Ω, 300nm 이하 확장 목표	W2W	[S-2-05]
실증	KIOXIA 3D NAND MS-CBA(논문 26.4)	sub-800nm 패드 피치 다단 적층과 정렬 보정 기법	W2W	[S-2-05]
실증	imec과 EV Group	200nm, post-bond overlay 40nm 미만	W2W	[S-2-11] [S-2-07]
실증	TEL	140nm 패드 피치	W2W	[S-2-07]
실증	CEA-Leti	1μm	D2W	[S-2-11]
실증	ASML(논문 31.2)	bonding overlay 80nm 미만(시뮬레이션)	D2W	[S-2-05]

표를 읽는 요령은 세 가지다. 첫째, 나노미터급 숫자는 전부 학회 실증이고, 양산 행의 피치는 μm 단위이거나 아예 비공개다. "hybrid bonding이 이미 200nm까지 갔다"는 말과 "AI 가속기는 μm급에서 양산한다"는 말이 동시에 참인 이유다. 둘째, 제공 가능한 기술 사양과 실제 출하 제품의 사양은 다르다. TSMC 공식 페이지는 sub-10μm까지만 밝히고 *[C-2-08]*, 6μm 제공과 9μm 고객 출하를 구분한 것은 보도다 [S-2-11].

도해 F-2-10 · 본딩 피치: 양산·제공 기술·실증을 같은 점으로 찍지 않는다 · 근거 *C-2-08*, *C-2-12*, S-2-11, S-2-05, S-2-07
나노미터급 실증과 실제 제품 사양은 다른 정보다. HBM4의 약 10 µm 값은 패드 피치 보도다.

셋째, HBM은 아직 이 표의 hybrid bonding 행에 들어오지 못했다. HBM4는 패드 피치가 약 10µm인데도 마이크로범프를 유지했으며, 그 이유로 두 가지가 꼽힌다. 마이크로범프 방식에서는 적층 전에 메모리 층을 개별 검사할 수 있지만, hybrid bonding으로 바꾸면 검사 흐름이 훨씬 어려워진다. 또 마이크로범프 기반 HBM4가 가격에서 우위라 더 비싼 공정을 쓸 유인이 없다 [S-2-09].

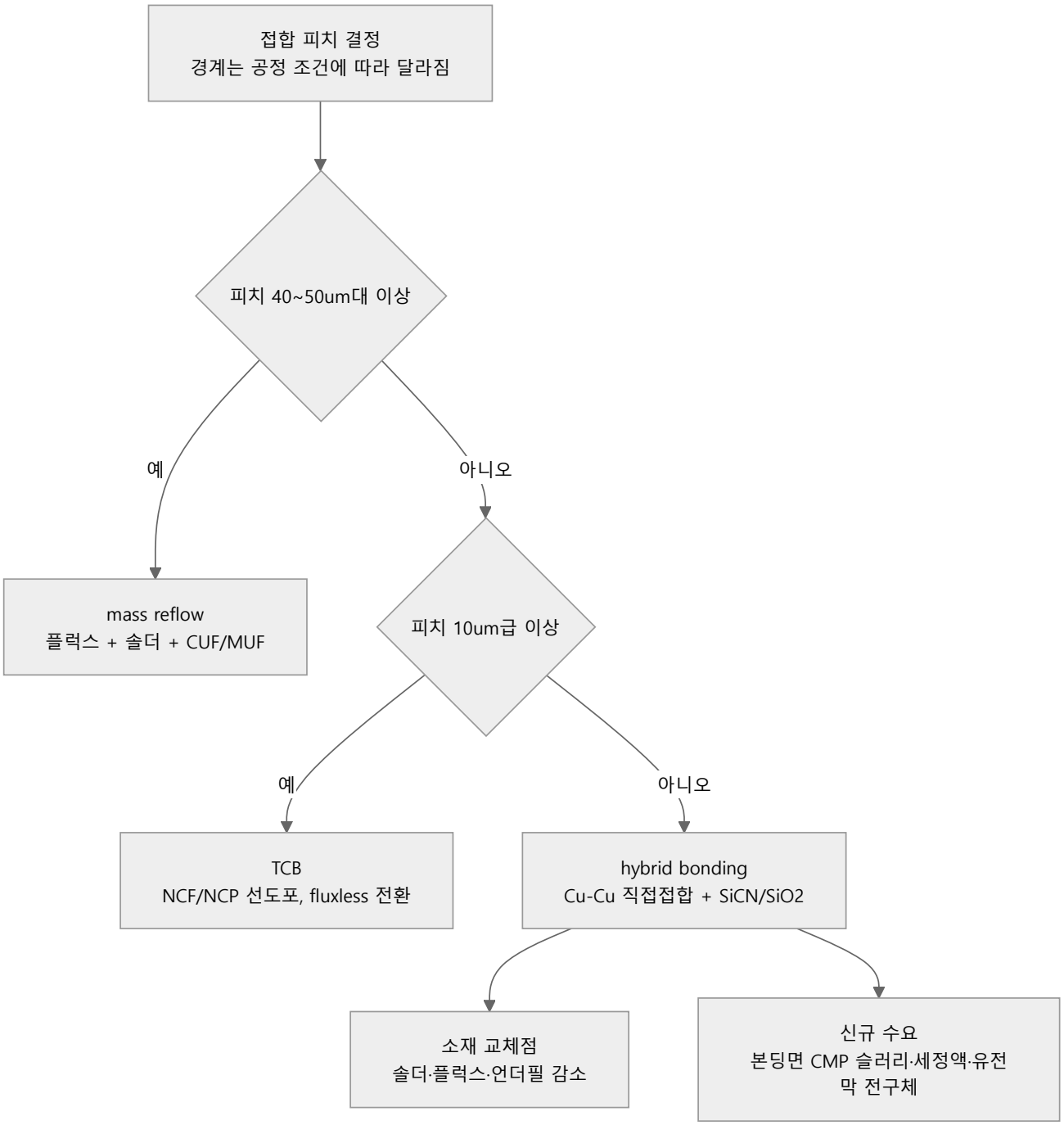
기술적으로 가능한 것과 채택되는 것은 다르다. 이미지 센서와 3D NAND에서는 W2W hybrid bonding이 이미 양산 공정으로 쓰이고, 로직에서도 마이크로미터급으로 출하되고 있다. 그러나 나노미터급 피치는 학회 실증 단계다. HBM은 패드 피치가 약 10µm까지 내려온 세대에서도 hybrid bonding을 택하지 않았다.

이유 하나는 검사다. 마이크로범프 방식에서는 적층 전에 메모리 층을 개별로 시험할 수 있으나, Cu-Cu 접합으로 바꾸면 그 시험 흐름을 다시 짜야 한다. 다른 하나는 가격이다. 마이크로범프로 만든 HBM4가 더 싸기 때문에 더 비싼 공정을 이 세대에 도입할 유인이 없다 [S-2-09]. 신기술의 도입 시점은 물리 한계가 아니라 수율과 가격이 교차하는 지점에서 정해진다. 소재 로드맵을 세울 때도 같은 기준을 적용해야 한다.

이 판단은 규격 변화에 따라 흔들린다. JEDEC이 HBM4에서 HBM 패키지 높이 상한을 720µm에서 775µm로 올린 개정이 대표적이다 [S-2-09]. 높이가 55µm 늘어나면 다이를 더 깎지 않고도 층을 하나 더 넣을 여지가 생긴다. 그러면 마이크로범프의 수명이 한 세대 연장되고, 그만큼 hybrid bonding 전환은 뒤로 밀린다. 규격 한 줄이 소재 수요의 시점을 옮기는 셈이다. 그래서 소재사는 기술 로드맵과 함께 표준 문서의 개정 동향을 추적해야 한다.

그 사이를 메우는 중간 기술이 둘 있다. 하나는 fluxless TCB다. 25µm 이하 피치에서는 플럭스 잔사가 보이드와 신뢰성을 좌우한다. 그래서 플라즈마 활성화로 플럭스를 대체하는 방식이 hybrid bonding 이전 단계에서 이미 플럭스를 없애고 있다 [S-2-29].

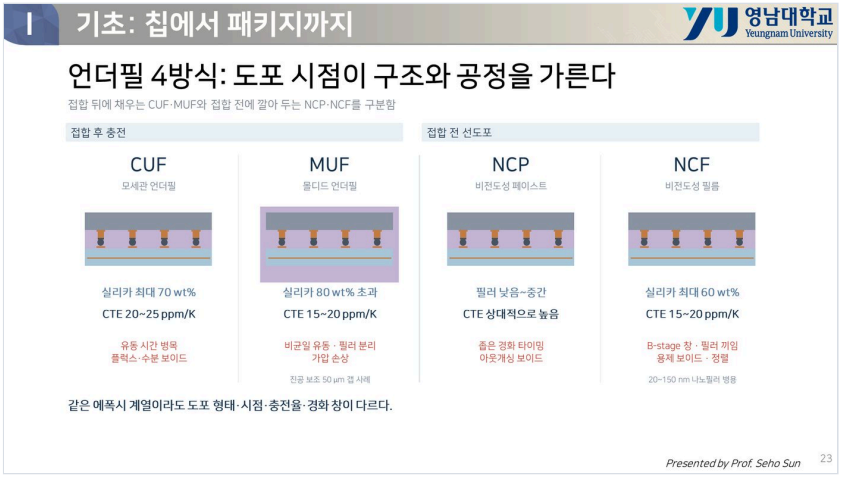
다른 하나는 레이저 보조 접합(LAB)이다. 국소 가열과 짧은 접합 시간 덕분에 휨이 큰 얇은 다이를 다루는 데 유리하다는 평가를 받는다 [S-2-30]. 2026년 ECTC에서는 hybrid bonding의 엄격한 표면 요구를 피해 가려는 대안 소재도 발표되었다. 10μm 이하 접속용 나노솔더 자기조립 접착제와 5μm 피치 인듐 마이크로범프가 그 예다 [S-2-05].



소재 관점에서 보면: 피치 약 10μm가 소재 교체점이다. 그 위에서는 솔더, 플럭스, 언더필, NCF가 팔리고, 그 아래에서는 CMP 슬러리, 세정액, SiCN 전구체, 초평탄 연마 패드가 팔린다 [S-2-25][S-2-29]. 이 교체는 단절이 아니라 중첩이다. HBM이 마이크로범프를 유지하는 한 기존 본딩 소재 수요는 단수 증가에 비례해 오히려 는다. 동시에 로직 쪽 SoIC와 Foveros Direct에서는 이미 CMP 기반 수요가 발생하고 있다.

본딩면 CMP는 배선 CMP와 목표 함수가 반대다. 배선 CMP는 빨리 깎으면서 수십 nm의 디싱을 허용한다. 본딩면 CMP는 나노미터 수준의 리세스를 웨이퍼 전면에서 재현하는 것이 목표이며, 그 구체적 값은 피치와 패드 구조와 어닐 조건별로 정해진다 [S-2-25]. 선택비 역시 벌크 Cu를 걷어내는 단계와 배리어에서 마감하는 단계가 서로 다른 설계를 요구한다 [S-2-43]. 같은 슬러리 사업이라도 다른 제품 설계가 필요하다.

2.5 언더필, 몰딩, 기판, 임시접합: 채우고 덮고 받치는 소재



슬라이드 23쪽 · 언더필 4방식: 도포 시점이 구조와 공정을 가른다

그 밖의 관련 슬라이드: 53쪽 · 54쪽 · 55쪽 · 57쪽 · 58쪽 · 63쪽 · 64쪽 · 65쪽 · 66쪽 · 69쪽 · 86쪽

관련 도해: F-2-13A CTE 사다리: 필러로 수지를 Si 쪽으로 이동시킨다 · F-2-13B Tg를 넘으면 더 팽창하면서 동시에 물러진다 · F-5-01A 소재는 이름보다 들어가는 자리로 읽는다 · F-5-01B HBM·팬아웃에서는 수지의 역할이 달라진다 · F-5-01C 소재의 소멸은 패키지가 아니라 전환된 층 기준이다 · F-5-02A EMC는 고충전 필러와 가교 수지의 조합이다 · F-5-02B 필러 함량은 봉지재마다 다르다 · F-5-04A 과립 EMC는 압축 성형으로 대면적을 덮는다 · F-5-04B 액상 주입과 성형 시험은 구분해서 읽는다 · F-5-05A 갭 충전재는 도포 시점부터 다르다 · F-5-05B CUF는 옆에서 스며들고, MR-MUF는 갭과 외곽을 채운다 · F-5-05C NCF·NCP는 전기 접촉 전에 수지를 배치한다 · F-5-07A 갭을 정하면 허용 필러 입경도 정해진다 · F-5-07B 입경·갭·피치·검출 크기는 다른 기준량이다 · F-6-04A ABF는 코어가 아니라 빌드업층의 절연 필름이다 · F-6-04B ABF 한 층은 라미네이션부터 도금까지 반복된다 · F-6-12A 임시접착제는 뒷면 공정을 견딘 뒤 깨끗이 떨어져야 한다 · F-6-12B 분리 방식에 따라 접착제와 캐리어를 함께 고른다 · F-6-12C 레이저 디본딩에 필요한 것은 사용 파장에서의 투과성이다

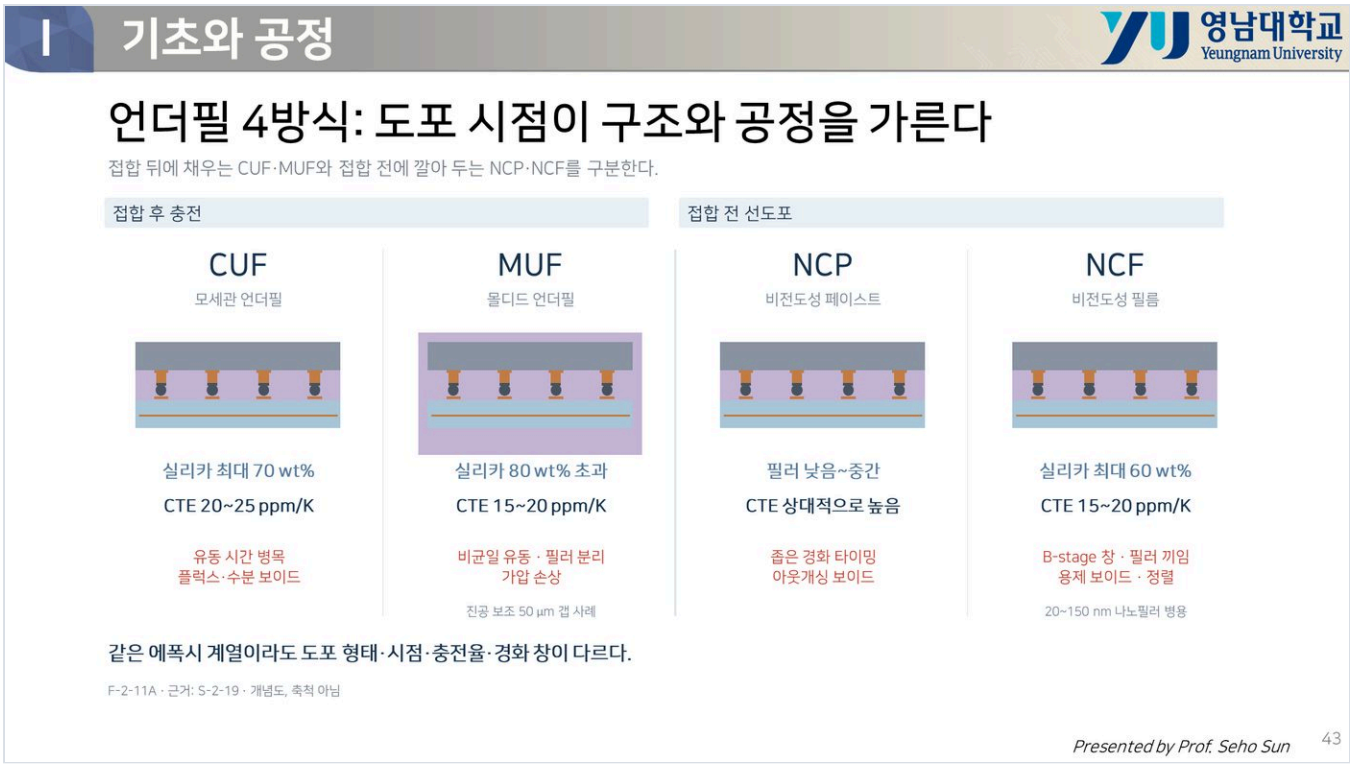
접합이 끝나면 빈 공간을 채우고 겉을 덮고 아래를 받치는 일이 남는다. 전기적으로는 아무 역할이 없어 보이는 이 세 가지가 실제로는 패키지 수명의 대부분을 좌우한다. 솔더 접합부는 온도가 오르내릴 때마다 CTE 차이만큼 전단 변형을 받는다. 언더필이 그 변형을 주변으로 분산시켜 주지 않으면 수백 사이클 만에 균열이 생긴다.

언더필은 도포 시점과 형태에 따라 네 가지로 갈린다. 아래 표는 2025년에 발표된 종합 리뷰의 분류와 수치를 기준으로 했다 [S-2-19]. 이 리뷰는 선도포형을 wafer-level underfill로 묶어 다룬다. 산업 현장의 NCF가 그 필름형에, NCP가 페이스트형 선도포에 해당한다.

표 2.5-(a) 언더필 4방식 비교

방식	도포 시점·형태	필러 충전율	CTE	장점	단점	주 적용처
CUF(모세관 언더필)	리플로우 후 다이 가장자리에 액상 토출, 70~100°C 예열로 모세관 충전, 약 160°C 경화	실리카 최대 70wt%	20~25 ppm/K	열기계 응력 분산과 피로 수명이 검증됨, 접착력과 방습성 우수	모세관 유동이 느려 공정 병목, 플럭스 잔사와 수분에 의한 보이드	유기 기판 플립칩, 2.5D 인터포저와 기판 사이, 대형 FC-BGA
MUF(몰디드 언더필)	다이 실장 후 가압 몰딩으로 갭필과 외장을 동시 수행, 진공 보조	실리카 80wt% 초과	15~20 ppm/K	언더필과 몰딩을 한 공정으로 통합, 처리량 크게 향상, 진공 보조로 50μm 갭까지 충전	칩 아래 비균일 유동에 의한 보이드, 필러 분리, 가압으로 미세 구조 손상 위험	대량 생산 플립칩, fan-out, HBM MR-MUF
NCP(비전도성 페이스트)	TCB 전에 기판에 페이스트 선도포	낮음에서 중간	상대적으로 높음	플럭스와 세정 공정 생략, 미세피치 TCB에 적합	경화 타이밍이 좁고 아웃개싱 보이드 위험	미세피치 TCB
NCF(비전도성 필름)	범핑 후 웨이퍼에 필름 라미네이트하고 B-stage 경화, 다이싱 후 TCB	실리카 최대 60wt%, 20~150nm 나노필러 병용	15~20 ppm/K	배치 공정으로 개별 도포 생략, 솔더링 중 칩 보호, 미세 접합부 필러 끼임 저감	B-stage 공정 창이 좁음, 용제 아웃개싱 보이드, 필러 끼임과 정렬 난이도	HBM TC-NCF, 2.5D/3D 미세피치

네 방식이 실제 제품에 배치된 모습도 함께 익혀 두면 좋다. HBM 층간 접합에서는 삼성전자와 Micron 계열이 TC-NCF를, SK하이닉스가 MR-MUF를 쓴다. 2.5D에서는 다이와 인터포저 사이에 CUF 또는 NCF가, 인터포저와 기판 사이에 CUF가 들어간다. fan-out에는 언더필이라는 별도 공정이 아예 없고 몰드가 그 역할을 겸한다. 같은 "언더필"이라는 이름 아래 서로 다른 세 가지 사업이 있는 셈이며, 점도와 필러 입도와 경화 거동 같은 요구 물성도 모두 다르다. 언더필을 한 덩어리로 묶어 말하면 현업 감각과 어긋나므로, 반드시 접합 방식과 짝지어 다뤄야 한다.



도해 F-2-11A · 언더필 4방식: 도포 시점이 구조와 공정을 가른다 · 근거 S-2-19
같은 에폭시 계열이라도 도포 형태·시점·충전율·경화 창이 다르다.

도해 F-2-11B · CUF와 MUF: 접합 뒤 채우는 두 경로 · 근거 S-2-19
완성 위치가 같아 보여도 유동 방식이 다르면 보이드와 필러 분리의 관리 지점이 달라진다.

도해 F-2-11C · NCP와 NCF: 먼저 깔고 열압착한다 · 근거 S-2-19
선도포형은 수지가 흐르고 경화되는 시점과 솔더가 접합되는 시점을 맞추는 공정이다.

몰딩은 성형 방식에 따라 세 가지로 나뉜다. transfer molding은 가열해 녹인 태블릿형 EMC를 러너를 통해 금형 캐비티로 밀어 넣는 전통 방식이며, 리드프레임 패키지의 주력이다. compression molding은 금형에 과립형 EMC(GMC)를 먼저 뿌려 놓고 형을 닫으면서 성형한다. 유동 거리가 짧아 와이어 쓸림과 보이드가 적고, 대면적 웨이퍼와 패널 성형에 적합하다. liquid molding은 액상 EMC(LMC)를 쓰는 방식으로, 미세 갭 침투가 필요한 센서와 패널 레벨 패키징에 쓰인다 [S-2-39].

HBM 스택 몰딩과 fan-out 재구성 몰딩은 GMC와 compression의 조합이 주류이고, MR-MUF의 갭필재는 액상 계열이다. 몰딩 컴파운드의 기술 축은 열전도, 저CTE, 저휨 세 가지다. 고열전도 과립 EMC로 3.0 W/(m·K)를 달성한 사례가 공개되어 있다 [S-2-33].

몰딩에서 실제로 문제가 되는 것은 재료 물성보다 유동이다. 가압 몰딩에서는 용융 수지가 칩 옆을 돌아 흐르는 속도가 칩 아래를 지나는 속도보다 빠르다. 그래서 칩 밑에 공기가 갇히기 쉽고, 흐르는 동안 필러가 수지와 분리되면 위치마다 물성이 달라진다. 미세한 필러를 쓰면 몰드 플래시가 생기고, 가압이 세면 민감한 구조를 손상시키거나 솔더 접합부를 늘려 놓는다 [S-2-19].

대면적 패널로 갈수록 이 문제는 커진다. 흐름 거리가 길어지고 금형 온도 편차가 커지기 때문이다. 그래서 패널 레벨 전환은 몰딩 컴파운드에 저점도와 고충전율이라는 상충되는 요구를 동시에 걸고, 그 해법을 필러 입도 분포 설계에서 찾는다. 입도를 넓게 섞어 큰 입자 사이를 작은 입자가 채우도록 하면 같은 충전율에서 점도를 낮출 수 있다 [S-2-19].

기판 쪽에서는 ABF 빌드업 구조가 표준이다. BT 수지나 유리섬유 코어의 양면에 절연 필름과 Cu 배선을 번갈아 쌓아 올린다. AI 가속기용 고급 FC-BGA는 코어 양면에 각각 10층을 쌓는 구성과 8/8μm 수준의 line/space가 2026년 목표로 보도된다 [S-2-28]. 층수가 늘수록 각 층의 두께 편차와 Cu 도금 잔류 응력이 누적되므로, 기판 자체의 휨이 다이 실장 수율을 좌우하는 변수가 된다.

ABF 빌드업 공정 자체도 화학 공정의 연속이다. 코어 위에 절연 필름을 진공 라미네이션으로 붙이고 열경화시킨 뒤, 레이저로 비아를 뚫고 수지 잔사를 화학적으로 제거한다. 이어 무전해 도금으로 시드를 깔고, 감광재로 배선 자리를 남겨 전기도금한 다음, 감광재를 벗기고 시드를 식각해 배선을 남긴다. 이 한 묶음이 한 층이며, 고급 FC-BGA는 이 과정을 양면으로 스무 번 가까이 반복한다 [S-2-28]. 층이 쌓일수록 각 층의 Cu 밀도 차이와 경화 수축이 누적되어 기판 자체가 휘고, 그 휨은 다음 층의 노광 정렬 오차로 되돌아온다. 기판 회사가 절연 필름에 저CTE와 저수축을 요구하는 이유이며, 유리 코어가 검토되는 배경도 같다.

임시접합과 박형화는 눈에 잘 띄지 않지만 HBM에서는 결정적이다. HBM 코어 다이와 웨이퍼의 박형화 두께는 대표값으로 약 30μm를 쓴다. 2026년 1월 CES 보도에서 SK하이닉스가 웨이퍼를 30μm까지 깎아 16단 HBM4를 JEDEC 775μm 안에 넣었다고 밝힌 값이다 [S-2-16]. 별도 보도에 나온 약 50μm는 16단으로 환산하면 800μm가 되어 같은 구조의 775μm 한도를 넘는다. 따라서 두 값을 같은 구조 사양으로 병기하지 않는다. 두 값은 대상 제품과 두께 정의가 확인되지 않아 동시에 적용할 수 없다.

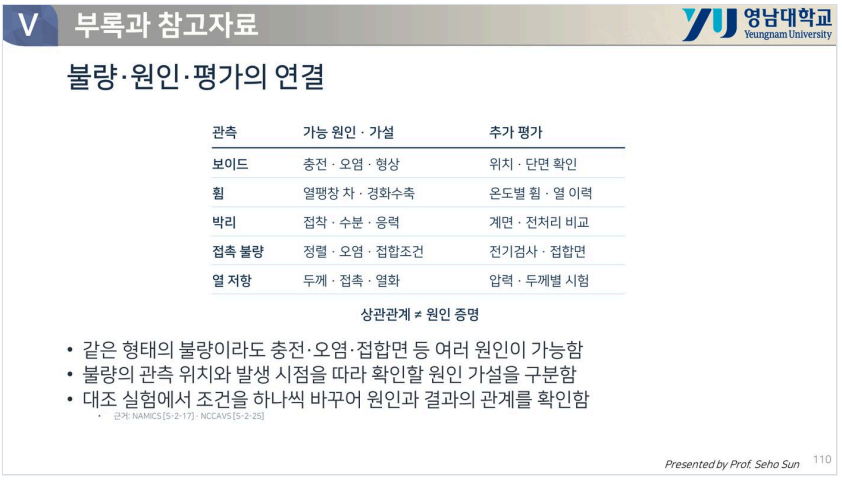
이 두께까지 깎으면 웨이퍼가 스스로 서 있을 수 없다. 그래서 유리나 실리콘 캐리어에 접착제로 임시로 붙인 뒤 뒷면을 갈고, 공정을 마친 다음 떼어낸다. 분리 방식은 열슬라이드, 상온 기계식, 레이저, 배치 화학의 네 가지다. 처리량을 높이고 응력을 줄이며 박형화 한계를 밀어붙이려는 고객은 기계식과 레이저를 선호한다 [S-2-31]. 30μm 미만 웨이퍼에서는 기계식 분리의 한계가 드러나 레이저 디본딩으로 전환하는 흐름이 보도되었다 [S-2-32]. 적층 응용에서는 전체 두께 편차(TTV)가 5%를 넘으면 다이 본딩과 적층에서 정렬 불량이 생길 수 있으므로, 이 값도 함께 관리해야 한다 [S-2-31].

임시접합 접착제에 걸리는 요구는 서로 상반된다. 접착제는 박형화와 후속 공정 내내 웨이퍼를 붙잡고 있어야 하므로 200°C를 넘는 공정 온도를 견뎌야 한다. 동시에 공정이 끝나면 30μm짜리 얇은 웨이퍼를 깨뜨리지 않고 떨어져 주어야 한다. 그래서 접착층과 분리층을 나누어 설계하고, 분리층에 레이저를 흡수시켜 그 층만 분해시키는 방식이 쓰인다 [S-2-31]. 접착층 두께 편차는 그대로 박형화 두께 편차로 옮겨 간다. 캐리어 위에 놓인 웨이퍼의 높이가 일정하지 않으면 그라인더가 그 편차를 그대로 복사하며, 그 결과가 TTV 관리 문제로 나타난다.

> **소재 관점에서 보면**: 2.5절의 소재는 전부 배합 기술의 산물이다. 언더필과 EMC의 물성은 수지 자체보다 필러의 종류와 입도와 충전율이 결정하며, 표 2.5-(a)의 CTE 차이는 곧 충전율 차이다 [S-2-19]. 삼성SDI가 EMC에서 쌓은 에폭시 배합과 필러 충전 기술은 MUF와 GMC 계열로 인접 확장이 가능한 자산이다. 실제로 삼성SDI는 고방열 EMC와 메탈 슬러리를 축으로 패키징 재료 포트폴리오를 넓히고 있다 [S-2-34].

다만 HBM용 최고급 본딩 소재는 공급 구조와 공정 동조화의 장벽이 높다. 언더필은 미세 갭 무보이드 충전을 위한 점도와 침투 제어가 가압 설비와 한 묶음으로 최적화되어 있어, 소재 교체가 곧 공정 재최적화를 뜻하기 때문이다 [S-2-19]. 반대로 임시접합 접착제와 유리 캐리어는 국내 참여가 사실상 없는 공백 영역이며, HBM 증산으로 소요량이 빠르게 늘고 있다 [S-2-31][S-2-32].

2.6 warpage와 CTE의 물리, 그리고 신뢰성 시험



슬라이드 110쪽 · 불량·원인·평가의 연결

그 밖의 관련 슬라이드: 71쪽 · 100쪽 · 101쪽

관련 도해: F-3-06 팬아웃 die shift: 배선 위치와 칩 위치가 어긋난다 · F-3-14A CoWoS 파괴 해석: 계면 박리가 먼저, 몰드 균열이 뒤따른다 · F-3-14B EMC는 인터포저 · 기판 · 스티프너와 함께 설계한다 · F-5-10A TIM1·TIM1.5·TIM2는 서로 다른 계면이다 · F-5-10B 패키지 휨은 TIM 두께와 같은 자릿수다 · F-5-13A 나선 유동은 유동성과 경화 속도를 함께 본다 · F-5-13B 점도와 DSC는 같은 승온 조건과 함께 제출한다 · F-5-13C Tg 전후의 CTE와 모듈러스를 따로 기록한다 · F-5-13D Warpage는 온도 프로파일 위에서 측정한다 · F-5-14A 같은 패키지 안에서도 결함의 자리는 다르다 · F-5-14B 관측한 결함과 가속할 물리를 연결한다 · F-8-07A 불량 여섯 가지를 패키지의 서로 다른 자리에 표시한다 · F-8-07B 보이드·박리·균열은 이름보다 위치를 먼저 묻는다 · F-8-07C 휨·접촉 불량·열저항 상승은 조건과 시점을 먼저 묻는다 · F-8-08A 경계선을 따라가면 박리, 금속 조직을 가로지르면 균열이다 · F-8-08B 관측한 파괴 경로에 맞추어 대조 인자를 고른다 · F-8-09A 원인 추적은 관측에서 대조 실험까지 네 단계를 거친다 · F-8-09B 불량 보고는 위치 · 시점 · 계보의 세 좌표로 시작한다 · F-8-09C 원인 후보는 떠오르는 추측이 아니라 목록으로 다룬다 · F-8-09D 한 인자 확인과 설계 실험은 쓰는 시점이 다르다 · F-8-09E 같이 변한 시점만으로는 원인이라고 말할 수 없다 · F-8-10A 초음파와 X선으로 위치를 찾고 그 자리를 잘라 본다 · F-8-10B 초음파는 계면의 반사와 심도별 위치 정보를 읽는다 · F-8-10C 먼저 찾고, 같은 자리를 자르고, 경로를 확인한다

패키지는 서로 다른 재료를 높은 온도에서 붙여 놓고 상온으로 내려서 쓰는 물건이다. 붙일 때는 평평했던 것이 식으면서 휘는 이유는 재료마다 줄어드는 정도가 다르기 때문이다. 아래 표의 숫자 몇 개만 익혀 두면 패키징의 기계적 문제 대부분을 설명할 수 있다.

표 2.6-(a) 주요 재료의 열팽창계수와 탄성 물성

재료	CTE (ppm/K)	탄성계수	비고	출처
Si(다이)	2.6~2.8	131 GPa	문헌별로 2.6(ECTC 2015 모델 입력값 *[C-2-29]*)에서 2.8(FOWLP 해석 입력값 [S-2-20]) 사이이며, 소재사 자료는 약 4로 반올림해 적는다 [S-2-17]	[S-2-20] *[C-2-29]* [S-2-17]
SiO2(패시베이션)	0.56	66 GPa	다이 최상층	[S-2-20]
Cu(pillar, 배선)	16.5~17	120 GPa	Si의 약 6배	[S-2-20] *[C-2-29]*
EMC	Tg 이하 8, Tg 초과 25	22.75 GPa(25~35°C), 1.99 GPa(235~260°C), Tg 170°C	해석의 기준 입력값이며, 같은 연구의 가상 최적 조합은 CTE 0.8 ppm/K에 저온 탄성계수 28.50 GPa다. 일반 상용 등급은 Tg 이하 10~20, Tg 초과 50 초과 범위	[S-2-20] [S-2-18]
유기 기판	17~18	자료 미제시	Si와의 차이가 warpage의 주 원인	[S-2-17]
CUF 언더필	20~25	자료 미제시	실리카 최대 70wt%	[S-2-19]
MUF·NCF	15~20	자료 미제시	실리카 80wt% 초과(MUF)	[S-2-19]
실리카 충전 에폭시(일반)	39	자료 미제시	필러가 적을 때의 값	[S-2-19]

상용 EMC 등급의 폭도 함께 알아 두면 좋다. Tg는 등급에 따라 113°C에서 236°C까지 분포한다. 저장 탄성계수는 유리 상태에서 10^4 MPa 수준이었다가 Tg를 넘으면 1 GPa 부근으로 떨어진다. 필러를 89%까지 채운 등급은 약 17 GPa에서 1 GPa 미만으로, 79%인 등급은 약 12 GPa에서 1.2 GPa로 떨어지는 것으로 보고된다 [S-2-18]. Tg가 중요한 이유가 여기서 드러난다. Tg를 넘는 순간 재료는 물러지면서 동시에 더 많이 팽창하기 시작하므로, 모듈러스 손실과 CTE 급증이 겹쳐 휨과 박리를 만든다 [S-2-18].

도해 F-2-13A · CTE 사다리: 필러로 수지를 Si 쪽으로 이동시킨다 · 근거 S-2-20, *C-2-29*, S-2-17, S-2-19
Si-Cu는 약 6배, Si-유기 기판은 큰 CTE 차이를 가진다. 열응력의 출발점은 이 부정합이다.

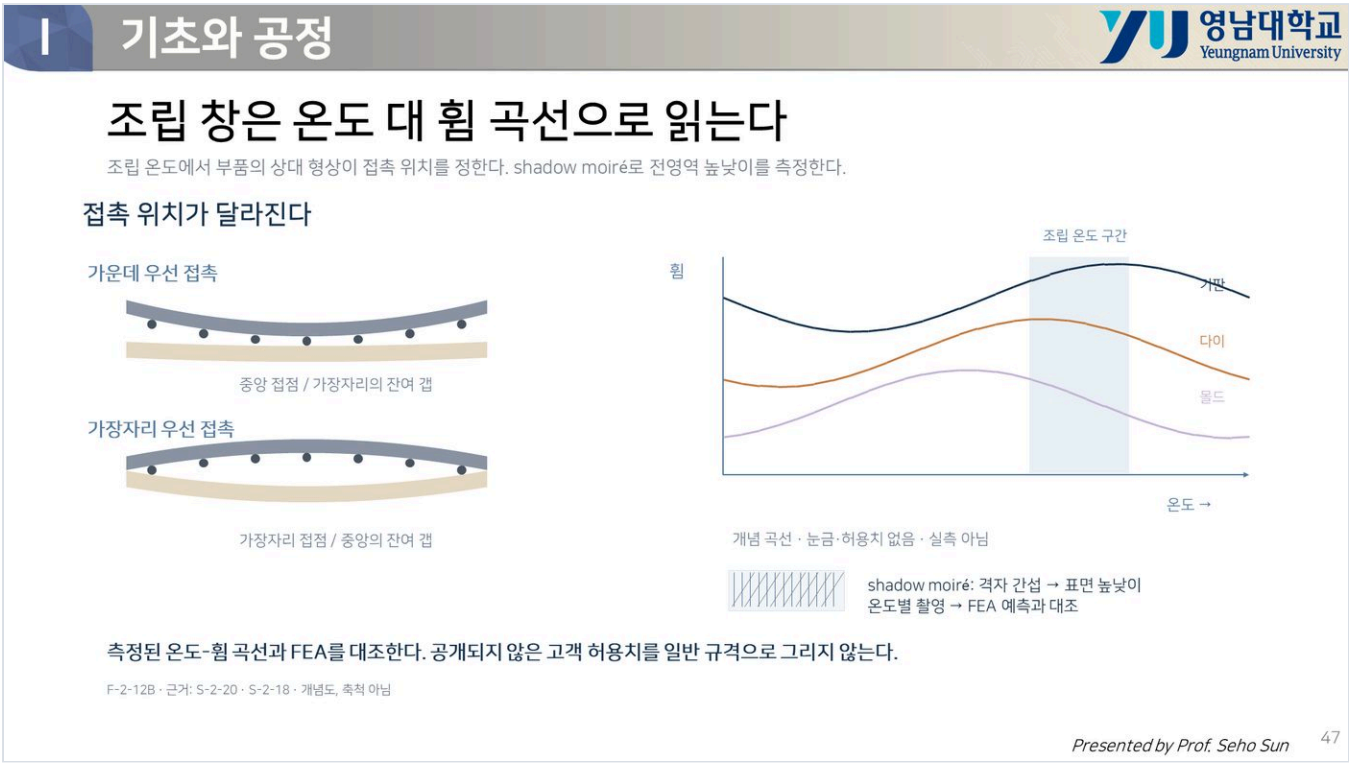
도해 F-2-13B · Tg를 넘으면 더 팽창하면서 동시에 물러진다 · 근거 S-2-20, S-2-18
Tg는 단일 숫자가 아니라 CTE 증가와 모듈러스 감소가 겹치는 구간이다.

warpage는 다음 순서로 만들어진다. 몰드가 경화되는 온도에서 구조물은 응력이 거의 없는 상태다. 냉각이 시작되면 각 층이 자기 CTE만큼 줄어들려 하지만, 서로 붙어 있어 줄어들지 못하고 그 차이가 계면에 응력으로 남는다. Tg를 지나면 EMC의 탄성계수가 급격히 올라가면서 그 시점의 응력 상태가 구조에 고정된다.

상온에 도착하면 패키지는 특정 방향으로 휘어 있다. 이후 리플로우로 다시 가열하면 휨의 방향과 크기가 온도에 따라 변하는 동적 warpage가 나타난다.

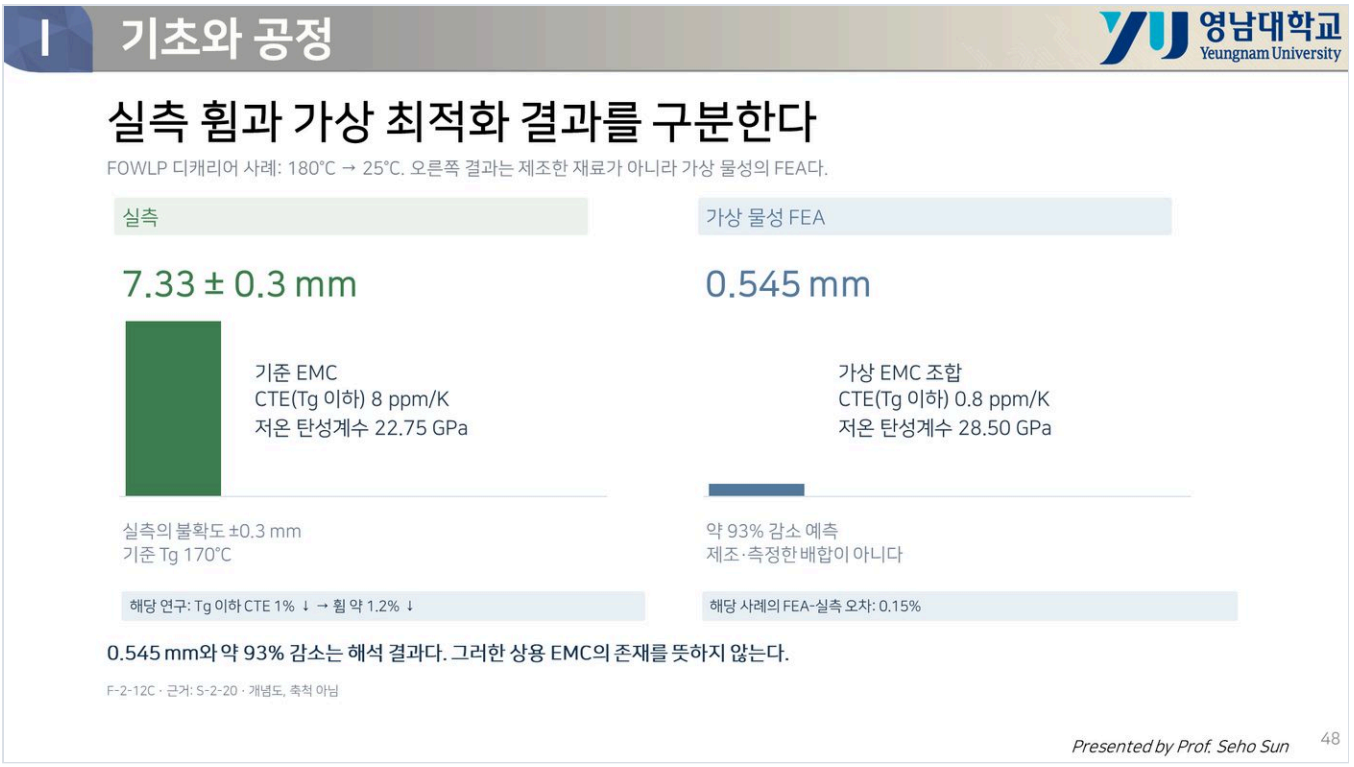
도해 F-2-12A · 휨은 냉각 중의 수축 차이가 고정된 결과다 · 근거 S-2-20, *C-2-29*

EMC의 CTE와 탄성계수는 온도에 따라 함께 바뀐다. 상온의 휨만으로 조립성을 판단할 수 없다.



도해 F-2-12B · 조립 창은 온도 대 휨 곡선으로 읽는다 · 근거 S-2-20, S-2-18

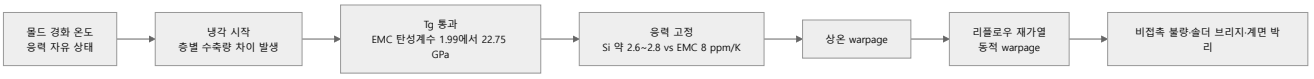
측정된 온도-휨 곡선과 FEA를 대조한다. 공개되지 않은 고객 허용치를 일반 규격으로 그리지 않는다.



도해 F-2-12C · 실측 휨과 가상 최적화 결과를 구분한다 · 근거 S-2-20
0.545 mm와 약 93% 감소는 해석 결과다. 그러한 상용 EMC의 존재를 뜻하지 않는다.

실제 수치의 규모도 보고되어 있다. fan-out 재구성 웨이퍼를 180°C에서 25°C로 냉각하는 디캐리어 공정에서 측정된 휨이 7.33 ± 0.3mm였다. 이때 해석에 쓰인 기준 EMC의 물성은 Tg 이하 CTE 8 ppm/K, Tg 170°C, 저온 탄성계수 22.75 GPa다 [S-2-20]. 같은 연구는 유한요소 해석으로 가상의 물성 조합도 넣어 보았다. Tg 이하 CTE를 0.8 ppm/K까지 낮추고 저온 탄성계수를 28.50 GPa까지 올리면, 휨이 0.545mm로 약 93% 줄어들 것으로 예측되었다 [S-2-20].

0.545mm는 그렇게 배합한 재료를 만들어 측정한 값이 아니라 해석 결과다. 실제로 그런 물성의 상용 EMC가 있다는 뜻도 아니다. 같은 연구는 Tg 이하 CTE를 1% 낮추면 휨이 약 1.2% 줄어드는 거의 선형인 관계도 보고했다 [S-2-20].



언더필에서는 이 물리가 설계 딜레마로 나타난다. 탄성계수와 Tg를 낮추면 휨은 줄지만 응력이 솔더 범프로 몰린다. 반대로 높이면 범프는 보호되지만, 휨이 커지고 다이 안쪽의 취약한 저유전율 절연막으로 응력이 전달된다. 소재사는 보편적인 저응력 해답이 없으며 응용마다 배합을 다시 잡아야 한다고 설명한다 [S-2-17]. 선택의 출발점은 두 가지다. 조립 과정에서 리플로우와 플립칩 본딩과 경화가 모두 200~220°C 구간을 지나고, 125°C를 넘는 환경에서 동작하는 제품에는 고Tg 등급을 쓴다 [S-2-17].

측정은 비접촉 전영역 기법이 표준이다. shadow moiré는 격자 무늬의 간섭으로 표면 높낮이를 읽는 방법이며, 온도를 올려 가며 촬영해 온도 대 휨 곡선을 얻는다. 유한요소 해석으로 예측한 값과 shadow moiré 실측을 대조해 모델을 보정하는 것이 업계 관행이다. 위의 fan-out 사례에서는 시뮬레이션 오차가 0.15%였다 [S-2-20]. 대형 2.5D의 허용 범위는 공개된 절대 규격이 없고, 고객과 OSAT가 합의한 값으로 관리된다. 따라서 특정 허용치를 일반 규격처럼 인용하지 않고 관리 방식을 이해하는 편이 안전하다.

상온의 휨만 보아서는 조립이 되는지 알 수 없다. 다이를 기판에 얹는 순간의 온도는 상온이 아니라 리플로우 곡선 위의 어느 지점이다. 그 온도에서 기판과 다이가 각각 어느 방향으로 휘어 있느냐가 접촉 여부를 정한다. 두 부품이 같은 방향으로 볼록하면 가운데가 먼저 닿고 가장자리가 뜨며, 반대 방향이면 그 반대가 된다. 그래서 실무에서는 상온 값 하나가 아니라 온도 대 휨 곡선 전체를 관리하고, 기판과 다이와 몰드의 곡선이 조립 온도 구간에서 어떻게 겹치는지를 본다. 이 곡선의 모양을 바꾸는 변수가 Tg와 CTE와 탄성계수이며, 소재사가 제공하는 값이 곧 고객의 조립 창을 넓히거나 좁힌다 [S-2-18][S-2-20].

신뢰성 시험은 각각 다른 고장 모드를 겨냥한다. 온도 사이클 시험(TCT)은 CTE 부정합이 만드는 반복 전단 변형을 가속해 솔더 접합부 피로와 계면 박리를 본다. 2026년 ECTC에서 TSMC는 레티클 3.3배 CoWoS-R 패키지를 OCP 가속기 모듈 보드에 실장해 온도 사이클과 진동과 충격 시험을 수행했다. 온도 사이클이 보드 레벨 신뢰성을 지배하는 핵심 변수였고, 기판 쪽과 PCB 쪽 양쪽에서 BGA 균열이 확인되었다 [S-2-05].

습도 가속 시험(HAST, uHAST)은 수분 침투와 이온 이동이 일으키는 부식과 전기화학적 마이그레이션을 본다. 흡습 민감도 등급(MSL)은 포장을 뜯은 뒤 리플로우까지 허용되는 시간을 등급화한 것이다. 흡습한 패키지가 리플로우에서 수증기 압력으로 터지는 팝콘 현상을 막기 위한 규격이다. 낙하 시험은 휴대기기와 모듈의 충격 저항을 본다. 보드 레벨 언더필을 적용하면 낙하와 충격 저항이 5~6배 개선된다는 보고가 있다. 다만 높은 CTE 소재를 쓰면 온도 사이클 신뢰성이 오히려 나빠지는 거래 관계가 있다 [S-2-19].

아래 표는 시험 항목별로 가속하는 물리와 고장 모드, 관련 소재 물성을 짝지은 것이다. 이 대응을 보면 어떤 물성을 건드려야 하는지가 바로 보인다.

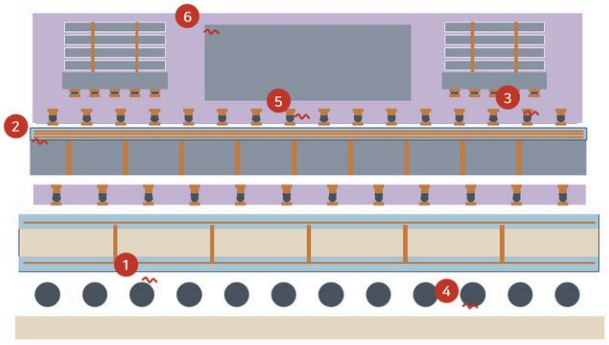
표 2.6-(b) 신뢰성 시험과 겨냥하는 고장 모드, 그리고 관련 소재 물성

시험	가속하는 물리	주 고장 모드	걸리는 소재 물성
온도 사이클(TCT)	CTE 부정합에 의한 반복 전단 변형	솔더 접합부 피로 균열, BGA 균열, 계면 박리	언더필과 EMC의 CTE, 탄성계수, 접착력
습도 가속(HAST, uHAST)	수분 침투와 이온 이동	부식, 전기화학적 마이그레이션, 절연 저하	흡습률, 이온성 불순물, 접착 계면 품질
흡습 민감도 등급(MSL)	흡습 후 리플로우 시 수증기 압력	팝콘 균열, 층간 박리	흡습률, 고온 접착력, Tg
낙하와 충격	순간 굽힘과 관성 하중	2차 접합부 균열, 보드 레벨 파단	언더필의 인성, 보드레벨 보강재 특성
전기이동 평가	높은 전류 밀도에서 원자 이동	범프 보이드, 저항 상승, 개방	솔더 조성, UBM 금속, IMC 성장 거동

(출처: 시험 항목과 고장 모드의 대응은 [S-2-19]와 [S-2-05], 전기이동 평가 방법은 [S-2-40])

신뢰성 시험은 단면의 서로 다른 자리를 겨냥한다

범프·계면·몰드·BGA에 번호를 붙여 고장 모드와 평가를 연결한다.



PCB (보드 레벨 포함)

1. **TCT**
   접합부 피로 · BGA 양쪽 균열 · 계면 박리
2. **HAST · uHAST**
   부식 · 전기화학적 마이그레이션 · 절연 저하
3. **MSL**
   흡습 후 리플로우: 팝콘 균열 · 층간 박리
4. **낙하 · 충격**
   2차 접합부 균열 · 보드 레벨 파단
5. **전기이동**
   마이크로범프 보이드 · 저항 상승 · 개방
6. **EMC-Si 계면**
   다이 모서리 박리 · 인터포저 강성과 연계

패키지 내부 접합뿐 아니라 기판-BGA-PCB의 보드 레벨 접합까지 포함해 고장 위치를 읽는다.

F-2-14A · 근거: S-2-19 · S-2-05 · S-2-40 · 개념도, 축척 아님

도해 F-2-14A · 신뢰성 시험은 단면의 서로 다른 자리를 겨냥한다 · 근거 S-2-19, S-2-05, S-2-40
패키지 내부 접합뿐 아니라 기판-BGA-PCB의 보드 레벨 접합까지 포함해 고장 위치를 읽는다.

시험 → 가속하는 물리 → 관련 소재 물성

시험 이름을 외우기보다 어떤 하중을 가하고 어떤 물성을 검증하는지 짝지어 읽는다.

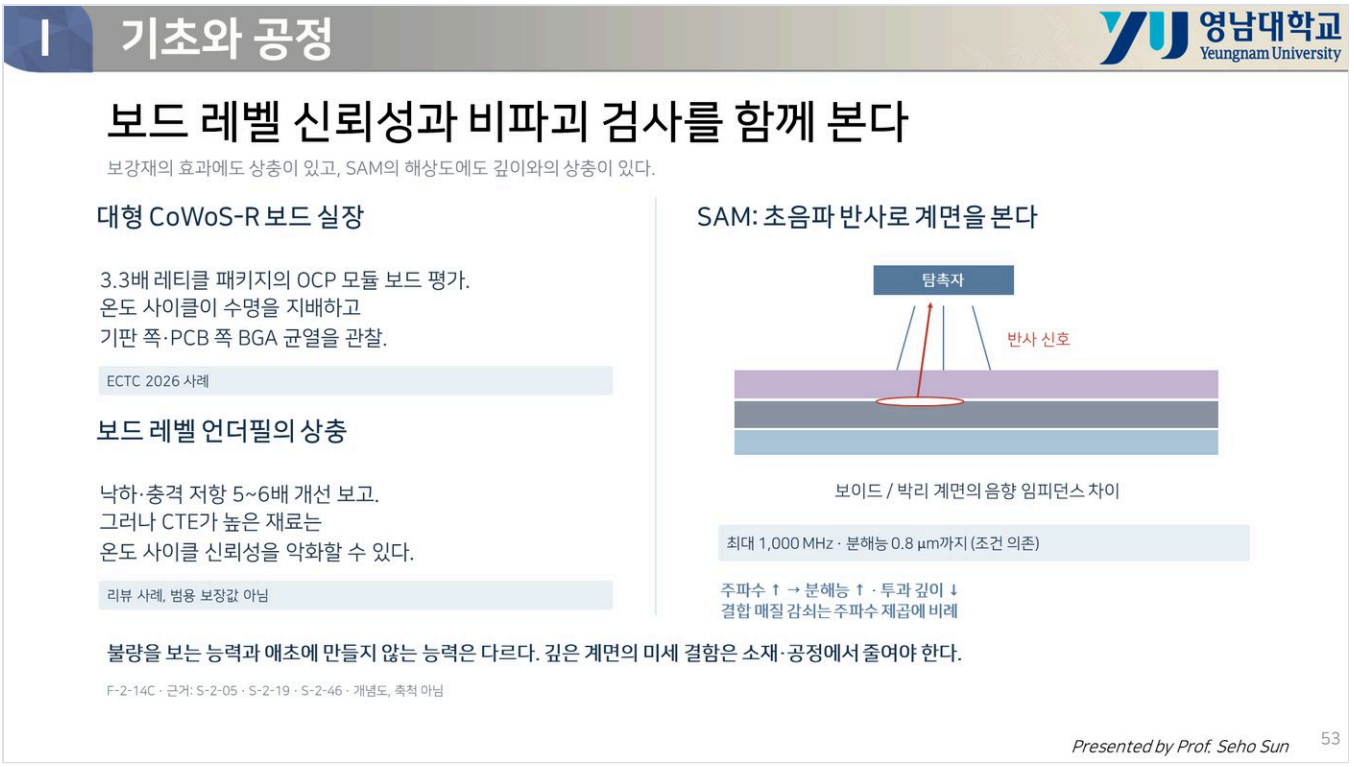
시험	가속하는 물리	주 고장 모드	걸리는 소재 물성
TCT	CTE 부정합에 의한 반복 전단	솔더 피로 · BGA 균열 계면 박리	언더필·EMC의 CTE 탄성계수 · 접착력
HAST · uHAST	수분 침투와 이온 이동	부식 · 마이그레이션 절연 저하	흡습률 · 이온성 불순물 접착 계면 품질
MSL	흡습 후 리플로우의 수증기 압력	팝콘 균열 층간 박리	흡습률 · 고온 접착력 Tg
낙하 · 충격	순간 굽힘과 관성 하중	2차 접합부 균열 보드 레벨 파단	언더필 인성 보드 레벨 보강재
전기이동	높은 전류 밀도의 원자 이동	범프 보이드 저항 상승 · 개방	솔더 조성 · UBM IMC 성장 거동

허용 기준과 시험 조건은 고객·제품별로 정한다. 이 표는 대표 고장 모드와 소재 물성의 대응이며 합격 사양표가 아니다.

하나의 물성 개선이 모든 시험을 좋게 만들지는 않는다. 평가 조합은 예상 고장 모드에서 출발한다.

F-2-14B · 근거: S-2-19 · S-2-05 · S-2-40 · 개념도, 축척 아님

도해 F-2-14B · 시험 → 가속하는 물리 → 관련 소재 물성 · 근거 S-2-19, S-2-05, S-2-40
하나의 물성 개선이 모든 시험을 좋게 만들지는 않는다. 평가 조합은 예상 고장 모드에서 출발한다.



도해 F-2-14C · 보드 레벨 신뢰성과 비파괴 검사를 함께 본다 · 근거 S-2-05, S-2-19, S-2-46
불량을 보는 능력과 애초에 만들지 않는 능력은 다르다. 깊은 계면의 미세 결함은 소재·공정에서 줄여야 한다.

미세 접합부 고유의 고장 모드가 전기이동(electromigration)이다. 전류 밀도가 높아지면 전자가 금속 원자를 밀어내 한쪽에 보이드가, 반대쪽에 힐록이 생긴다. 범프가 작아질수록 같은 전류에서 전류 밀도가 올라가므로 이 문제가 심해진다. JEDEC은 솔더 범프와 솔더캡 Cu pillar를 대상으로 정전류와 정온도 조건에서 전기이동 민감도를 평가하는 가이드라인을 별도 문서로 두고 있다 [S-2-40].

그런데 범프가 충분히 작아지면 지배 기구 자체가 바뀐다. 2026년 ECTC에서 Renesas는 5층 RDL 유기 인터포저를 쓴 차량용 2.5D 시제품을 평가했다. Cu/Ni/Cu/SnAg 구조의 마이크로 Cu pillar 범프를 직경 25, 28, 45, 50, 58μm로 같은 다이 위에 함께 만들고 175°C에서 비교했다 [S-2-42]. 직경 80μm급 Cu pillar는 고장 시간이 전류 밀도에 강하게 의존하는 전형적인 전기이동 거동을 보였다. 반면 직경 25μm 마이크로범프는 전류 밀도와 무관하게, 전류를 걸지 않은 고온 저장에서도 같은 속도로 저항이 올라갔다.

미세 범프에서 저항 증가를 지배하는 것은 전기이동이 아니라 열이 일으키는 금속간화합물 형성이다. 포화 저항 증가율을 직경에 대해 양대수로 그리면 기울기가 약 -1.37이며, 직경이 클수록 열화가 작다는 경향이 정량화된다 [S-2-42]. 175°C는 SnAg 공정 합금의 용융점인 약 221°C보다 낮다. 따라서 이 시험은 고상 시효이며, 리플로우처럼 솔더가 녹아 흐르는 상황이 아니다.

658시간 뒤에는 솔더의 벌크 Sn이 모두 소모되어 접합부 전체가 $(Cu,Ni)_6Sn_5$로 바뀌며, Ni이 침상 형태의 금속간화합물 성장을 가속한다. 이 침상 화합물이 접합부 양쪽을 이으면 범프 높이가 고정된다. 그 뒤로도 계면 반응이 계속되어, Sn 소모와 IMC 성장에 따라 접합부 안쪽에 다공성 조직과 보이드가 남는다. 다공층 두께는 직경이 클수록 얇아져 저항 경향과 일치한다. 저자들은 Ni을 줄이는 것이 고온 내성을 높이는 방향이라고 제안한다 [S-2-42].

보이드가 생기는 구체적 경로에 대해서는 논문이 정성적 설명을 제시한다. 따라서 여기서는 Sn 소모와 IMC 성장까지만 사실로 다루고, 그 이상의 기구는 단정하지 않는다. 같은 시험 패키지는 MSL3와 -55°C에서 125°C 사이 1,000 사이클을 무고장으로 통과했다. 다만 이 조건은 차량용 등급이므로 AI 서버용 HBM이나 CoWoS의 수명을 이 수치로 외삽해서는 안 된다 [S-2-42].

여기서 소재 처방의 함의가 나온다. Ni 배리어는 Cu 확산을 막으려고 넣는 층이지만, 동시에 침상 화합물 성장을 가속해 고온 열화를 악화시킨다. 확산 차단과 고온 내성이 같은 원소를 두고 반대 방향을 요구하는 셈이다. 도금 화학 공급사에게는 곧 조성 사양 변경 요구가 된다. 피치 로드맵 표에 신뢰성 한계선을 함께 적어야 하는 이유다.

대형 2.5D에서는 이 문제가 패키지 안에서 끝나지 않고 보드까지 이어진다. 레티클 3.3배 크기의 패키지를 가속기 모듈 보드에 실장하면 패키지와 PCB 사이의 CTE 차이가 BGA 볼에 그대로 걸린다. 온도 사이클이 반복되면 기판 쪽과 PCB 쪽 양쪽에서 균열이 자란다 [S-2-05]. 그래서 대형 패키지에서는 보드 레벨 신뢰성을 패키지 설계 단계에서 함께 예측해야 하며, 보강용 스티프너와 보드 레벨 언더필 같은 추가 소재가 설계에 들어온다.

접합 계면의 보이드와 박리를 비파괴로 보는 수단은 주사 음향 현미경(SAM)이다. 초음파를 쏘아 음향 임피던스가 바뀌는 지점의 반사를 영상으로 만드는 방식이다. 장비사 자료 기준으로 주파수는 최대 1,000MHz까지, 분해능은 재료와 밀도에 따라 0.8μm까지 내려간다 [S-2-46]. 다만 주파수를 올리면 분해능은 좋아지지만 음파의 투과 깊이가 줄고, 결합 매질에서의 감쇠도 주파수의 제곱에 비례해 커진다 [S-2-46]. 적층 구조의 깊은 계면을 보려면 주파수를 낮춰야 하므로 그만큼 작은 보이드는 놓치게 된다. 검사로 걸러 내기 어려운 결함일수록 애초에 만들지 않는 소재와 공정의 값어치가 커진다.

몰딩 컴파운드 자체의 파괴도 별도의 연구 대상이다. 2026년 ECTC에서 TSMC는 파괴역학 기반 모델링과 실험을 결합해 CoWoS의 EMC 고장 기구를 분석했다. 실리콘 다이 모서리에서 일어나는 EMC와 Si 계면 박리가 지배적인 문제였고, 인터포저 강성이 CTE 부정합을 줄여 파괴를 완화하는 데 결정적 역할을 한다고 보고했다 [S-2-05]. 소재 배합만으로는 풀리지 않고 구조 설계와 함께 풀어야 하는 문제다.

> **소재 관점에서 보면**: warpage와 CTE는 삼성SDI 같은 배합 회사가 가장 직접적으로 값을 매길 수 있는 영역이다. 표 2.6-(a)의 숫자가 곧 제품 사양서다. Tg 이하 CTE 1% 개선이 휨 1.2% 개선으로 이어진다는 선형 관계는 개발 목표를 정량화할 근거가 된다 [S-2-20]. 패키지가 커지고 층이 늘수록 이 민감도는 커지므로, 저CTE 고Tg 고모듈러스 EMC의 값어치는 시간이 갈수록 올라간다.

동시에 TSMC의 파괴 분석이 보여 주듯, 소재 단품 물성만으로는 문제가 풀리지 않는다. 고객의 구조 해석과 함께 배합을 조율하는 공동 개발 역량이 진입의 실질적 조건이 된다 [S-2-05]. 신뢰성 시험 항목별로 걸리는 물성을 표로 정리해 두면, 고객이 요구 사양을 바꿀 때 움직여야 할 배합 변수를 바로 찾을 수 있다.

2.7 최신 동향 (2026년 8월 22일 이후)

이 자료의 기초 조사는 2026년 8월 22일을 기준일로 삼았다. 이후 2026년 9월 27일까지 Day 2의 주제 범위에서 새 자료를 다시 확인하였다. 확인된 변화는 앞서 정리한 네 갈래에 새로 확인한 일곱 건을 더해 열한 건이다. 앞의 네 갈래는 Hot Chips의 HBM4 패키징 수치와 hybrid bonding 도입 시점, 9월 초 hybrid bonding 현황 정리, ECTC 결과의 교차 확인, IEEE HIR 갱신이다. 새 일곱 건은 뒤의 추가 확인 소제목 아래에 날짜 순으로 정리하였다.

가장 큰 사건은 SK하이닉스가 2026년 8월 Hot Chips 2026에서 공개한 HBM 패키징 현황이다. 패키지 개발 담당 임원이 "Advanced Packaging for High-Bandwidth Memory"를 주제로 HBM4 수치를 공개했다. 아래 값은 모두 발표 슬라이드를 전재한 2차 보도에서 옮긴 것이며, 원본 슬라이드는 확인되지 않았다 [S-2-12]. 패키지 높이 775μm, 풋프린트 12.8×11mm², base 마이크로범프 16,148개, TSV 20,000개 초과다. 12단은 정상 양산 중이고 16단은 고객 퀄 단계에 있다.

현행 공정은 warpage 제어를 포함한 advanced MR-MUF다. 이전 세대 대비 칩 두께 0.9배, 갭 높이 0.5배, 범프 피치 0.9배로 압축했다고 밝혔다. hybrid bonding으로 갈 경우의 이점으로는 세 가지를 들었다. 코어 다이를 24% 두껍게 쓸 수 있고, TSV 피치를 18μm 미만으로 가져갈 여지가 생기며, MR-MUF 대비 열저항이 35% 낮다. 차세대 HBM의 2.5D 통합 선택지로는 CoWoS 계열과 함께 Intel EMIB를 나란히 제시했다. 국소 핫스팟을 다루는 I-HBM으로 열저항을 30% 이상 낮추었다고도 밝혔다 [S-2-12].

hybrid bonding의 첫 적용 세대에 대해서는 회사가 확정한 사실과 기자의 추론을 갈라 두어야 한다. SK하이닉스 발표를 취재한 보도는 HBM4E에서도 hybrid bonding이 쓰이지 않을 것으로 전하며 HBM5와 2029년에서 2030년이라는 시점을 거론했다 [S-2-13]. 그러나 이 시점은 기사의 추론이며, 회사가 첫 적용 세대를 공식 확정한 것은 아니다 *[C-2-04]*.

삼성전자는 GTC 2026에서 hybrid bonding의 열저항 개선을 시연했고, 16단 HBM4E가 최초 채택 후보로 보도된다 [S-2-14][S-2-15]. SK하이닉스는 20단 이상 스택에서 hybrid bonding이 필수라는 입장이다 [S-2-14]. 두 회사의 시점 차이는 모순이 아니라 서로 다른 전략이다. 보도 기준의 시점은 "삼성은 빨라야 16단 HBM4E, SK하이닉스는 빨라야 HBM5"다. (2026년 9월 27일 추가 확인) SK하이닉스 측이 9월 9일 SEMI 행사 패널에서 도입 조건으로 수율 90~98%와 수명 3~5년을 제시했다는 패널 발언 보도에서는, 기사가 업계 전망으로 HBM4E 16단 또는 HBM5 20단부터의 도입을 거론했다 [S-2-53]. 이 시점은 발언자가 아니라 업계 전망에 귀속되므로 회사의 확정 일정으로 읽지 않는다.

9월 초에는 hybrid bonding 현황을 정리한 보도가 두 건 나왔다. 9월 2일 기사는 TSMC의 제공 기술과 고객 제품과 향후 로드맵, 그리고 Intel의 양산 상황을 종합했다 *[C-2-18]*. 9월 4일 기사는 양산 피치를 TSMC SoIC 6μm와 Intel Foveros Direct 9μm로 제시했다. 연구 실증은 W2W에서 imec과 EV Group의 200nm(post-bond overlay 40nm 미만), D2W에서 CEA-Leti의 1μm로 구분했다 [S-2-11]. 두 건 모두 새 원발표가 아니라 기존 정보를 재정리한 보도다. 8월 22일 이전과 비교하면 숫자 자체는 바뀌지 않았고, 양산과 실증을 섞어 인용하는 오류를 막도록 구분이 명확해졌다.

2026년 5월 ECTC에서 발표된 결과들이 8월 이후 2차 정리물로 확산되면서 세부 수치가 교차 확인되었다. 참석자는 2,700명을 넘었고, hybrid bonding과 그 대안 기술을 다룬 논문이 100편을 넘었다. 키노트는 ASE의 Tien Wu 최고경영자가 맡아 첨단 패키징과 시스템 최적화를 주제로 강연했다 [S-2-06][S-2-07]. 다음 결과는 모두 공식 tipsheet로 확인된다 [S-2-05].

- Applied Materials의 450nm 피치 W2W 98% 수율
- Resonac의 320×320mm 유리 패널 2/2μm 다마신 배선
- USHIO의 510×515mm 유리 기판 1.5μm line/space
- TSMC의 CoWoS EMC 파괴 분석과 CoWoS-R 보드 레벨 신뢰성
- Renesas의 마이크로 Cu pillar 전기이동 평가

요소 기술 전반의 기준을 제시하는 IEEE 이종집적 로드맵(HIR)은 2025년판이 25개 챕터로 갱신되어 공개되어 있다 [S-2-23]. 다만 HIR은 챕터마다 개정 연도가 달라, 파일 경로의 게시 연도와 문서 본문의 판본 연도가 일치하지 않는 사례가 있다. 인용할 때는 반드시 문서 표지의 판본 연도를 확인해야 한다. 이 로드맵의 기판, 인터커넥트, 열관리, 테스트 챕터가 Day 2의 절 구성과 대응하므로 확장 학습의 출발점으로 쓰기 좋다.

9월 19일 이후 추가 확인 (2026년 9월 27일 기준)

- **K&S의 fluxless TCB CPO 확대(2026년 9월 1일)**: Kulicke & Soffa(K&S)는 자사가 업계 최초로 상용 fluxless 열압착(Fluxless Thermo-Compression, FTC) 솔루션을 공급했다고 밝혔다. 이 TCB 기술의 적용처를 co-packaged optics(CPO)로 넓힌다는 발표다 [S-2-48]. 산화막 제거 방식은 통합 플라즈마, 포름산

(formic acid), 또는 둘의 병용 가운데 고객이 고르게 되어 있다. 출하 대수나 고객 수 같은 수치는 공개하지 않았다. 2.4는 fluxless TCB를 플라즈마 활성화 중심으로 설명했는데, 장비사 1차 발표 기준으로 포름산 환원도 같은 장비의 선택지로 제시되어 있다.

- **TSMC의 5μm급 범프 접합 요청 보도(2026년 9월 2일)**: 전자신문은 소재업계 전언으로, TSMC가 HBM 부착에 hybrid bonding 대신 마이크로범프를 당분간 유지하면서 소재·장비 협력사에 5μm급 접합과 언더필 개발을 요청했다고 보도했다 [S-2-49]. 여기서 5μm는 피치가 아니라 범프 높이이며, 기사는 HBM3E를 15~25μm급, HBM4를 약 10μm로 비교했다. 5μm급 범프 양산 시점은 기사 표현으로 "내후년 하반기", 즉 보도 기준 2028년 하반기로 추정되었다. 기사는 보이드 없는 언더필과 잔류 플럭스와 접합 정렬을 동시에 잡아야 한다고 적었다. 같은 기사 안에서 전망의 주어는 둘로 나뉜다. TSMC 쪽은 HBM4 후반에서 HBM5 초입까지 더 미세한 마이크로범프를 쓸 것으로 전망되었고, HBM5와 20단 이전에는 hybrid bonding을 쓰지 않는다는 로드맵은 SK하이닉스가 Hot Chips에서 내비친 것으로 귀속되어 있다. 보도에 따르면 이 요청은 익명 소재업계 소식통의 전언이며, 기사에 TSMC 측 입장은 실려 있지 않다.

- **한화세미텍의 SEMICON Taiwan 2026 전시(2026년 9월 2일)**: 한화세미텍은 하이브리드 본더 SHB2 Nano, 3D TC 본더 SFM5 Expert, 2.5D chip-on-wafer 본더 SFM5 TnR, 대면적 FOPLP 장비 SFM5 Square를 전시했다 [S-2-50]. SHB2 Nano는 2026년 2월에 개발한 장비이고, SFM5 Expert는 2025년 양산 진입 뒤 수주를 이어 왔다고 회사는 밝혔다. SFM5 Square는 원형 웨이퍼가 아니라 600×600mm 사각 패널을 쓰는 장비로, 이번에 실물이 처음 공개되었다. 2.3은 패널 크기를 320×320mm와 510×515mm로 다루었는데, 장비 전시 기준으로 600×600mm 규격도 제시되어 패널 규격이 아직 하나로 수렴하지 않았음을 보여 준다. 고객사는 공개되지 않았다.

- **Taiyo Holdings·imec의 700nm CD RDL(2026년 9월 10일)**: Taiyo Holdings는 imec과의 공동연구로 12인치 웨이퍼에 3층 RDL을 형성하면서 배선과 비아 모두 700nm CD를 달성했다고 발표했다 [S-2-52]. 재료는 네거티브형 i-line 감광성 절연재(FPIM 시리즈)이며, dual damascene 공정과 CMP 적합성을 함께 확인했다. 결과는 9월 9~11일 IEEE ESTC 2026에서 공개되었다. 700nm는 CD이며 피치나 line/space 값과 같지 않다. 회사는 2025년부터 연구개발용 소량 샘플을 출하해 왔고 다음 목표로 500nm 이하 CD와 장기 전기적 신뢰성 검증을 제시했으므로, 이 결과를 양산 채택으로 읽지 않는다. 감광성 유전체와 CMP가 한 배선층 공정 안에서 함께 요구되는 사례라는 점에서 2.2의 RDL 설명과 이어진다.

- **hybrid bonding 도입 조건 패널 발언 보도(2026년 9월 20일)**: 헤럴드경제는 SK하이닉스 아메리카 김지훈 시니어 디렉터가 9월 9일(현지시간) 미국 새너제이에서 열린 SEMI 주관 "AI 컴퓨팅의 미래" 콘퍼런스 패널에서 한 발언을 보도했다. 그는 hybrid bonding 도입까지 "90~98%의 수율"과 "3~5년의 수명"을 타협할 수 없는 기준으로 제시했다 [S-2-53]. 이는 패널 발언의 보도이며, 회사가 공식 로드맵으로 확정한 기준이나 도입 세대가 아니다. 같은 기사의 "HBM4E 16단 또는 HBM5 20단부터 도입" 서술은 업계 전망으로 적혀 있어 발언자에게 귀속하지 않는다. 이 내용은 2.7 앞부분의 도입 시점 문단에 추가 확인으로 덧붙였고, "SK하이닉스는 빨라야 HBM5"라는 기존 정리는 그대로 둔다.

- **한미반도체 FC 본더 75 첫 출하(2026년 9월 22일)**: 한미반도체는 75×75mm 대형 인터포저 패키징을 지원하는 2.5D 장비 FC 본더 75를 글로벌 고객사에 처음 출하했다고 밝혔다 [S-2-54]. 기존 범용 패키징의 20×20mm보다 넓은 면적을 다루는 장비다. 회사는 올해 FC 본더 3.5와 2.5D TC 본더 40 C2S·C2W를 내놓았고 2.5D TC 본더 120 출시를 앞두고 있다고 밝혔다. 이에 앞서 9월 2일 전자신문은 업계 전언으로, 한미반도체가 대만 파운드리 기업에 2.5D 본딩 장비를 두 자릿수 이상 공급했다고 보도했다. 한국산 2.5D 패키징 장비가 대만 파운드리의 양산 퀄을 통과해 배치된 것은 이번이 처음이라는 내용이다

[S-2-51]. 보도에 따르면 고객사명과 계약 규모는 비공개이며, 기사에 회사 입장은 없다. 국내 접합 장비사의 제품군이 HBM용 TC 본더에서 CoWoS류 2.5D 칩 부착으로 넓어지고 있다는 점이 2.4의 장비 서술에 더해진다.

- **Brewer Science의 고내열 레이저 분리 소재 예고(2026년 9월 24일)**: Brewer Science는 9월 30일 IMAPS 2026에서 임시접합·디본딩용 고내열 레이저 분리 소재를 발표한다고 공개했다 [S-2-55]. 회사 설명에 따르면 BrewerBOND C1301 계열 접착제와 조합해 최대 350°C 공정 온도에서 구조를 유지하고, 308nm와 355nm 두 UV 레이저 파장에서 분리되며, 고온 공정 뒤 용제 세정으로 제거된다. 실리콘, 유리, 에폭시 컴파운드 기판 모두에 접착한다고도 밝혔다. 세미나(9월 28일) 시점에는 학회 발표가 열리기 이전이므로 회사가 예고에서 공개한 성능으로만 읽어야 한다. 2.5가 다룬 30μm 미만 박형화와 레이저 디본딩 전환 흐름에서, 레이저 분리 소재의 공정 내열 사양을 350°C로 제시한 사례다.

> **소재 관점에서 보면**: 추가분 가운데 무게가 큰 것은 TSMC의 5μm급 요구 보도와 K&S의 fluxless TCB 확대다. TSMC의 요구가 보도대로 진행되면 마이크로범프 기반 언더필은 hybrid bonding 전환 전까지 범프 높이 5μm급의 좁은 갭에서 무보이드 충전과 플럭스 잔사 관리를 함께 평가받게 된다. K&S의 fluxless TCB 확대는 같은 방향에서 플럭스 소재 자체를 줄이는 경로다. Taiyo·imec의 RDL 결과와 Brewer Science의 예고는 감광성 유전체와 CMP, 임시접합 소재가 각각 서브마이크로미터 CD와 350°C 내열이라는 구체적 사양으로 경쟁하고 있음을 보여 준다. 다만 둘 다 연구 결과 또는 발표 예고 단계다. 한화세미텍과 한미반도체의 장비 소식은 2.5D 칩 부착과 600×600mm 패널이라는 공정 조건을 넓히지만, 소재 공급 구도를 직접 바꾼 사실은 아니다. 2026년 9월 27일 기준으로 JEDEC과 SEMI의 신규 표준 공표는 1차 페이지 접근 제한과 뉴스 검색 결과 부재로 확인하지 못했으므로, HBM 높이 규격 서술은 아래와 같이 유지한다.

변화가 없음을 확인한 항목도 적어 둔다. JEDEC HBM 패키지 높이 상한은 HBM3E 약 720μm, HBM4 775μm 다. HBM4용 상한은 2026년 1월 개정에서 720μm에서 775μm로 올라간 것이다 [S-2-09]. HBM4E를 약 900μm로, 20단 스택을 825~900μm 구간으로 완화하는 논의가 보도되었다 [S-2-14]. 그러나 이 논의의 출처는 JEDEC 공식 발표문이 아니라 업계 취재 보도다. 2026년 9월 19일 기준으로 개정 규격이 공표되었다는 확인은 얻지 못했다.

따라서 확인된 범위는 "775μm가 현행 규격이고 완화가 논의되고 있다"까지이며, 900μm나 1,000μm를 확정 규격처럼 인용하지 않는다. HBM4가 마이크로범프를 유지한다는 사실 [S-2-09][S-2-11], 삼성전자 쪽에서 16단 HBM4E가 hybrid bonding 최초 채택 후보로 거론된다는 보도 [S-2-15]도 그대로 유지된다. 이 항목들은 "변하지 않았다"가 아니라 "변경을 확정할 근거를 확보하지 못했다"로 기록하는 것이 정확하다.

소재 쪽에서 8월 22일 이후 새로 확인된 공급 구도 변화는 없다. 요구 사양 쪽에서는 TSMC가 협력사에 5μm급 범프 접합과 이에 맞는 언더필 개발을 요청했다는 9월 2일 보도(익명 소재업계 전언)가 나왔다(2026년 9월 27일 추가 확인) [S-2-49]. 언더필과 몰딩 컴파운드의 물성 기준선, 감광성 유전체의 배선 미세화 수준, CMP 소모품의 요구 사양은 5월 ECTC에서 공개된 값이 여전히 최신이다 [S-2-05][S-2-19]. 다만 두 가지는 인용하기 전에 최신 상황을 다시 확인하는 편이 안전하다. 하나는 JEDEC의 HBM 높이 규격 개정 여부이고, 다른 하나는 SK하이닉스와 삼성전자의 16단 HBM4 퀄 진행 상황이다. 두 항목 모두 한 달 사이에 새 발표가 나올 수 있는 성격의 정보다.

이 자료의 최신 동향 기준 시점은 2026년 9월 27일이다. 9월 19일 이후 추가분 가운데 날짜와 함께 인용할 만한 것은 세 가지다. 9월 2일 전자신문 원보도 기준으로 TSMC의 5μm급 범프 양산 추정 시점은 2028년 하반기다 [S-2-49]. 9월 9일 SEMI 패널에서 SK하이닉스 측이 제시한 hybrid bonding 도입 조건은 수율 90~98%

와 수명 3~5년이다(9월 20일 보도) [S-2-53]. 9월 22일 한미반도체는 75×75mm 인터포저용 FC 본더 75의 첫 출하를 밝혔다 [S-2-54]. 앞의 두 건은 각각 익명 소재업계 전언과 패널 발언의 보도이므로 그 층위를 함께 보아야 한다.

2.8 핵심 정리

번호	문장	출처
1	SK하이닉스가 2026년 8월 Hot Chips에서 공개한 값을 전한 보도에 따르면, HBM4 한 스택은 높이 775μm, 풋프린트 12.8×11mm² 안에 12단을 쌓는다. 베이스 다이 마이크로범프 16,148개와 TSV 2만 개 이상을 담고 있다.	[S-2-12]
2	접합 피치가 약 10μm를 지나는 지점이 소재 교체점이다. 그 위에서는 솔더와 플럭스와 언더필이 팔리고, 그 아래에서는 CMP 슬러리와 세정액과 본딩 유전막이 팔린다.	[S-2-10] [S-2-25]
3	hybrid bonding의 본딩면 목표는 나노미터 수준의 Cu 리세스와 옹스트롬 수준의 유전막 조도다. 구체적 값은 피치와 패드 구조와 유전막과 어닐 조건별로 정해진다. 파티클 한 개가 본딩 보이드가 되어 스택 전체를 버리게 만든다.	[S-2-25]
4	TSMC는 공식적으로 SoIC를 sub-10μm로 설명하고, 보도는 6μm 제공과 9μm 고객 출하를 구분한다. 200nm대 숫자는 모두 웨이퍼 대 웨이퍼 실증치이고, HBM은 아직 마이크로범프를 쓴다.	*[C-2-08]* [S-2-11] [S-2-09]
5	한 해석 연구에 따르면 몰딩 컴파운드의 Tg 이하 열팽창계수를 1% 낮출 때 재구성 웨이퍼의 휨이 약 1.2% 줄어든다. 배합 설계가 수율에 직접 작용한다.	[S-2-20]

2.9 자기 점검 퀴즈

관련 슬라이드: 14쪽 · 23쪽

관련 도해: F-1-04 한 번의 노광: 858 mm²와 429 mm² · F-2-02A 같은 EMC라도 들어가는 자리가 다르다 · F-2-02B PID는 남는 층, CMP는 그 층을 만드는 공정이다 · F-2-10 본딩 피치: 양산·제공 기술·실증을 같은 점으로 찍지 않는다 · F-2-11A 언더필 4방식: 도포 시점이 구조와 공정을 가른다 · F-2-11B CUF와 MUF: 접합 뒤 채우는 두 경로 · F-2-11C NCP와 NCF: 먼저 깔고 열압착한다

문 1. 다음 중 2026년 9월 기준으로 "양산 중인" hybrid bonding 피치로 올바르게 짝지어진 것은?

1. TSMC SoIC 200nm, Intel Foveros Direct 1μm
2. TSMC SoIC 6μm, Intel Foveros Direct 9μm
3. TSMC SoIC 4.5μm, Intel Foveros Direct 3μm
4. HBM4 10μm, 3D NAND 450nm

문 2. 본딩면 CMP가 기존 배선(BEOL) CMP와 근본적으로 다른 점으로 가장 적절한 것은?

1. 제거율을 훨씬 높여야 하므로 슬러리 고형분을 늘려야 한다
2. Cu를 유전막 대비 크게 함몰시켜야 하므로 Cu 고선택비가 필요하다
3. 어닐 조건에 맞춘 나노미터 수준의 Cu 리세스를 웨이퍼 전면에 재현해야 하므로 선택비 설계 방향이 반대가 된다
4. 유전막을 완전히 제거해야 하므로 산화막 제거율을 0으로 맞춰야 한다

문 3. 패키지 warpage가 상온에서 관찰되는 이유를 가장 정확하게 설명한 것은?

1. 몰딩 컴파운드가 경화 중 수축하면서 고온에서 이미 휘어 있고, 냉각 구간에서는 각 층이 같은 비율로 줄어들므로 추가 응력이 생기지 않는다
2. 경화 온도에서는 응력이 거의 없다가 냉각 중 층별 수축량 차이가 계면 응력으로 남고, Tg를 지나며 탄성계수가 올라가 그 상태가 고정된다
3. 실리콘과 구리의 탄성계수 차이만으로 결정되며, 두 재료의 열팽창계수는 상온에서 거의 같으므로 휨에 기여하지 않는다
4. 패키지 무게에 의한 BGA 솔더볼의 중력 처짐이 주원인이며, 소재의 열적 물성은 휨의 방향과 크기에 관여하지 않는다

문 4. 언더필 4방식에 관한 설명 중 옳은 것은?

1. CUF는 필러를 80wt% 넘게 채우므로 CTE가 가장 낮다
2. MUF는 몰딩과 갭필을 동시에 수행하며 진공 보조로 50μm 갭까지 채울 수 있다
3. NCF는 리플로우가 끝난 뒤 기판 가장자리에 도포한다
4. NCP는 웨이퍼에 필름으로 라미네이트한 뒤 다이싱한다

문 5. 다음 중 레티클 한계와 인터포저의 관계를 바르게 서술한 것은?

1. 현행 스캐너의 1샷 최대 노광 필드는 26×33mm, 즉 858mm²이며 이보다 큰 인터포저는 스티칭이 필요하다
2. High-NA EUV를 쓰면 anamorphic 광학 덕분에 노광 필드가 두 배로 커져 대면적 인터포저를 한 번에 노광할 수 있다
3. 레티클 한계는 EUV 스캐너에만 적용되는 제약이고, 4배 축소 광학을 쓰는 DUV 스캐너는 필드 크기 제한을 받지 않는다
4. CoWoS-S의 Si 인터포저는 레티클 14배 크기까지 단일 노광으로 만든다

서술형 1. HBM의 전체 높이 예산이 775μm로 묶여 있다는 사실이 소재 산업에 만들어 내는 결과를 세 단계로 설명하시오.

서술형 2. 삼성SDI가 이미 보유한 EMC와 CMP 슬러리가 이 Day의 어느 층에서 어떤 요구 물성으로 쓰이는지, 네 가지 단면표를 근거로 설명하시오.

정답과 해설

아래는 위 문항의 해설이다. 먼저 스스로 답한 뒤 이 상자를 펼쳐 보듯 읽는다.

문항 1

정답은 2번이다. TSMC 공식 페이지는 SoIC를 sub-10μm로만 설명하고 *[C-2-08]*, 보도는 2026년 기준 6μm 제공과 9μm 고객 출하를 구분한다. Intel Foveros Direct는 Clearwater Forest Xeon 6+에서 9μm로 상반기 양산에 들어갔다 [S-2-11]. 보기 가운데 양산 범위에 들어가는 조합은 2번뿐이다.

1번의 200nm는 imec과 EV Group의 W2W 실증치이고, 1μm는 CEA-Leti의 D2W 실증치로 둘 다 양산이 아니다. 3번의 4.5μm는 TSMC의 2029년 로드맵 값이고, 3μm는 Intel 2세대 개발 목표여서 현재 양산치가 아니다. 4번의 HBM4는 패드 피치가 약 10μm이지만 hybrid bonding이 아니라 마이크로범프를 쓴다 [S-2-09]. 450nm는 Applied Materials의 ECTC 2026 실증치다 [S-2-05].

문항 2

정답은 3번이다. 배선 CMP의 목표는 빠른 제거율이고 수십 nm의 디싱도 허용된다. 본딩면 CMP는 어닐에서 간극이 닫히도록 설계한 나노미터 수준의 Cu 리세스를 웨이퍼 중심부터 가장자리까지 재현해야 한다. 자주 인용되는 1~5nm는 약 400°C 어닐을 동반한 사례값이고 같은 자료에 5~25nm 사례도 있으므로, 특정 숫자를 범용 규격으로 받아들여서는 안 된다 [S-2-25].

1번은 배선 CMP의 목표 함수를 그대로 옮겨 온 오답이다. 2번은 방향이 반대다. Cu를 크게 함몰시키면 어닐에서 열팽창으로 간극을 닫을 수 없다. 4번은 유전막이 곧 접합면의 절반을 담당하므로 제거 대상이 아니라는 점에서 틀렸다. SiCN 유전막의 post-CMP 조도 RMS 0.10nm가 접합 강도에 직결되는 이유도 여기에 있다 [S-2-25].

문항 3

정답은 2번이다. 경화 온도에서 응력 자유 상태였던 구조가 냉각 중 CTE 차이로 응력을 축적한다. Tg를 통과하며 EMC의 탄성계수가 1.99 GPa 수준에서 22.75 GPa 수준으로 올라가면서 그 응력 상태가 굳는다 [S-2-20][S-2-18]. 1번은 경화 수축도 실제 기여 요소이지만, 냉각 구간에서 각 층이 같은 비율로 줄어든다는 서술이 틀렸다. 층마다 CTE가 다르다는 것이 문제의 출발점이다.

3번은 Si와 Cu의 CTE가 각각 약 2.6~2.8과 약 16.5~17 ppm/K로 여섯 배 가까이 차이 난다는 사실과 어긋난다 [S-2-20]*[C-2-29]*. 휨의 구동력은 CTE 차이이고, 탄성계수는 그 응력을 얼마나 붙잡아 두는지를 정한다. 4번은 무게에 의한 처짐을 원인으로 든 점이 틀렸다. 온도를 올리면 휨의 방향과 크기가 바뀌는 동적 warpage가 관찰된다는 사실 자체가 열적 물성이 원인임을 보여 준다.

문항 4

정답은 2번이다. MUF는 다이를 실장한 뒤 가압 몰딩으로 칩 아래 갭과 외장을 동시에 만든다. 진공 보조를 쓰면 50μm 갭까지 충전할 수 있고, 실리카 필러를 80wt% 넘게 채워 CTE를 15~20 ppm/K로 맞춘다 [S-2-19]. 1번은 CUF와 MUF의 충전율을 뒤바꾼 오답이다. CUF는 실리카 최대 70wt%에 CTE 20~25 ppm/K다.

3번은 CUF의 공정 설명이다. NCF는 범핑 후 웨이퍼에 필름을 라미네이트해 B-stage 경화한 뒤 다이싱하고 TCB로 붙인다. 4번은 NCF와 NCP를 뒤바꾼 서술이다. NCP는 기판에 페이스트로 선도포한다.

문항 5

정답은 1번이다. 6인치 레티클과 4배 축소 광학의 조합으로 웨이퍼 위 최대 필드가 26×33mm, 즉 858mm²가 된다. 대형 다이나 인터포저는 여러 번 노광해 이어 붙여야 한다 [S-2-27]. 2번은 반대다. High-NA EUV는 anamorphic 광학 때문에 half-field 26×16.5mm, 즉 429mm²로 절반이 된다.

3번이 틀린 이유는 26×33mm 필드가 4배 축소 스캐너 공통의 한계여서 DUV에도 적용되기 때문이다. 4번도 틀렸다. CoWoS-S의 인터포저 상한은 레티클 3.3배이며 [S-2-26], 그 크기도 단일 노광이 아니라 스티칭으로 만든다.

서술형 1

첫째, 단수를 늘리려면 다이를 더 깎아야 한다. 다이 두께의 대표값은 약 30μm이며, SK하이닉스는 16단을 위해 웨이퍼를 30μm까지 박형화했다고 CES 2026 보도에서 밝혔다 [S-2-16]. 이 흐름은 임시 접합 접착제와 캐리어, 레이저 디본딩, 박형화 후 세정으로 이어지는 소재와 공정 수요를 키운다 [S-2-31][S-2-32].

둘째, 층간 간격도 줄여야 한다. 2026년 ECTC에서 한 소재 공급사가 배경으로 제시한 값에 따르면 현행 양산의 스택 간격은 5μm이고 차세대 목표는 1μm다 [S-2-05]. 그래서 그 틈을 채우는 NCF와 MR-MUF 소재의 점도와 필러 입도 요구가 계속 까다로워진다.

셋째, 두 방향이 모두 한계에 이르면 규격을 완화하거나 접합 방식을 바꿔야 한다. JEDEC 높이 상한 완화 논의가 나오면 마이크로범프의 수명이 연장되어 기존 소재 수요가 유지된다 [S-2-14]. 반대로 hybrid bonding으로 넘어가면 솔더와 언더필이 CMP 소모품으로 대체된다 [S-2-25]. 하나의 규격 숫자가 소재 포트폴리오의 수명을 직접 좌우하는 셈이다.

서술형 2

EMC는 세 곳에 등장한다. 표 2.1-(b)의 인터포저 오버몰드에서는 대면적 저휨과 저CTE가 관건이다. 표 2.1-(c)의 HBM 스택 몰드에서는 방열과 미세 갭 침투가 관건이며, MR-MUF 방식에서는 갭 필재를 겸한다. 표 2.1-(d)의 fan-out에서는 EMC가 재구성 웨이퍼를 이루는 구조재이므로 경화 수축과 Tg 이하 CTE가 곧 수율이다 [S-2-20].

요구 물성의 예를 들면, 한 연구가 기준 입력값으로 쓴 EMC는 Tg 이하 CTE 8 ppm/K, Tg 170°C, 저온 탄성계수 22.75 GPa였다. 같은 연구가 해석으로 탐색한 가상 최적 조합은 CTE 0.8 ppm/K에 저온 탄성계수 28.50 GPa였다 [S-2-20]. 뒤의 조합은 실제 제조된 배합이 아니라 유한요소 해석의 입력값이다. 고열전도 등급으로는 3.0 W/(m·K)가 공개되어 있다 [S-2-33]. 이 값들은 특정 연구와 특정 등급의 예시이므로 실제 목표는 고객과 구조에 따라 다시 정해진다.

CMP 공정은 표 2.1-(b)의 Si 인터포저 제작과 표 2.1-(d)의 RDL 형성에 이미 쓰이고 있다(삼성SDI 제품의 채택 여부는 별개다). 2026년 ECTC의 패널 다마신 발표가 보여 주듯, 패널 레벨 배선에서는 단차 100nm 미만과 슬러리 유동 분포 설계가 성패를 가른다 [S-2-05]. hybrid bonding이 도입되면 CMP는 표 2.1-(c)의 층간 접합 칸에도 들어간다. 이때는 Cu 리세스 1~5nm와 유전막 조도 RMS 0.1nm대라는 전혀 다른 사양이 요구되고, 선택비 설계 방향도 반대가 된다 [S-2-25]. 국내에서는 케이씨텍이 이 영역의 전용 슬러리 개발을 공개한 상태다 [S-2-35].

2.10 용어 사전

용어(영문)	한 문장 정의	처음 나온 절
C4 범프(controlled-collapse chip connection)	직경 75~200μm의 솔더 범프로 플립칩과 기판을 잇는 1세대 접합 구조	2.1
Cu pillar	구리 기둥 위에 Ni 배리어와 SnAg 솔더캡을 올린 미세피치 범프 구조	2.1
마이크로범프(microbump)	HBM 층간과 다이-인터포저 접합에 쓰이는 수십 μm 이하 피치의 Cu 범프	2.1
UBM(under-bump metallurgy)	패드와 솔더 사이에서 접착과 확산 차단을 담당하는 금속 적층	2.2
RDL(redistribution layer)	감광성 유전체와 Cu 배선으로 I/O 좌표를 재배치하는 층	2.1
PID·PSPI·PBO	RDL 층간 절연과 패시베이션에 쓰이는 감광성 유전체 계열 재료	2.1
TSV(through-silicon via)	실리콘을 수직 관통해 상하를 잇는 Cu 배선	2.1
via-middle	트랜지스터 공정 뒤 배선 공정 전에 TSV를 형성하는 통합 방식	2.2
keep-out zone	TSV 주변 응력장 때문에 트랜지스터를 배치하지 않는 금지 영역	2.2
인터포저(interposer)	다이와 기판 사이에서 고밀도 배선을 담당하는 중간 기판	2.3
국소 실리콘 브리지(EMIB, LSI)	고밀도 배선이 필요한 구간에만 묻는 작은 실리콘 배선 조각	2.3
mass reflow	오븐에서 일괄 가열해 솔더를 녹여 붙이는 접합 방식	2.4
TCB(thermocompression bonding)	다이를 정렬한 뒤 열과 압력을 동시에 가해 붙이는 접합 방식	2.4
hybrid bonding	솔더 없이 Cu와 Cu를 직접 잇고 유전막끼리 융착시키는 접합 방식	2.4
W2W·D2W	웨이퍼끼리 붙이는 방식과 양품 다이를 웨이퍼에 붙이는 방식의 구분	2.4
Cu 리세스(dishing)	본딩면에서 Cu 패드가 유전막보다 낮게 파인 깊이	2.4
CUF·MUF·NCP·NCF	도포 시점과 형태로 나눈 네 가지 언더필 방식	2.5
GMC·LMC	과립형 몰딩 컴파운드와 액상 몰딩 컴파운드	2.5
ABF(Ajinomoto build-up film)	FC-BGA 기판의 빌드업 절연층에 쓰이는 필름형 에폭시 소재	2.1
TBDB(temporary bonding and debonding)	박형화 공정 동안 웨이퍼를 캐리어에 임시로 붙였다 떼는 기술	2.5
CTE(coefficient of thermal expansion)	온도 1도 변화당 길이가 변하는 비율이며 warpage의 구동력	2.6
Tg(glass transition temperature)	고분자가 유리 상태에서 고무 상태로 바뀌며 물성이 급변하는 온도	2.6
warpage	재료별 수축량 차이로 패키지가 휘는 현상	2.6
shadow moiré	격자 간섭으로 표면 높낮이를 전영역 측정하는 비접촉 흼 계측법	2.6
전기이동(electromigration)	높은 전류 밀도에서 전자가 금속 원자를 이동시켜 보이드를 만드는 고장 기구	2.6

2.11 더 읽을 자료

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-2-05	학회	2026 IEEE ECTC Technical Tipsheet	IEEE ECTC	2026-05-20	Day 2의 최신 수치 대부분의 1차 출처이며 논문 번호까지 확인할 수 있다	OA
S-2-19	논문	Underfill: A Review of Reliability Improvement Methods in Electronics Production	Plachý 외, Polymers 17(16) 2206	2025	언더필 4방식의 필러 충전율과 CTE를 수치로 비교한 최신 종합 리뷰	OA
S-2-20	논문	Exploring the Influence of Material Properties of EMC on Wafer Warpage in FOWLP	Chuang 외, Materials 16(9) 3482	2023	CTE 표와 warpage 감도의 정량 근거를 제공한다	OA
S-2-02	논문	Review of Cu–Cu direct bonding technology in advanced packaging	Zhao 외, Nanotechnology 36(26) 262001	2025-06-23	hybrid bonding의 표면 처리와 저온화 조건을 학술적으로 정리했다	OA
S-2-03	논문	A State-of-the-Art Review of Through-Silicon Vias	Xia 외, Advanced Engineering Materials 27(1)	2025	TSV 충전 소재와 도금액 첨가제 처방의 전체 지도를 얻을 수 있다. 전문 확인	구독(전문 확인)
S-2-43	논문	Panel CMP Co-planarization of Heterogeneous Interfaces for Damascene Organic Interposers (L/S = 2/2μm)	To·Minami·Katoh(Resonac), ECTC 2026 논문 14.2	2026-05	패널 다마신 RDL의 두 단계 슬러리 요구와 잔류 단차 합격선을 수치로 준다. 전문 확인	구독(전문 확인)
S-2-42	논문	Automotive Reliability of Micro-Cu Pillar Bumps for 2.5D Chiplet Integration	Ando 외(Renesas), ECTC 2026 논문 35.3	2026-05	직경 25μm에서 지배 기구가 전기이동에서 IMC 형성으로 바뀐다는 실측을 담았다. 전문 확인	구독(전문 확인)
S-2-09	기술블로그	HBM4 Sticks With Microbumps, Postponing Hybrid Bonding	Semiconductor Engineering	2026-01-13	HBM4가 왜 hybrid bonding을 미뤘는지의 논거가 가장 명확하다	OA
S-2-10	기술블로그	Scaling Bump Pitches In Advanced Packaging	Semiconductor Engineering	2021-10-25	범프 계급별 치수의 기준 수치를 제공한다	OA

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-2-11	뉴스	Hybrid Bonding in 2026: TSMC Ships 6μm While Its Newest Disclosed Customer Stacks at 9μm	NineScrolls	2026-09-04	양산 피치와 실증 피치를 구분해 정리한 가장 최신 자료	OA
S-2-12	뉴스	SK Hynix Unpacks Advanced Packaging Technologies (Hot Chips 2026)	Wccftech	2026-08	HBM4 단면 수치의 최신 1차 발표 요약	OA
S-2-17	기업발표	Understanding Stress in Underfills: Balancing Warpage, CTE, Tg, and Modulus	NAMICS	2026	소재사 관점의 설계 딜레마를 가장 압축적으로 설명한다	OA
S-2-18	기술블로그	How Epoxy Molding Compounds Transition Across Temperature from Glassy to Rubbery	Krayden	2026-04-27	EMC 상용 등급의 Tg와 모듈러스 분포를 알 수 있다	OA
S-2-25	학회	A Review on CMP Challenges in Hybrid Wafer Bonding and Wafer Level Packaging	G. B. Basim(Intel), NCCAVS CMPUG	2023-09-13	hybrid bonding CMP 사양의 1차 기술자료	OA
S-2-23	표준·로드맵	Heterogeneous Integration Roadmap 2025, Chapter 1 Overview	IEEE EPS	2026-05	요소 기술 전반의 로드맵 좌표를 확인할 수 있다	OA
S-2-01	표준·로드맵	JESD270-4 HBM4 표준 발간 보도자료	JEDEC	2025-04-16	HBM4 규격 수치의 원 출처	무료등록
S-2-07	기술블로그	ECTC Focuses on Challenges for AI Data Center Packaging and Energy Use	Circuits Assembly	2026-06	ECTC 2026 전체 흐름과 피치 스펙트럼을 한눈에 보여 준다	OA

DAY 3 · 예상 소요 2.5시간

Day 3. 플랫폼 지도: TSMC, Intel, 삼성 파운드리, OSAT

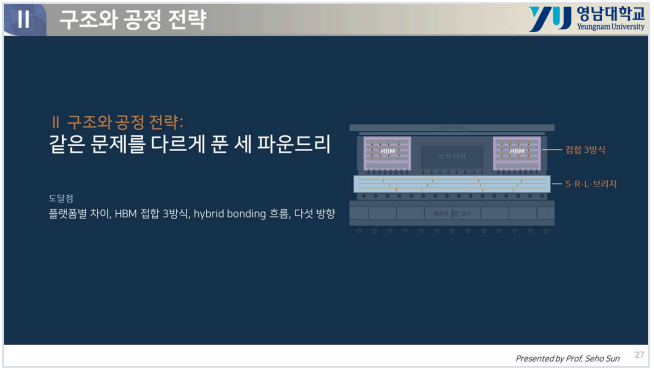
선수 지식 Day 1의 AP 계보와 레티클 한계, Day 2의 요소 공정(범프·RDL·TSV·인터포저·접합·언더필·몰딩·기판)

학습 목표: 이 Day를 마치면 다음 세 가지를 할 수 있다.

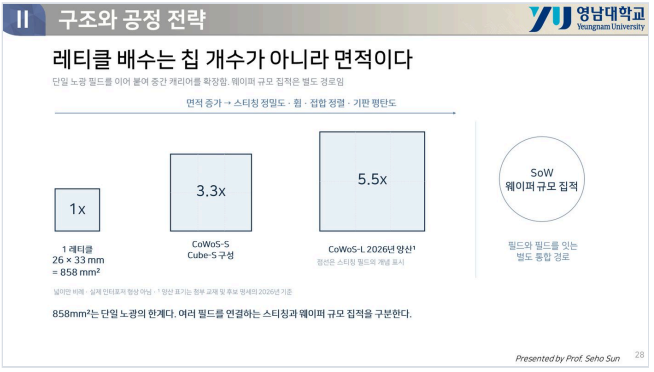
1. CoWoS-S/R/L, SoIC, InFO, EMIB, Foveros Direct, Cube-S/E/R/T/H, SAINT의 단면 구조 차이를 인터포저 재료와 접합 방식으로 구분하여 설명할 수 있다.
2. TSMC의 레티클 확장 로드맵 연도와 CoWoS 캐파 수치를 공표 시점과 목표 연도로 나누어 구분하고, 삼성 Cube 신구 명칭을 대응표로 서로 환산할 수 있다.
3. 플랫폼이 바뀔 때 몰드, RDL 유전체, CMP 슬러리, 언더필의 수요가 각각 어느 방향으로 움직이는지를 BOM 매트릭스로 설명하고 삼성SDI 접점을 판단할 수 있다.

선수 지식: Day 1의 레티클 한계(26×33mm = 858mm²)와 chiplet 경제학, Day 2의 요소 공정 용어 / **예상 소요**: 2.5시간

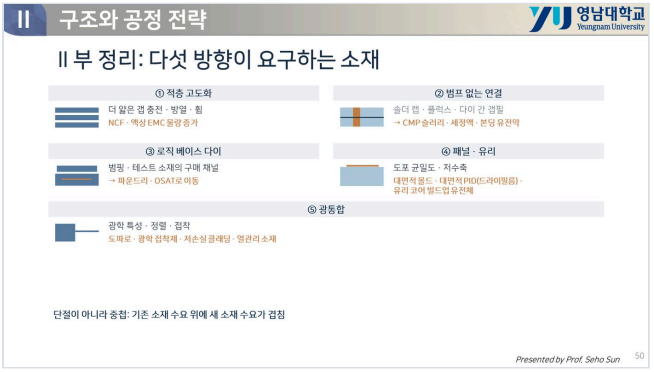
3.0 한눈에 보기



슬라이드 27쪽 · II 구조와 공정 전략: 같은 문제를 다르게 푼 세 파운드리



슬라이드 28쪽 · 레티클 배수는 칩 개수가 아니라 면적이다

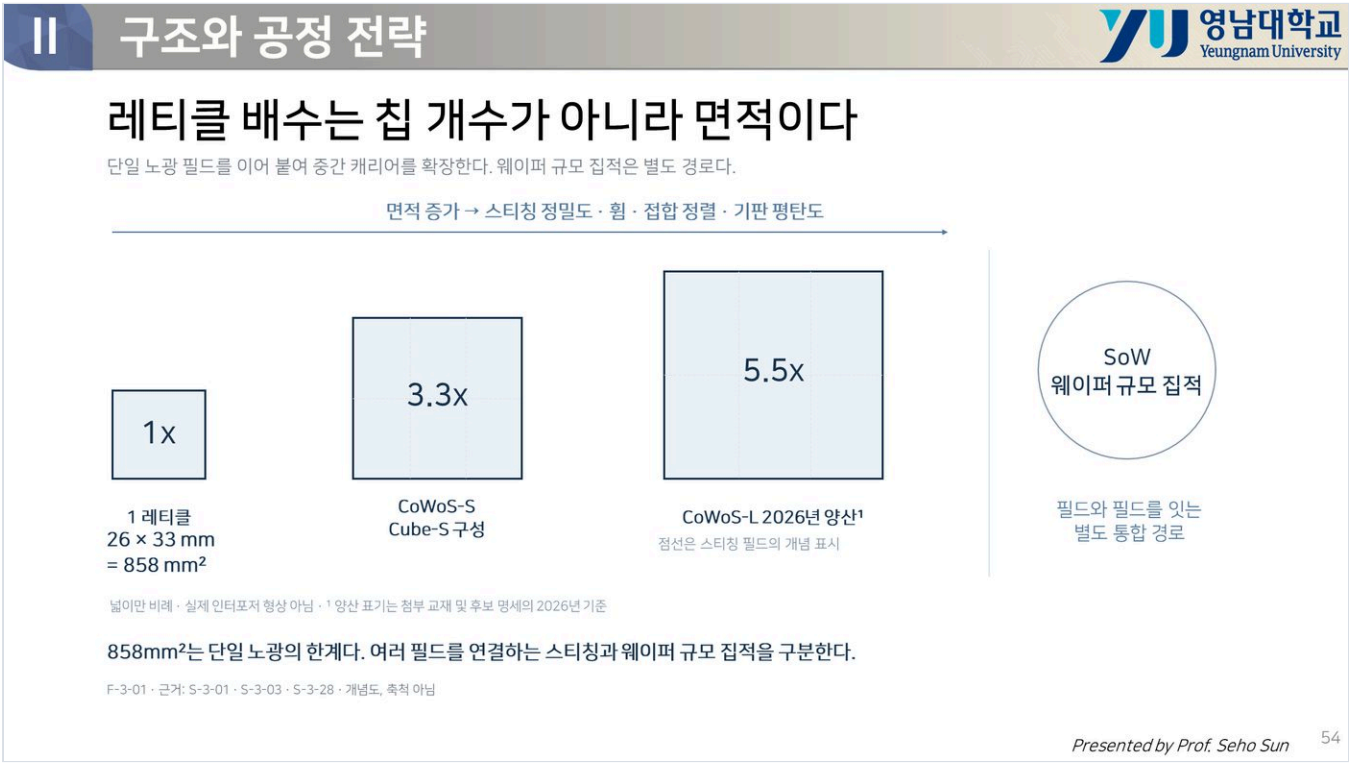


슬라이드 50쪽 · II부 정리: 다섯 방향이 요구하는 소재

그 밖의 관련 슬라이드: 36쪽

관련 도해: F-3-13A 소재 위치 ①: 실리콘 인터포저와 유기 RDL · F-3-13B 소재 위치 ②: 기판 매립 브리지와 몰드 재구성 · F-3-13C 소재 위치 ③: 마이크로범프 적층과 직접 접합 · F-3-13D 몰드 · PID · CMP: 세 품목의 수요 이동은 다르다

플랫폼 지도는 세 파운드리가 같은 물리 문제를 서로 다른 방식으로 푼 결과를 한 장에 모은 것이다. 858mm²는 단일 노광 필드의 한계이며 일반적인 대형 die는 이 제약을 받는다. 여기에 HBM을 die 옆에 붙여야 대역폭이 나온다는 조건이 겹치면 "여러 개의 die를 하나의 캐리어 위에 올린다"는 답이 나온다. 다만 858mm²가 물리적 절대 한계는 아니다. 필드와 필드를 잇는 웨이퍼 규모 집적은 예외이며 TSMC의 SoW가 그 방향이다 [S-3-03].



도해 F-3-01 · 레티클 배수는 칩 개수가 아니라 면적이다 · 근거 S-3-01, S-3-03, S-3-28
858mm²는 단일 노광의 한계다. 여러 필드를 연결하는 스티칭과 웨이퍼 규모 집적을 구분한다.

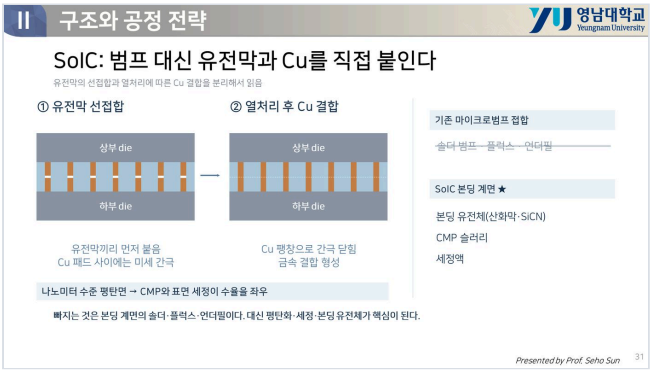
세 회사는 같은 답을 냈지만 캐리어를 무엇으로 만드는가에서 갈라졌다. TSMC는 실리콘 인터포저에서 출발해 유기 RDL과 국부 실리콘 브리지로 확장했다. Intel은 처음부터 기판에 브리지를 매립하는 길을 택했고, 삼성전자는 실리콘 인터포저와 패널레벨 팬아웃을 병행한다. 이 갈래가 소재 회사에 중요한 까닭은 캐리어 재료가 바뀌면 그 위에 얹히는 유전체, 몰드, 언더필, 연마 슬러리의 품목이 통째로 바뀌기 때문이다.

실리콘 인터포저를 쓰면 유전체는 전공정 무기막이어서 외부 소재사가 들어갈 틈이 거의 없다. 유기 RDL 인터포저로 가면 감광성 유전체(PID, Photo-Imageable Dielectric 또는 PSPI, Photosensitive Polyimide)가 핵심 소재가 된다. 대면적 warpage를 잡는 몰드도 새로운 병목이 된다. 범프를 없애는 hybrid bonding으로 갈수록 솔더와 언더필 수요는 줄고 CMP 슬러리와 세정액 수요는 늘어난다. 그래서 플랫폼 지도는 향후 5년의 소재 수요 이동표로 읽힌다. TSMC를 기준선으로 삼아 Intel과 삼성전자를 비추어 보고, 조립과 기판을 맡는 OSAT과 기판사를 더하면 공급망 전체가 드러난다.

3.1 TSMC 3DFabric: CoWoS, SoIC, InFO의 구조 차이

슬라이드 29쪽 · CoWoS-S · R · L: 바뀌는 것은 인터포저다

슬라이드 30쪽 · CoWoS-L 한 장을 아홉 개 층으로 나눈다



슬라이드 31쪽 · SoIC: 범프 대신 유전막과 Cu를 직접 붙인다

그 밖의 관련 슬라이드: 7쪽 · 8쪽 · 9쪽 · 10쪽 · 11쪽 · 28쪽 · 36쪽 · 37쪽 · 38쪽 · 75쪽 · 76쪽

관련 도해: F-1-12A Lau 분류 ①: die를 받치는 중간층 · F-1-12B Lau 분류 ②: 능동 die와 직접 적층 · F-2-01 네 단면을 같은 순서로 읽는다 · F-2-01A FC-BGA: 유기 기판이 배선을 맡는다 · F-2-01B CoWoS-S: 두 접합부와 두 언더필 · F-2-01C HBM 12H: 스택을 층 단위로 해부한다 · F-2-01D FO-WLP: 몰드와 RDL이 기능을 나눈다 · F-2-07 중간층 4종: 실리콘에 어디까지 맡길 것인가 · F-3-01 레티클 배수는 칩 개수가 아니라 면적이다 · F-3-13A 소재 위치 ①: 실리콘 인터포저와 유기 RDL · F-3-13B 소재 위치 ②: 기판 매립 브리지와 몰드 재구성 · F-3-13C 소재 위치 ③: 마이크로범프 적층과 직접 접합 · F-3-13D 몰드 · PID · CMP: 세 품목의 수요 이동은 다르다 · F-4-01A HBM 스택을 일곱 층으로 읽는다 · F-4-01B 소재의 자리는 스택 안에 세 곳이다 · F-4-09A 하이브리드 본딩은 표면 준비부터 검사까지다 · F-4-09B 활성화 가스가 정렬 오차에도 영향을 준다 · F-4-09C 어닐 온도와 Cu recess 목표는 한 쌍이다 · F-4-09D 접합 후 검사에는 보이지 않는 영역이 남는다 · F-4-10A 접합 피치는 제품·목표·실증을 나누어 놓는다 · F-4-10B 부등호 목표와 연구 실증은 별도로 읽는다 · F-6-01A PID는 Cu 배선 사이에 남는 감광성 절연막이다 · F-6-01B 도포·노광·현상 뒤에는 비아 바닥을 확인한다 · F-6-01C 경화와 Cu 형성을 반복하면 다층 RDL이 된다 · F-6-01D 같은 PID라도 하지와 면적이 달라지면 요구가 바뀐다

TSMC는 후공정 플랫폼 전체를 3DFabric이라는 이름으로 묶는다. 그 아래는 수평 통합의 CoWoS, 수직 통합의 SoIC, 팬아웃 웨이퍼레벨의 InFO 세 갈래다 [S-3-01][S-3-02]. 세 갈래를 가르는 기준은 die와 die를 잇는 배선의 위치다. CoWoS는 die 아래에 별도의 캐리어를 깔고 그 캐리어 안에서 배선한다. SoIC는 캐리어 없이 die 두 장의 금속 패드를 직접 맞붙이고, InFO는 die를 몰드로 재구성한 인조 웨이퍼 위에 배선층을 직접 그린다. 세 갈래는 배타적이지 않으며, SoIC로 적층한 스택을 다시 CoWoS 위에 올리는 조합이 현재 AI 가속기의 주류 구성이다.

소재 관점에서 이 구분은 배선 유전체를 누가 만드는지를 가른다. 캐리어가 실리콘이면 전공정 팹이 배선 유전체를 무기막으로 만들고, 캐리어가 유기물이면 후공정에서 감광성 유전체를 도포해 노광한다. 접합 방식도 같은 식으로 소재를 가른다. 솔더 접합이면 플럭스와 언더필이 남고, 구리 직접 접합이면 둘 다 사라진다. 따라서 플랫폼 이름을 들었을 때 먼저 확인할 것은 "캐리어가 무엇인가"와 "접합이 무엇인가" 두 가지다. 이 두 답이 있으면 나머지 소재 항목은 대부분 유도된다.

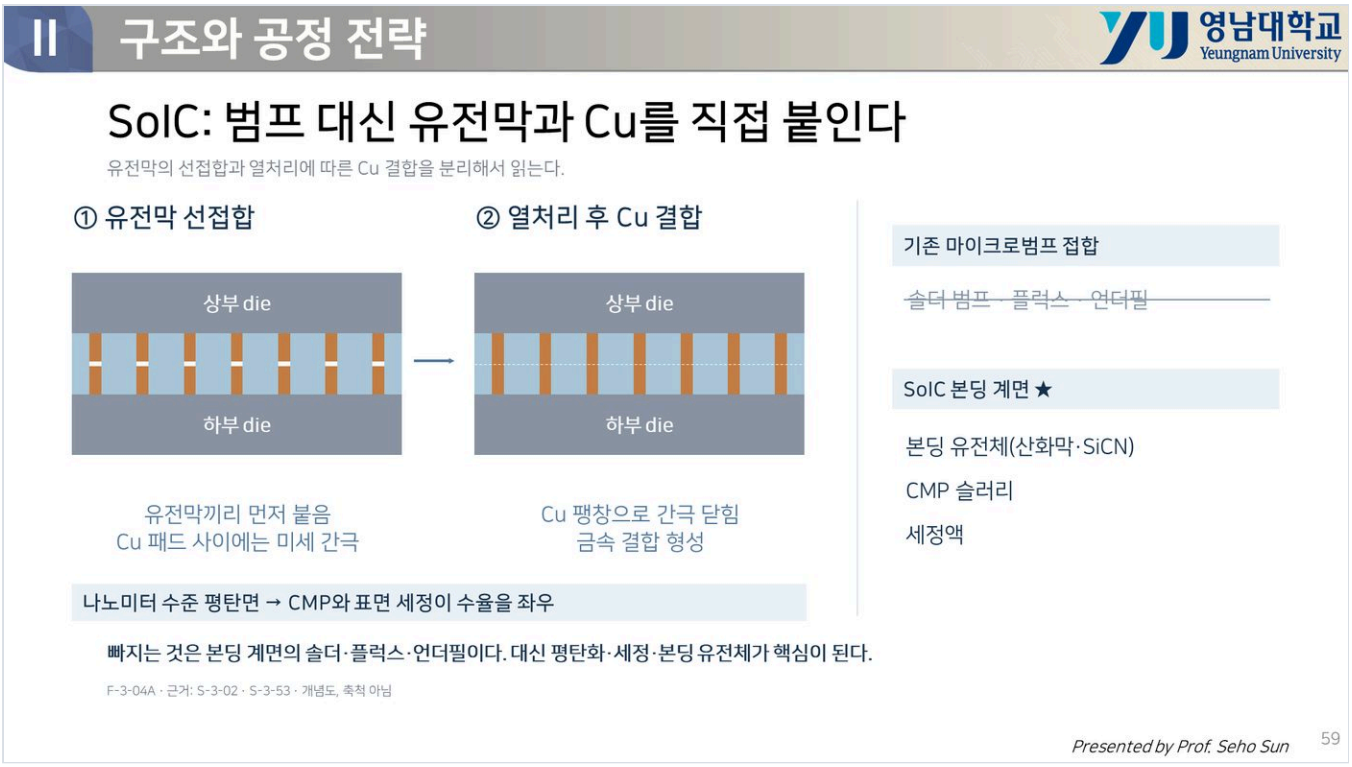
CoWoS 내부는 인터포저 재료에 따라 다시 세 갈래로 갈린다. CoWoS-S는 TSV를 뚫은 실리콘 인터포저를 통째로 쓰는 원형이다. CoWoS-R은 실리콘 인터포저를 없애고 폴리머 유전체와 구리를 번갈아 쌓은 다층 RDL 인터포저로 대체한다. CoWoS-L은 RDL 인터포저 안에 국부 실리콘 브리지(LSI, Local Silicon Interconnect)를 매립해 배선 밀도가 필요한 구간만 실리콘으로 처리한다 [S-3-01]. CoWoS-L이 대형 AI 가속기의 주류가 된 이유는 2,500mm² 안팎을 넘는 대면적에서 [S-1-32] 실리콘 인터포저의 수율과 비용을 감당하기 어렵기 때문이다.

도해 F-3-02 · CoWoS-S · R · L: 바뀌는 것은 인터포저다 · 근거 S-3-01, S-3-03
전면 실리콘 → 폴리머 + Cu RDL → RDL + 국부 실리콘 브리지. 캐리어가 소재 항목을 바꾼다.

보도와 분석기관 자료 기준으로 NVIDIA의 Blackwell과 Rubin 세대 GPU는 CoWoS-L을 쓰는 것으로 분류된다. AMD는 MI350에서 CoWoS-S를 쓰다가 MI450에서 CoWoS-L로 옮기는 것으로 분류된다. 다만 제품군 전체를 확정한 1차 자료는 아니다 [S-3-56][S-3-57][S-3-74]. 2026년 캐파 배분 추정치에 따르면 NVIDIA가 전체 CoWoS의 약 60%, CoWoS-L만 보면 약 70%를 선점했다. 같은 추정에서 Broadcom은 Google TPU용으로 약 9만 장을 배정받은 것으로 분석된다 [S-3-55][S-3-56]. 이 배분 수치는 분석기관과 대만 매체의 추정이라는 점을 감안해 읽어야 한다.

SoIC는 범프가 없는 3D 적층이다. 두 die의 표면을 산화막이나 SiCN 같은 유전체로 덮고 그 안에 구리 패드를 노출시킨다. 유전체끼리 먼저 붙인 뒤 열처리로 구리를 팽창시켜 금속 결합을 만들므로 솔더와 언더필이 아예 들어가지 않는다 [S-3-02][S-3-53]. 이 공정은 접합면 조도가 나노미터 수준으로 평탄해야 성립하므로 CMP가 수율을 좌우하는 공정이 된다. 그 결과 범프·플럭스·언더필 예산이 CMP 슬러리·세정액·본딩 유전체 예산으로 이동한다.

TSMC의 hybrid bonding 피치 로드맵은 9μm 세대에서 출발했고 2026년 현재 양산 피치는 6μm이다. 2029년에는 피치를 4.5μm로 좁히면서 A14 die를 A14 die 위에 적층하는 구성을 제공한다. 이때 die 간 I/O 밀도는 N2-on-N2 SoIC 대비 1.8배가 된다 [S-3-03][S-3-18][S-3-19]. 노드 적층 조합은 현재의 N3P-on-N4에서 2028년 N2P-on-N2P를 거쳐 2029년 A14-on-A14로 이어진다 [S-3-18].



도해 F-3-04A · SoIC: 범프 대신 유전막과 Cu를 직접 붙인다 · 근거 S-3-02, S-3-53
빠지는 것은 본딩 계면의 솔더·플럭스·언더필이다. 대신 평탄화·세정·본딩 유전체가 핵심이 된다.

도해 F-3-04B · SoIC 로드맵: 피치와 적층 노드를 함께 본다 · 근거 S-3-03, S-3-18, S-3-19
피치 로드맵은 9 → 6 → 4.5μm, 노드 조합 로드맵은 N3P/N4 → N2P/N2P → A14/A14다.

InFO는 실리콘 인터포저 없이 몰드로 재구성한 웨이퍼 위에 RDL을 직접 그리는 팬아웃 웨이퍼레벨 패키징이다. 기판 사용 여부는 변형마다 다르다. TSMC 공식 분류의 주력 변형은 InFO-PoP과 InFO-oS 두 가지다. InFO-PoP은 모바일 AP를 메모리 패키지와 수직으로 결합하고, InFO-oS는 RDL 구조를 기판 위에 올린다. 여

기에 LSI 브리지를 결합한 InFO-L과 웨이퍼 단위로 확장한 InFO-SoW가 추가된다 [S-3-58]. InFO-PoP처럼 유기 기판을 생략해 두께와 기생 저항을 줄이는 구성도 있지만, InFO-oS는 팬아웃 모듈을 기판에 실장하므로 기판이 그대로 남는다 [S-3-58].

도해 F-3-05 · InFO-PoP와 InFO-oS: 팬아웃이어도 기판은 다르다 · 근거 S-3-58, S-3-35, S-3-28
팬아웃 확대 = 기판 소멸이 아니다. InFO-PoP는 기판을 생략하고 InFO-oS는 기판에 실장한다.

따라서 팬아웃 확대를 기판 수요가 몰드로 대체되는 현상으로 읽으면 안 되며, 어느 변형이 늘어나는지부터 구분해야 한다. 변형들의 공통점은 die를 붙잡는 몰드가 구조 부재 역할을 한다는 것이다. 그래서 액상 몰드 컴파운드(LMC)와 RDL용 감광성 유전체가 BOM의 중심에 온다. InFO는 몰드로 만든 인조 웨이퍼 위에서 리소그래피를 하므로, 몰드의 열팽창과 경화 수축이 die 위치를 밀어내는 die shift가 수율을 좌우한다. 이 문제는 패널로 면적이 커질수록 심해져 FOPLP와 CoPoS의 주요 난제로 이어진다. 몰드 소재사에게는 진입 장벽이자 차별화 지점이다 [S-3-46].

die shift와 warpage의 물리는 문헌에서 두 갈래로 확인된다. 팬아웃 LED 리뷰는 유리전이온도 위 고무상 구간에서 높은 CTE와 낮은 탄성계수가 겹친 것을 열변형의 원인으로 본다. 같은 리뷰는 실리콘 더미를 넣어 강성을 맞추면 warpage가 최대 34.91%, 칩을 가로세로 교차로 배치하면 45% 이상 줄어든 사례를 보고한다. 다만 이 리뷰의 대상은 mini/micro-LED용 팬아웃이므로 수치를 AP용 몰드 사양으로 그대로 옮길 수 없다 [S-3-48].

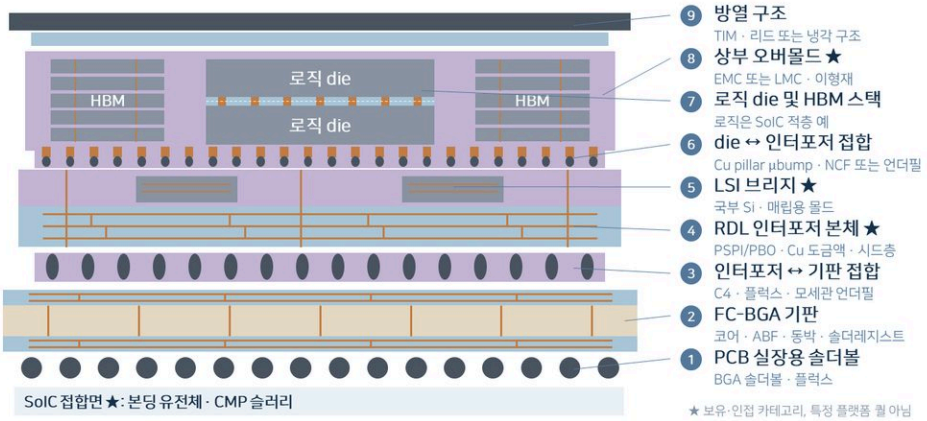
도해 F-3-06 · 팬아웃 die shift: 배선 위치와 칩 위치가 어긋난다 · 근거 S-3-46, S-3-48
몰드가 구조재가 되면 경화 수축과 열변형이 곧 리소그래피 정렬·수율의 문제가 된다.

다른 한 갈래는 기판이다. 400×500mm 패널에 Cu와 BT, 소다유리를 적층한 FOPLP 기판에서, 경화 수축을 넣지 않은 셸 요소 해석은 실측과 27.6% 어긋났다. 수축을 등가 CTE로 환산해 넣자 오차가 10.6%로 좁혀졌다 [S-3-47]. 경화 수축이 해석에서 빠지기 쉬운 별도 항목이라는 뜻이며, 이 결과는 몰드가 아니라 적층 기판에서 얻은 것이다.

CoWoS-L 패키지 한 장을 아래에서 위로 잘라 보면 어떤 소재가 어느 층에 들어가는지가 한눈에 보인다. 아래 표는 구조와 소재 항목을 층별로 대응시킨 것이다. 단면을 종이에 다시 그려 보면 복습에 도움이 된다.

CoWoS-L 한 장을 아홉 개 층으로 나눈다

SoIC로 적층한 로직과 HBM을 RDL + LSI 인터포저에 올리는 조합 예다.



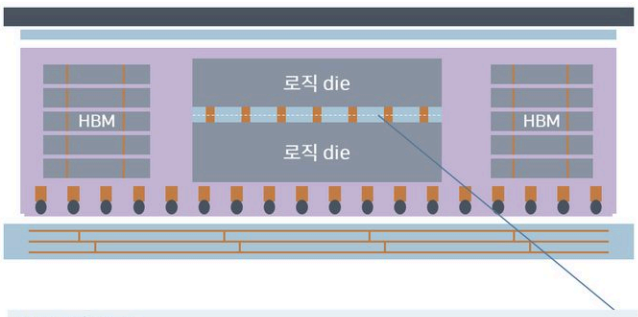
"어떤 소재가 들어가는가"는 플랫폼명이 아니라 층을 지목해야 답할 수 있다.

F-3-03A · 근거: S-3-01 · S-3-02 · 개념도, 축척 아님

도해 F-3-03A · CoWoS-L 한 장을 아홉 개 층으로 나눈다 · 근거 S-3-01, S-3-02
"어떤 소재가 들어가는가"는 플랫폼명이 아니라 층을 지목해야 답할 수 있다.

CoWoS-L 상부: 열 경로 · 몰드 · 접합면

같은 상부 구조에서도 소재의 역할과 공급 주체는 층마다 다르다.



9 방열 구조
TIM · 리드 / 열관리 소재사

8 오버몰드 ★
EMC 또는 LMC · 이형재 / 몰드 소재사

7 로직·HBM
전공정·메모리 제조 영역 / 파운드리·메모리사

6 die-인터포저 접합
Cu pillar μbump · NCF 또는 언더필 / 조립 소재사

★는 카테고리 위치다.
특정 소재사의 채택 또는 퀄을 뜻하지 않는다.

오버몰드, SoIC 접합면, 마이크로범프 갭은 서로 다른 요구를 받는 세 개의 소재 자리다.

F-3-03B · 근거: S-3-01 · S-3-02 · 개념도, 축척 아님

도해 F-3-03B · CoWoS-L 상부: 열 경로 · 몰드 · 접합면 · 근거 S-3-01, S-3-02
오버몰드, SoIC 접합면, 마이크로범프 갭은 서로 다른 요구를 받는 세 개의 소재 자리다.

도해 F-3-03C · CoWoS-L 하부: RDL · LSI · FC-BGA의 소재 · 근거 S-3-01
RDL 유전체와 브리지 매립 몰드는 새 자리다. 그 아래에는 C4, 언더필, ABF 기판, BGA가 남는다.

층(아래에서 위로)	구조 요소	그 층의 소재 항목	공급 주체 성격
1	PCB 실장용 솔더볼	BGA 솔더볼, 플럭스	솔더재 전문사
2	FC-BGA 기판	코어재, ABF 빌드업 필름, 동박, 솔더레지스트	기판사와 그 소재사
3	기판과 인터포저 사이 접합부	C4 범프, 플럭스, 모세관 언더필	조립 소재사
4	RDL 인터포저 본체	감광성 유전체(PSPI/PBO), Cu 도금액, 시드층 타깃	화학 소재사
5	인터포저 내 LSI 브리지	실리콘 브리지, 브리지 매립용 몰드	파운드리 내재 + 몰드사
6	인터포저와 die 사이 접합부	Cu pillar 마이크로범프, NCF(비전도성 필름) 또는 언더필	조립 소재사
7	로직 die 및 HBM 스택	die 내부는 전공정 영역, HBM 내부는 메모리사 영역	파운드리·메모리사
8	상부 오버몰드	EMC 또는 LMC, 이형재	몰드 소재사
9	방열 구조	TIM(열계면 소재), 리드 또는 냉각 구조	열관리 소재사

세 갈래는 실제 제품에서 함께 조합된다. 현재 대형 AI 가속기의 전형적 구성은 3단 구조다. 로직 die를 SoIC로 먼저 수직 적층해 한 덩어리로 만들고, 그 덩어리와 HBM 스택을 CoWoS-L 인터포저 위에 나란히 올린 뒤 FC-BGA 기판에 붙인다 [S-3-01][S-3-02].

이 구조에서는 층마다 다른 소재가 들어간다. SoIC 접합면에는 본딩 유전체와 CMP 슬러리가, 인터포저 배선에는 감광성 유전체와 도금액이 필요하다. die와 인터포저 사이에는 마이크로범프와 언더필이, 전체 상부에는 몰드가, 최하단에는 기판과 C4 솔더볼이 들어간다. 따라서 "이 패키지에 삼성SDI 소재가 들어가는가"라는 질문은 층을 특정해야 답이 나온다. 소재 기회를 따질 때도 반드시 층을 지목해야 한다.

제품과 플랫폼의 대응은 회사마다 공개 수준이 달라 확인 등급을 구분해 두어야 한다. 아래 표는 구조 비교와 제품 대응을 함께 정리한 것이다. 표의 출처 등급은 [공식], [보도], [분석·추정]으로 나뉜다.

플랫폼	캐리어·배선 구조	대표 레티클 규모	대표 제품 대응	확인 등급
CoWoS-S	TSV 실리콘 인터포저 전면 사용	3.3x 레티클급 주류	이전 세대 GPU, 일부 ASIC	[공식] 구조 [S-3-01]
CoWoS-R	실리콘 제거, 폴리머+Cu 다층 RDL 인터포저	대면적 유리	네트워킹·가속기 일부, OCP 가속기 모듈 신뢰성 연구 대상	[공식] 구조 [S-3-01], [학회] [S-3-45]
CoWoS-L	RDL 인터포저 + LSI 브리지 매립	2026년 5.5 레티클 양산	NVIDIA Blackwell·Rubin, AMD는 MI350에서 MI450으로 이동	[공식] 구조 [S-3-01], [분석·추정] 제품 [S-3-56][S-3-57] [S-3-74]
SoIC	범프리스 hybrid bonding, SiCN·SiO 유전체+Cu 패드	해당 없음(die 대 die)	AMD 3D V-Cache 계열, HPC용 로직 적층	[공식] 구조 [S-3-02], [보도] 피치 [S-3-18]
InFO-PoP / InFO-oS	몰드 재구성 웨이퍼 + RDL, 기판·인터포저 생략	해당 없음	모바일 AP, 네트워킹 SoC	[공식] 구조 [S-3-58]

> **소재 관점에서 보면**: 플랫폼 이름은 곧 소재 구매 항목표다. CoWoS-S가 주류일 때 소재사가 팔 수 있는 것은 C4 범프와 모세관 언더필 정도였다. CoWoS-R과 CoWoS-L로 무게중심이 옮겨 가면서 RDL 유전체와 대면적 몰드가 새로 열렸다. 삼성SDI가 보유한 EMC와 PID는 이 두 항목에 정확히 대응하고, SoIC 확대는 여기에 CMP 슬러리 수요를 더한다. 따라서 TSMC의 동향은 "TSMC가 무엇을 하느냐"보다 캐리어 재료의 변화로 읽어야 한다. 캐리어가 실리콘에서 유기물로 옮겨 갈 때 삼성SDI 품목이 늘어난다.

3.2 TSMC 로드맵, 캐파, CoPoS와 SoW, COUPE

슬라이드 35쪽 · 캐리어는 원형 웨이퍼 · 사각 패널 · 웨이퍼 규모로 갈린다

슬라이드 113쪽 · CoWoS 대형화 로드맵: 발표 연도와 목표 연도

슬라이드 114쪽 · 캐리어 웨이퍼 장수 ≠ 완성 패키지 개수

그 밖의 관련 슬라이드: 15쪽 · 28쪽 · 87쪽

관련 도해: F-1-05A die는 쪼개고, 인터포저는 이어 붙인다 · F-1-05B 인터포저 크기의 사다리 · F-1-10 Rubin: 공식 수치와 보도를 갈라 그린다 · F-3-01 레티클 배수는 칩 개수가 아니라 면적이다 · F-3-14A CoWoS 파괴 해석: 계면 박리가 먼저, 몰드 균열이 뒤따른다 · F-3-14B EMC는 인터포저 · 기판 · 스티프너와 함께 설계한다 · F-6-13A CPO는 광 변환을 ASIC 가까이 끌어들인다 · F-6-13B 광엔진의 도파로·접착제·FAU는 서로 다른 자리에 있다 · F-6-13C CPO 소재는 다섯 카테고리의 검증 항목으로 나뉜다 · F-6-13D 광통합에서는 열 안정화가 광학 특성의 일부가 된다

TSMC의 패키징 로드맵은 2026년 4월 22일부터 23일까지 산타클라라에서 열린 North America Technology Symposium에서 갱신되었다 [S-3-03]. 이때 공개된 CoWoS 확장 경로는 2027년 9.5 레티클, 2028년 14 레티클, 2029년 14 레티클 초과 순이다. 원문 표현은 "2028년 14-reticle(compute die 약 10개 + HBM 20스택)을 거쳐 2029년 14-reticle 초과 SiP(최대 24 HBM 스택)로 이어지며, 별도 트랙인 SoW(System-on-Wafer)는 40-reticle 초과 규모"다 [S-3-03][S-3-04][S-3-05]. 로드맵을 공개한 심포지엄 연도와 목표 연도를 혼동하면 안 된다. 14 레티클은 2028년이고, 14 레티클을 넘어서는 것이 2029년이다.

Tom's Hardware가 보도한 "2029년 연산 48배"는 그 기사의 표현으로 읽어야 한다 [S-3-06]. SoW 항목은 다음 단서를 붙여 읽어야 한다. TSMC 공식 발표문의 원문 표현은 "40-reticle SoW-X, 2029년"이고, "40 레티클 초과"는 SemiWiki 정리본의 표현이다. 두 표현을 구분해 두어야 2025년판의 "연산 40배"와 단위가 섞이지 않는다 [S-3-03][S-3-04].

캐파 수치는 판본과 공표 시점마다 다르므로 기관명과 날짜를 함께 확인해야 한다. 공식 확정치는 공개되지 않았고, 아래 표의 값은 모두 보도와 분석기관 전망이다. 2026년 말 값은 경제일보 판본의 약 130,000장과 Mizuho 판본의 140,000장이 서로 다르므로 한데 합쳐 읽으면 안 된다 [S-3-10][S-3-63]. Mizuho의 2027년 전망을 전한 영문 기사도 같은 값을 싣고 있으나 발행일이 확인되지 않았다. 날짜가 확인되는 판본은 2026년 7월 1일 전재본이다 [S-3-11].

수급 격차가 2026년 상반기 20%에서 연말 10%로 좁혀진다는 전망은 2026년 6월 15일 보도가 원출처다. 같은 기사의 업계 총계 추정은 TSMC 120,000~140,000장에 OSAT 50,000~60,000장을 더한 약 200,000장이다. 이 총계를 TSMC 단독 캐파와 합산하면 중복 계산이 된다 [S-3-62]. TSMC는 2026년 9월에 CoWoS 캐파가 2027년까지 연평균 80% 이상 성장한다고 밝혔다 [S-3-08].

항목	값	기준 시점·판본	출처 ID
CoWoS 월 생산능력	75,000~80,000장, CoWoS-L/S 완전 예약	2025-12 보도	S-3-09
2026년 말 캐파	120,000~130,000장	2025-12 보도 판본	S-3-09
2026년 말 캐파	약 130,000장	2026-09-14, 경제일보 판본	S-3-10
2026년 말 캐파	140,000장	2026-07-01, Mizuho 개정 전망	S-3-63
2027년 캐파	190,000~200,000장	2026-07-01, Mizuho 개정 전망	S-3-63
2028년 말 캐파	260,000장	2026-09-14, 경제일보 판본	S-3-10
수급 격차	20%에서 10%로 축소	2026-06-15 보도	S-3-62
캐파 성장률	2027년까지 연평균 80% 이상	2026-09-02, TSMC 발언	S-3-08

로드맵 연도는 숫자만 외우기보다 그 해에 오는 이유와 함께 이해해야 한다. 레티클 배수가 5.5에서 9.5로, 다시 14로 늘어나는 것은 HBM 스택을 늘려야 대역폭이, compute die를 더 붙여야 연산량이 확보되기 때문이다. 면적이 커지면 리소그래피 스티칭 정밀도, 인터포저 휨, 접합부 정렬, 기판 평탄도가 차례로 한계에 부딪힌다. 그래서 한 해에 한 단계씩 올라가는 속도가 나온다. 2029년에는 14 레티클 초과 구성과 40 레티클급 SoW가 동시에 목표로 잡혀 있다. 사각 패널과 웨이퍼 규모라는 두 대면적 해법을 병행 개발한다는 뜻이다 [S-3-03][S-3-04].

생산 거점은 대만 내 신규 AP 팹과 미국 위탁의 두 축이다. 자이(嘉義)의 AP7은 WMCM과 SoIC, CoPoS를 맡도록 계획되었고 최대 8개 동까지 확장하는 구상이다. AP7의 2단계는 장비 반입과 시험에 들어가 2026년 생산 개시를 목표로 한다 [S-3-12]. 타이난의 AP8은 2025년 말부터 순차 가동에 들어갔으며, 면적 기준으로 월 40,000에서 50,000장 규모를 수용하는 것으로 추정된다 [S-3-12]. 미국에서는 Amkor 애리조나 피오리아 공장이 InFO와 CoWoS를 턴키로 수행하는 10년 계약을 TSMC와 맺었다. 이로써 TSMC 애리조나 전공정 팹과 후공정이 같은 주 안에서 이어지는 구조가 생겼다 [S-3-17].

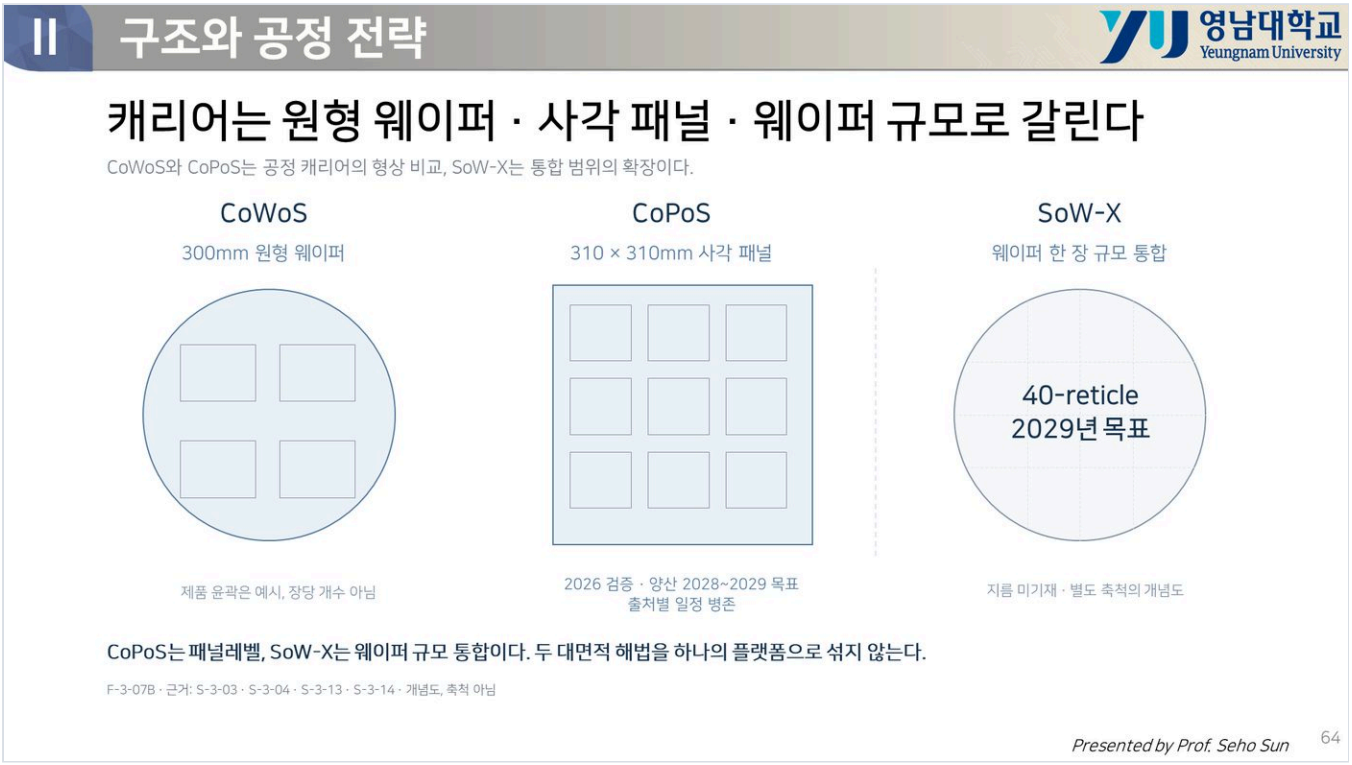
이 계약은 2024년 10월의 양해각서를 상업 계약으로 확장한 것이다. 두 회사가 향후 증설 계획을 함께 조율한다는 조항도 담았다 [S-3-17]. 전공정 팹과 후공정 공장이 인접하면 제품 사이클 타임이 줄어들므로, 미국 내 AI 반도체 생산에서 이 조합이 표준 형태가 될 가능성이 있다.

2026년 9월 2일에는 가오슝 바이푸 산업단지에 3헥타르 규모의 첨단 패키징 공급사 캠퍼스가 문을 열었다. 소재·장비사가 TSMC 엔지니어와 같은 부지에서 검증을 수행하는 곳이다. TSMC는 이로써 검증 효율이 25%에서 50%까지 개선될 것으로 기대한다고 밝혔다 [S-3-08]. 캠퍼스는 소형 클린룸과 실험실, 인력 양성 센터를 갖춘 두 개 동으로 구성되며 대만 경제부와 가오슝시가 함께 참여한다 [S-3-08]. 소재 공급사가 파운드리 엔지니어와 같은 장소에서 시료를 돌려 볼 수 있다는 점은 퀄 기간 단축의 실질적 조건이다. 해외 소재사에게도 접근 경로를 넓히는 변화로 읽힌다.

차세대 축은 패널레벨과 웨이퍼레벨 양방향 확장이다. 웨이퍼레벨 방향의 SoW는 40 레티클을 넘는 웨이퍼 규모 통합이며, SoW-X는 2029년을 목표로 한다 [S-3-03][S-3-04]. 패널레벨 방향의 CoPoS(Chip-on-Panel-on-Substrate)는 원형 300mm 웨이퍼 대신 310×310mm 사각 패널을 캐리어로 쓰는 플랫폼이다. 장비사 SCHMID는 2026년 5월 310×310mm 진행 상황과 유리 통합 검토를 공개했다 [S-3-13].

도해 F-3-07A · CoWoS 대형화 로드맵: 발표 연도와 목표 연도 · 근거 S-3-03, S-3-04, S-3-05
2027년 9.5x → 2028년 14x → 2029년 14x 초과. SoW-X는 같은 크기 축에 합치지 않는 별도 트랙이다.

II 구조와 공정 전략
영남대학교 Yeungnam University



도해 F-3-07B · 캐리어는 원형 웨이퍼 · 사각 패널 · 웨이퍼 규모로 갈린다 · 근거 S-3-03, S-3-04, S-3-13, S-3-14
CoPoS는 패널레벨, SoW-X는 웨이퍼 규모 통합이다. 두 대면적 해법을 하나의 플랫폼으로 섞지 않는다.

도해 F-3-07C · 캐리어 웨이퍼 장수 ≠ 완성 패키지 개수 · 근거 S-3-10, S-3-63
월 웨이퍼 장수에 패키지 대형화 배수를 곱해 소재 수요를 계산하면 이중 계상이 된다.

CoPoS 일정은 출처마다 다르다. 2026년을 장비·소재 검증기로 보고 2027년 파일럿, 2028년 하반기 양산으로 보는 전망과 2029년 양산으로 보는 전망이 병존한다. 따라서 "2028년에서 2029년 사이 양산 진입 목표, 2026년은 검증 단계"로 폭을 두고 보는 편이 안전하다 [S-3-13][S-3-14].

캐파 수치를 소재 물량으로 환산할 때는 단위를 조심해야 한다. 월 130,000장이라는 숫자는 CoWoS 캐리어 웨이퍼 기준이다. 캐리어 한 장에 올라가는 대면적 패키지의 수는 레티클 규모가 커질수록 줄어든다. 그래서 웨이퍼 장수와 패키지 개수는 같은 방향으로 움직이지 않는다.

총 소재량은 웨이퍼 투입량과 유효 처리 면적, 층수와 두께, 피복률, 공정 손실이 함께 결정한다. 두께와 층수와 피복률이 같다면 장당 처리 면적은 웨이퍼 면적을 넘지 못한다. 따라서 패키지가 커진다는 사실만으로 웨이퍼 한 장당 소재 사용량이 늘어난다고 단정할 수 없다. 캐파 배증과 패키지 대형화를 곱해 수요 증가를 계산하면 이중 계상이 된다 [S-3-09][S-3-10].

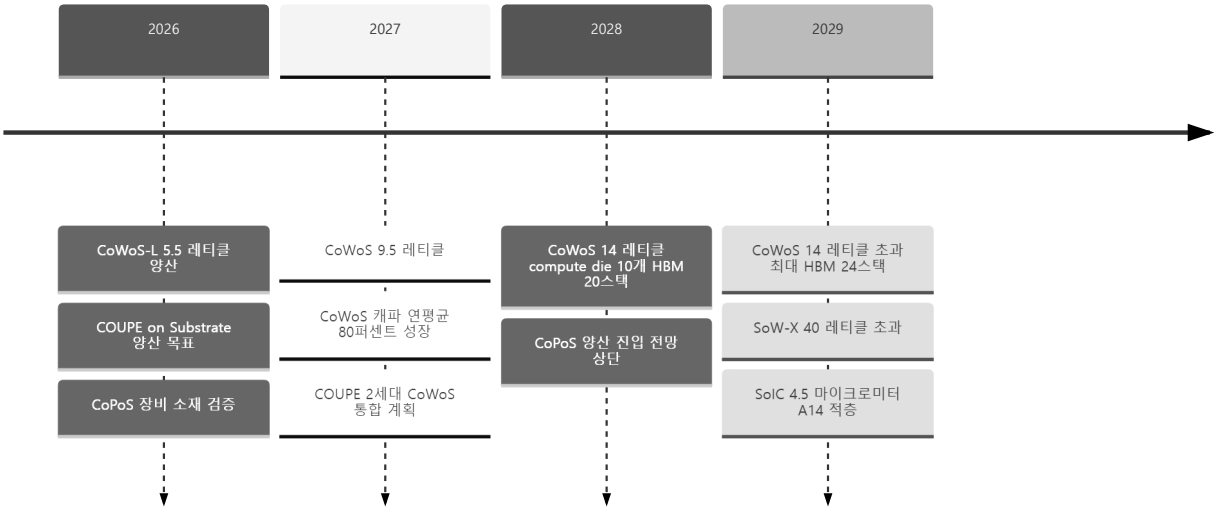
소재별로는 다음 산식이 출발점이다. 몰드 사용량은 유효 몰드 면적 곱하기 몰드 두께에서 die 점유 체적을 뺀 값에 공정 손실을 더해 구한다. RDL 유전체 사용량은 유효 배선 면적 곱하기 층수 곱하기 층당 두께를 도포 효율로 나누어 구한다. 언더필 사용량은 접합 갭 높이 곱하기 die 면적에서 범프 점유 체적을 뺀 값이다. CMP 슬러리 사용량은 연마 면적 곱하기 패스 수 곱하기 단위 면적당 유량과 시간으로 구한다.

네 식은 모두 패키지 치수가 아니라 처리 면적과 층 구조에서 출발한다. 따라서 수요를 추정하려면 레티클 배수보다 웨이퍼 투입량과 층수 변화를 먼저 확인해야 한다. 수급 격차 축소는 병목 완화를 뜻하는 동시에, 신규 소재 공급사에게 검증 여력이 생기는 구간이기도 하다 [S-3-62].

광학 통합인 COUPE(Compact Universal Photonic Engine)는 전기 배선의 한계를 광으로 우회하는 축이다. 확인된 일정은 "1세대 1.6Tbps급, 2026년 양산 진입(COUPE on Substrate는 2026년 하반기 양산 목표)"이며, "이미 양산 중"으로 보면 안 된다 [S-3-15][S-3-16]. TSMC 공식 발표문은 "COUPE on substrate beginning production in 2026"이라고 적었다. 같은 발표문은 패키지 내부에 광엔진을 통합하면 플러그러블 대비 전력

효율 2배, 지연 10분의 1을 달성한다고 밝혔다 [S-3-03]. 2세대 6.4Tbps급 CoWoS 직접 통합은 2027년 계획이다. 1.6T와 6.4T라는 세대별 수치는 TSMC 1차 발표문이 아니라 로드맵 분석·보도에 근거한 값으로 읽어야 한다 [S-3-15][S-3-16].

TSMC 패키징 로드맵 발표 기준 2026.4 North America Technology Symposium

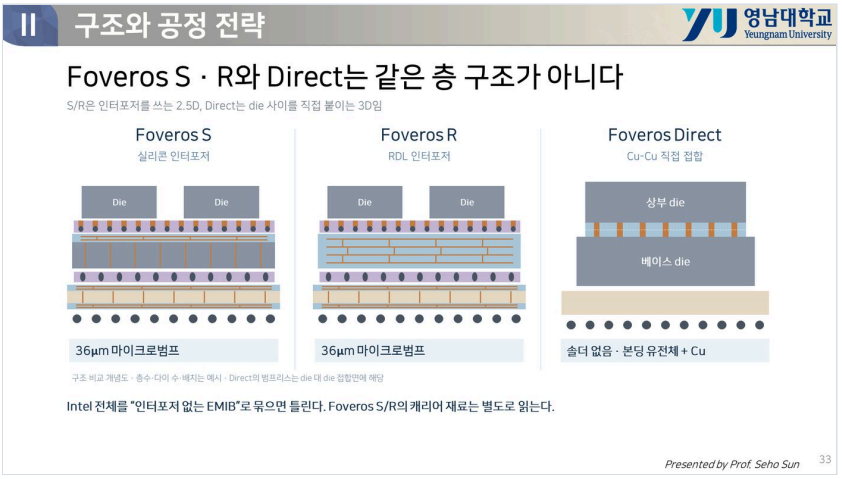


> **소재 관점에서 보면**: 레티클 수가 늘어난다는 것은 패키지 면적이 늘어난다는 뜻이다. 면적이 늘면 CTE 부정합이 만드는 휨 응력이 제곱에 가깝게 커진다. 그래서 14 레티클 로드맵은 저팽창·저응력 몰드 컴파운드와 언더필의 요구 수준이 한 단계 올라간다는 신호다. 실제로 ECTC 2026에서 TSMC는 EMC와 실리콘 die 계면의 박리가 CoWoS 신뢰성의 지배적 실패 모드임을 파괴역학 모델로 제시했다. 인터포저 강성이 이를 완화한다는 보고도 함께 나왔다 [S-3-45].

CoPoS의 310×310mm 패널화는 대면적 몰드와 패널용 CMP라는 신규 카테고리를 연다. 같은 학회에서 Resonac이 발표한 유리 패널 기반 다마신 유기 인터포저의 L/S 2/2μm CMP 평탄화가 그 예다 [S-3-45]. 삼성SDI 관점에서 CoPoS와 FOPLP는 아직 POR이 굳지 않은 영역이어서 진입 확률이 상대적으로 높은 구간이다.

3.3 Intel: EMIB와 Foveros의 두 축

슬라이드 32쪽 · EMIB와 EMIB-T: 실리콘 브리지는 기판 안에 있다



슬라이드 33쪽 · Foveros S · R와 Direct는 같은 층 구조가 아니다

그 밖의 관련 슬라이드: 13쪽 · 79쪽

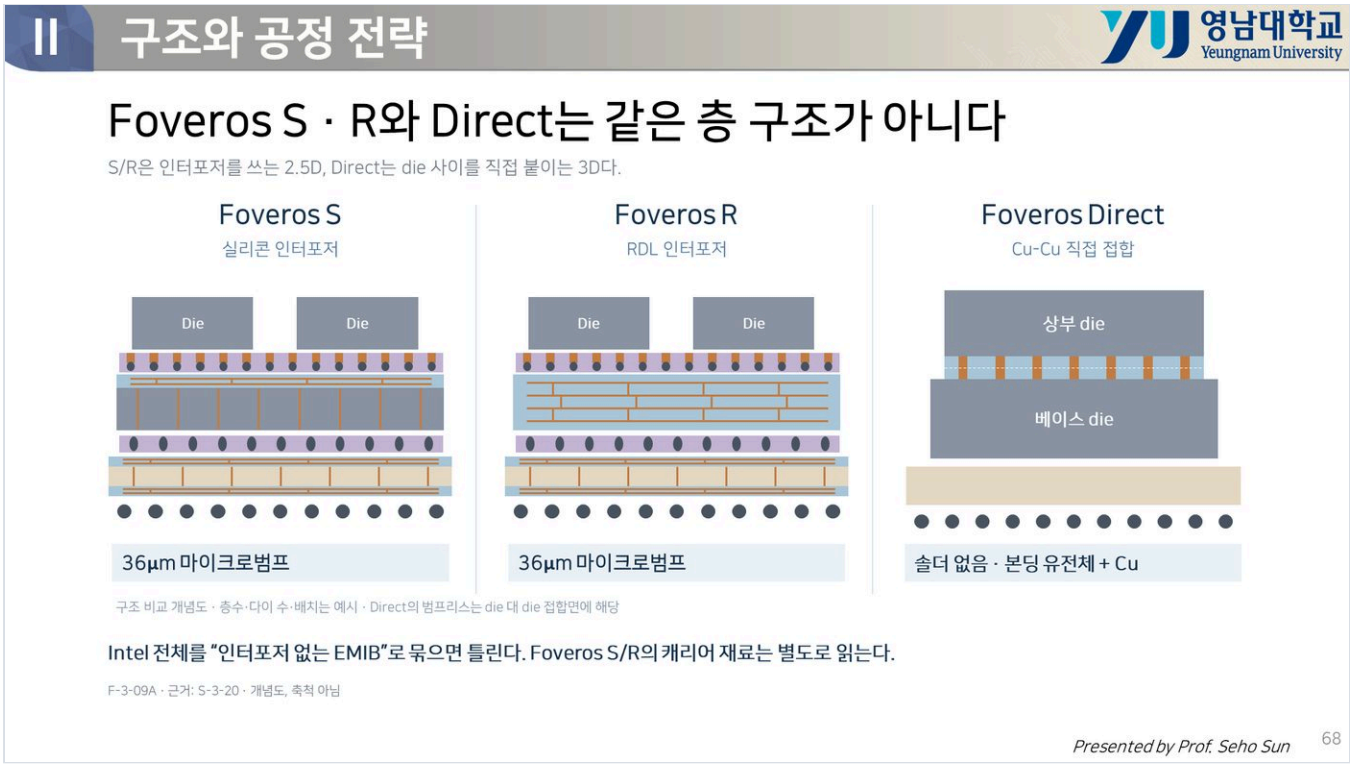
관련 도해: F-1-03 필요한 블록에만 선단 노드를 쓴다 · F-1-12A Lau 분류 ①: die를 받치는 중간층 · F-1-12B Lau 분류 ②: 능동 die와 직접 적층 · F-2-07 중간층 4종: 실리콘에 어디까지 맡길 것인가 · F-4-10A 접합 피치는 제품·목표·실증을 나누어 놓는다 · F-4-10B 부등호 목표와 연구 실증은 별도로 읽는다 · F-6-06A 유리 코어·유리 인터포저·캐리어는 다른 부품이다 · F-6-07A TGV와 빌드업을 차례로 만들어 유리 코어 기판을 완성한다 · F-6-07B TGV 측벽과 균열은 유리·Cu·열사이클의 조합으로 읽는다 · F-6-07C 유리 원판부터 빌드업까지 공급 역할이 나뉜다

Intel의 패키징 전략은 처음부터 실리콘 인터포저를 통째로 쓰지 않는 방향이었다. EMIB(Embedded Multi-die Interconnect Bridge)는 유기 기판 안에 작은 실리콘 브리지를 묻어, 배선 밀도가 필요한 die 사이 구간만 실리콘으로 처리한다. Intel은 EMIB를 업계 최초의 기판 매립 브리지 기반 2.5D 인터커넥트로 소개한다 [S-3-20]. 후속 세대인 EMIB-T는 브리지에 TSV를 추가해 전력 전달과 신호 무결성을 개선한다. EMIB-T는 120×180mm 패키지와 38개 이상의 브리지, 12 레티클 이상의 die 면적을 지원한다고 보도되었다 [S-3-22] [S-3-23]. 일정은 2026년 중 양산 팹에 전개되어 2026년과 2027년에 걸쳐 램프하는 것이다 [S-3-22].

도해 F-3-08A · EMIB와 EMIB-T: 실리콘 브리지는 기판 안에 있다 · 근거 S-3-20, S-3-22, S-3-23
EMIB의 브리지는 유기 기판 빌드업층에 매립된다. CoWoS-L의 RDL 인터포저 내 LSI와 위치가 다르다.

도해 F-3-08B · EMIB의 소재 과제는 브리지 주변으로 모인다 · 근거 S-3-20, S-3-22, S-3-23
전면 인터포저를 줄인 만큼 기판 정밀도, 브리지 표면, 언더필의 역할이 커진다.

수직 축은 Foveros 계열이다. Foveros S와 R은 실리콘 인터포저나 RDL을 쓰는 2.5D 배치이며 36μm 마이크로범프를 사용한다. Foveros Direct 3D는 솔더 마이크로범프를 없애고 구리 대 구리 직접 접합으로 10μm 미만 피치를 구현한다 [S-3-20]. EMIB와 Foveros를 결합한 구성은 EMIB 3.5D라고 부른다 [S-3-20].



도해 F-3-09A · Foveros S · R와 Direct는 같은 층 구조가 아니다 · 근거 S-3-20

Intel 전체를 "인터포저 없는 EMIB"로 묶으면 틀린다. Foveros S/R의 캐리어 재료는 별도로 읽는다.

도해 F-3-09B · 수직 Foveros Direct와 수평 EMIB를 조합한다 · 근거 S-3-20, S-3-21, S-3-72

die를 수직으로 먼저 묶고, 그 스택을 기판 위에서 옆으로 연결한다. 두 통합 축은 함께 쓰인다.

도해 F-3-09C · Foveros Direct 피치는 출처별로 따로 읽는다 · 근거 S-3-20, S-3-21, S-3-19
10μm 미만 · 5μm 미만 · 현행 9μm/차세대 3μm를 하나의 확정 사양으로 합치지 않는다.

Foveros Direct의 피치는 공개 채널마다 수치가 다르다. Intel 공식 기술 브리프는 "sub-10μm pitch"와 "기존 마이크로범프 대비 최대 10배 미세한 인터커넥트 밀도"라고만 적었다. 2026년 3월 공개된 로드맵 문서는 18A-PT 노드가 상단 die와 5μm 미만 hybrid bonding 피치로 연결된다고 밝혔다 [S-3-21]. 기술 분석 매체는 현행 세대를 9μm, 차세대를 3μm로 정리한다 [S-3-19]. 따라서 피치는 "공식 문서 기준 10μm 미만, 18A-PT 기준 5μm 미만, 매체 분석 기준 현행 9μm"처럼 출처별로 나누어 보아야 정확하다.

양산 상태의 증거는 제품에 있다. 2026년 3월 3일 MWC에서 공개된 Clearwater Forest는 Intel의 첫 18A 서버 CPU다. 12개 컴퓨트 칩렛에 288개의 Darkmont E-코어를 담았다. 18A 컴퓨트 타일을 Intel 3 베이스 die 위에 Foveros Direct 3D로 적층했고, 측면 통합은 EMIB로 처리했다 [S-3-21]. 이 제품은 2026년 6월 1일 Xeon 6+ 제품군으로 정식 출시되었다. 이로써 Foveros Direct는 시연 단계를 지나 양산 제품에 실린 기술이 되었다 [S-3-72].

다만 Clearwater Forest는 Intel 내부 제품 사례이며, 외부 파운드리 고객이 Foveros Direct로 양산한다는 실명 사례는 확인되지 않는다 [S-3-25]. 로드맵상으로 Foveros-B와 Foveros-R은 2027년 대량생산을 목표로 한다 [S-3-25]. Intel은 EMIB-T와 Foveros 3D를 결합해 12 레티클 규모까지 확장하는 구상도 제시했다. 16개의 컴퓨트 die와 24개의 HBM5 모듈을 한 패키지에 담는 구상이다 [S-3-23].

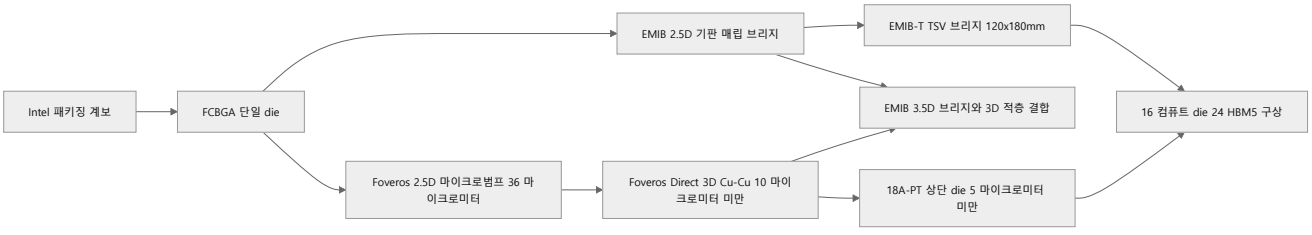
Intel이 실리콘 인터포저 대신 기판 매립 브리지를 택한 이유는 비용과 수율 구조에 있다. 실리콘 인터포저는 패키지 전체 면적만큼 실리콘을 소모하므로, 면적이 커질수록 원가가 선형 이상으로 늘고 TSV 공정의 수율 손실도 커진다. EMIB는 고밀도 배선이 실제로 필요한 die 사이 경계 구간에만 수 밀리미터 크기의 브리지를 묻으므로 실리콘 소모량이 수십분의 일 수준으로 줄어든다. 대신 브리지를 기판 빌드업층 안에 정확히 묻고 그 위에 미세 범프를 정렬해야 하므로 기판의 정밀도와 평탄도 요구가 올라간다. 브리지와 유기 빌드업 재료 사이의 CTE 부정합은 언더필이 흡수해야 한다 [S-3-20]. 이 구조적 선택 때문에 Intel 생태계에서는 기판사와 언더필 공급사의 비중이 크다.

공개된 고객 구도는 파운드리 웨이퍼 고객과 패키징 전용 고객으로 나뉜다. 웨이퍼 쪽에서는 OpenAI가 18A와 14A로 자체 가속기를 개발하고, Microsoft와 Micron, Marvell이 18A 프로젝트를 진행하는 것으로 보도되었다 [S-3-25]. 패키징 쪽에서는 Google과 Amazon이 다중 die AI 시스템을 위해 EMIB와 EMIB-T에 관심을 보인다는 보도가 있다. 그러나 세 회사 모두 확인을 거부했으므로 [보도, 미확인] 단계의 정보다 [S-3-25]. Intel 최고재무책임자가 "연간 수십억 달러 규모의 패키징 계약 체결이 임박했다"고 말한 것도 고객명 없는 발언이다 [S-3-25].

용량 측면에서 Intel은 2025년 12월 EMIB 조립을 Amkor 송도 공장에 처음 외주하기로 했고, 포르투갈과 애리조나로 확장하는 구도다. Amkor 애리조나는 2027년 중반 완공, 2028년 초 생산 개시, 1단계 월 25,000장 규모다 [S-3-24][S-3-60]. 유리기판은 2026년 1월 NEPCON Japan에서 EMIB와 결합한 샘플을 처음 공개했다. 2025년 8월에는 유리기판 기술 라이선싱 개시가 보도되었다 [S-3-27]. Intel은 자사 뉴스룸에서 미국 내 첨단 패키징 생산 기반을 차세대 AI 반도체의 조건으로 제시하고, 뉴멕시코 리오랜초 팹을 조립 거점으로 소개한다 [S-3-26].

Intel의 위치를 정확히 평가하려면 기술 성숙도와 사업 성과를 나누어 보아야 한다. 기술 면에서 Intel은 hybrid bonding을 양산 서버 CPU에 먼저 실은 회사다. EMIB는 2.5D 브리지 방식의 원형을 만든 기술이므로 성숙도 자체는 경쟁사에 뒤지지 않는다. 그러나 외부 고객의 패키징 물량은 공개 확정 사례가 아직 제한적이다. Google과 Amazon 건은 보도 단계에 머물러 있고 회사들은 확인을 거부했다 [S-3-25].

여기에 EMIB 조립 일부를 Amkor로 외주하고, 애리조나 신규 캠퍼스는 2028년 초에야 생산에 들어간다 [S-3-24][S-3-60]. 따라서 Intel 쪽 소재 수요가 대량으로 발생하는 시점은 TSMC보다 뒤에 온다고 보는 편이 합리적이다. "기술은 준비되었고 물량은 2027년 이후"라는 구분을 놓치면 Intel 쪽 소재 수요를 과대평가하게 된다.



항목	값	기준 시점	출처 ID
Foveros 2.5D 마이크로범프 피치	36μm	2025-11 기술 브리프	S-3-20
Foveros Direct 3D 피치(공식 표현)	10μm 미만	2025-11 기술 브리프	S-3-20
18A-PT 상단 die 접합 피치	5μm 미만	2026년 로드맵 공개	S-3-21
Foveros Direct 세대 구분(매체 분석)	현행 9μm, 차세대 3μm	2026-09-04	S-3-19
EMIB-T 최대 패키지	120×180mm, 브리지 38개 이상, 12 레티클 이상 die	2026년 보도	S-3-22, S-3-23
Amkor 애리조나 1단계 규모	월 25,000장, 2028년 초 생산	2026-03 보도	S-3-24, S-3-60

> **소재 관점에서 보면**: Intel의 소재 수요는 플랫폼별로 나누어 보아야 한다. EMIB 경로는 대면적 실리콘 인터포저 대신 국부 브리지를 쓰므로 기판과 브리지 주변 소재의 비중이 크다. 반면 Foveros S는 실리콘 인터포저를, Foveros R은 RDL 인터포저를 쓴다 [S-3-20]. 따라서 EMIB의 특징을 Intel 전체의 공통 구조로 옮기면 인터포저와 RDL 소재의 수요 구조를 잘못 읽게 된다. EMIB-T가 120×180mm 패키지를 지원한다는 것은 그 크기의 유기 기판이 휘지 않아야 한다는 뜻이다. ABF 빌드업 필름과 언더필, 기판용 보강재의 요구 물성이 함께 올라간다.

Foveros Direct의 양산 진입으로 hybrid bonding은 메모리보다 로직에서 먼저 대량으로 자리 잡았다. 그만큼 CMP 슬러리와 접합면 세정 케미컬의 수요도 로직 쪽에서 먼저 발생한다. Intel이 EMIB 조립을 Amkor에 외주한 것은 구매 주체가 Intel에서 OSAT으로 일부 이동한다는 뜻이다. 따라서 진입 경로를 설계할 때 OSAT 채널을 함께 보아야 한다.

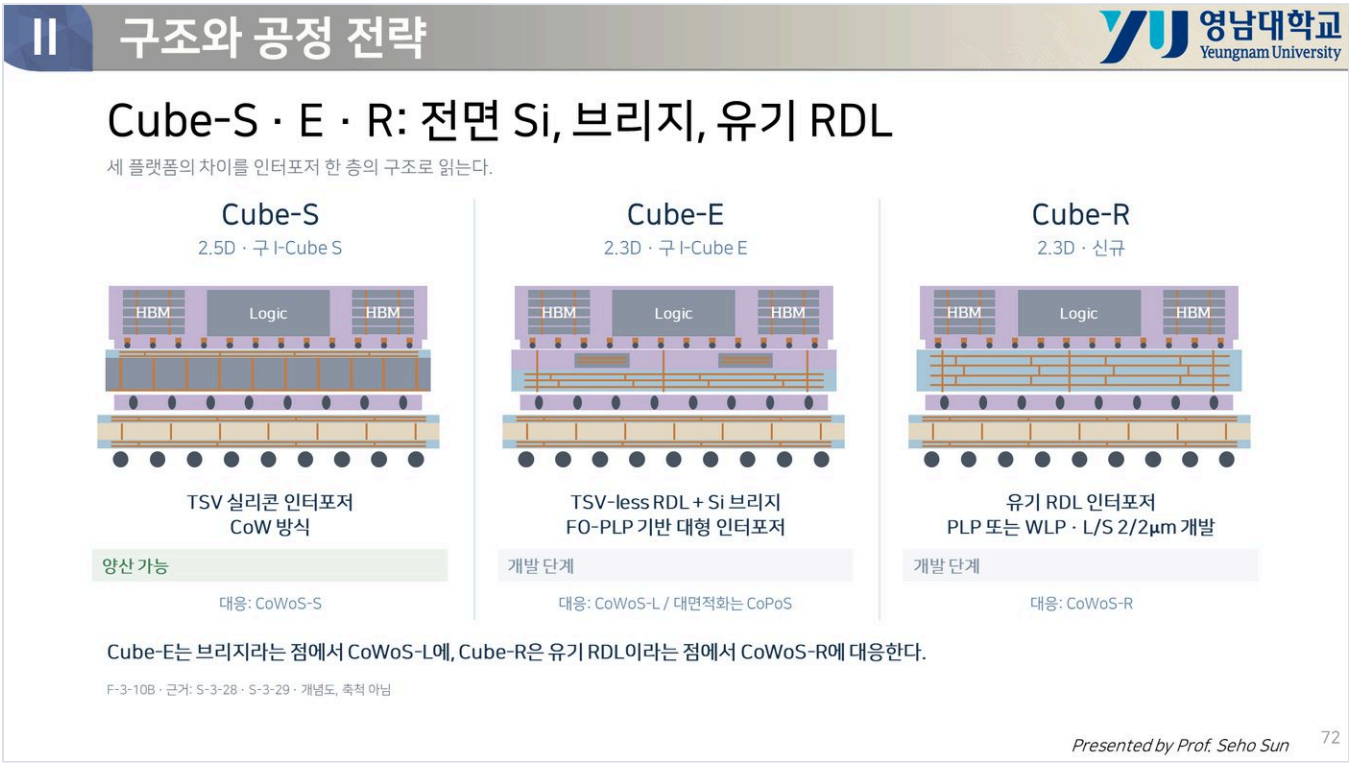
3.4 삼성 파운드리: Cube 신구 명칭과 SAINT

슬라이드 34쪽 · 삼성 Cube 5종: 수평 캐리어와 수직 접합을 나눈다

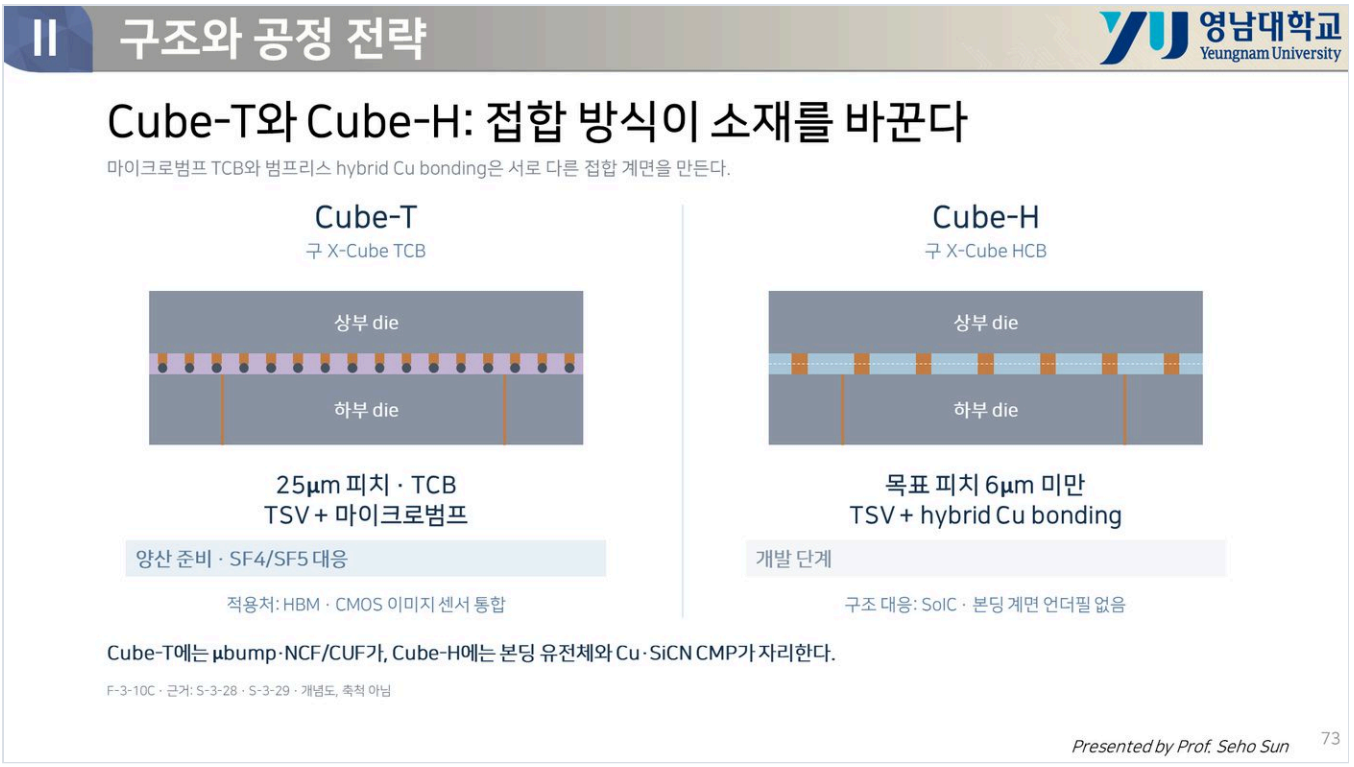
관련 도해: F-3-05 InFO-PoP와 InFO-oS: 팬아웃이어도 기판은 다르다 · F-4-10A 접합 피치는 제품·목표·실증을 나누어 놓는다 · F-4-10B 부등호 목표와 연구 실증은 별도로 읽는다

삼성 파운드리 플랫폼을 이해하려면 명칭 체계부터 정리해야 한다. 삼성 반도체 공식 사이트는 2025년 이후 파운드리 패키징 플랫폼을 Cube 체계로 재편했다 [S-3-28]. 과거 문헌과 보도에 남은 I-Cube와 X-Cube 표기를 현행 명칭으로 환산하지 못하면 같은 기술을 서로 다른 기술로 착각하게 된다. SAINT는 Cube 체계와 별개인 3D 적층 브랜드이고, H-Cube는 기판 하이브리드 방식의 또 다른 트랙이므로 Cube 계열과 섞어 읽으면 안 된다. 아래 대응표가 신구 명칭 환산의 기준이다.

도해 F-3-10A · 삼성 Cube 5종: 수평 캐리어와 수직 접합을 나눈다 · 근거 S-3-28, S-3-29
수평 통합은 S·E·R, 수직 통합은 T·H다. 구조 대응 관계가 양산 상태의 동등함을 뜻하지는 않는다.



도해 F-3-10B · Cube-S · E · R: 전면 Si, 브리지, 유기 RDL · 근거 S-3-28, S-3-29
Cube-E는 브리지라는 점에서 CoWoS-L에, Cube-R은 유기 RDL이라는 점에서 CoWoS-R에 대응한다.

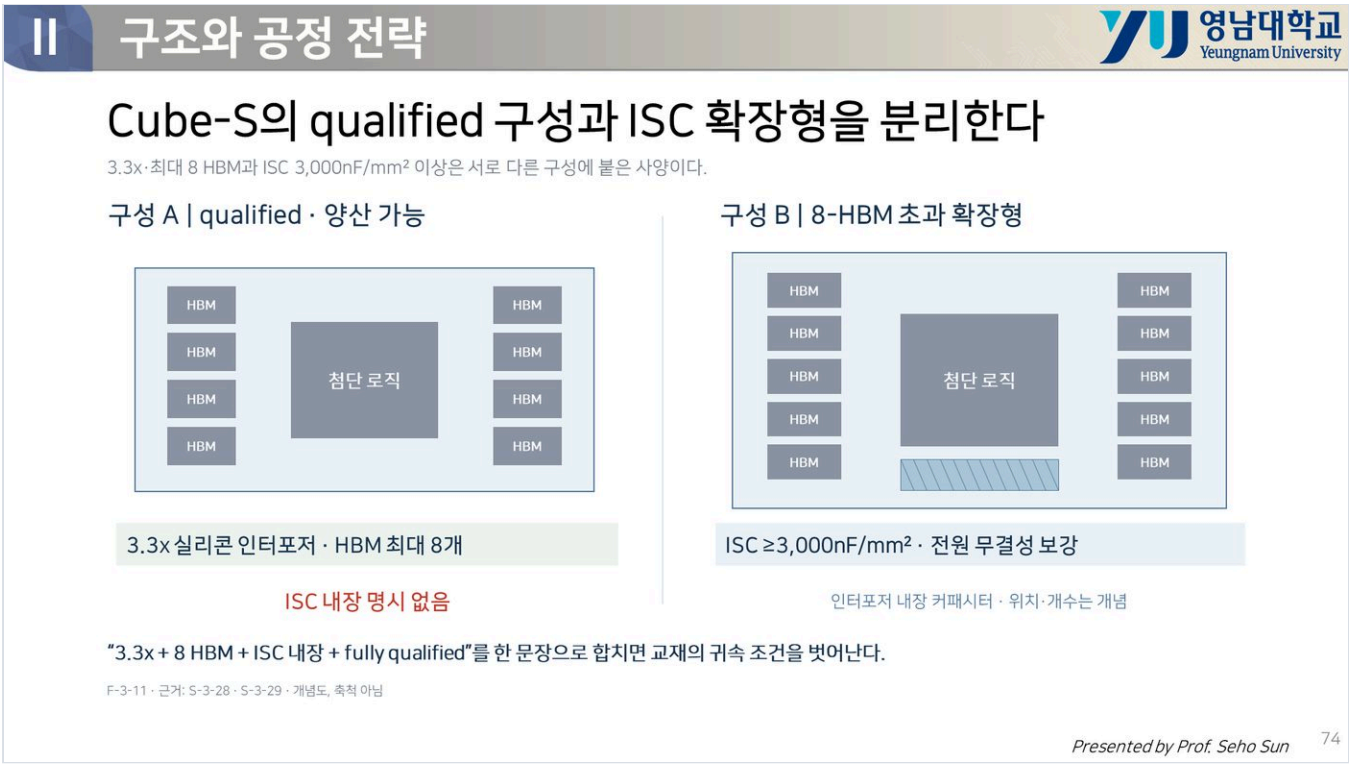


도해 F-3-10C · Cube-T와 Cube-H: 접합 방식이 소재를 바꾼다 · 근거 S-3-28, S-3-29
Cube-T에는 μbump·NCF/CUF가, Cube-H에는 본딩 유전체와 Cu·SiCN CMP가 자리한다.

신명명	분류	구명칭	구조 요약
Cube-S	2.5D	I-Cube S	TSV 실리콘 인터포저, CoW 방식
Cube-E	2.3D	I-Cube E	미세패턴 실리콘 브리지 매립 + TSV-less RDL 인터포저, FO-PLP 기반 대형 인터포저
Cube-R	2.3D	신규	유기 RDL 인터포저(PLP 또는 WLP), L/S 2/2μm 개발
Cube-T	3D	X-Cube TCB	TSV + 열압착본딩, μbump 25μm 피치
Cube-H	3D	X-Cube HCB	TSV + hybrid Cu bonding, 범프리스 초미세피치
SAINT-S/L/D	3D 적층 브랜드	별도 트랙	S는 로직 위 SRAM, L은 로직 위 로직, D는 로직 위 DRAM
H-Cube	2.5D 기판 확장	별도 트랙	fine-pitch 기판 + 하부 HDI 기판 2단 하이브리드 [S-3-31][S-3-32]

Cube-S 수치는 어느 구성에 붙은 값인지 주의해서 읽어야 한다. 삼성 공식 페이지는 한 구성을 "fully qualified and available for production"이라고 적었다. 그 구성은 3.3x 실리콘 인터포저에 첨단 로직과 최대 8개의 HBM 모듈을 통합한 2.5D 패키지다 [S-3-28].

반면 ISC(Integrated Stack Capacitor) 3,000nF/mm² 이상이라는 사양은 원문에서 HBM 8개 초과를 지원하는 확장 인터포저 기반의 더 큰 2.5D 패키지에 부여되었다. qualified된 3.3x·8-HBM 구성에 ISC가 내장된다고 명시된 바는 없다 [S-3-28][S-3-29]. 따라서 "3.3x 레티클 + HBM 8개 fully qualified"와 "ISC 3,000nF/mm² 이상"을 하나로 합치면 사실이 아닌 주장이 된다. 두 사양은 반드시 분리해서 읽어야 한다.

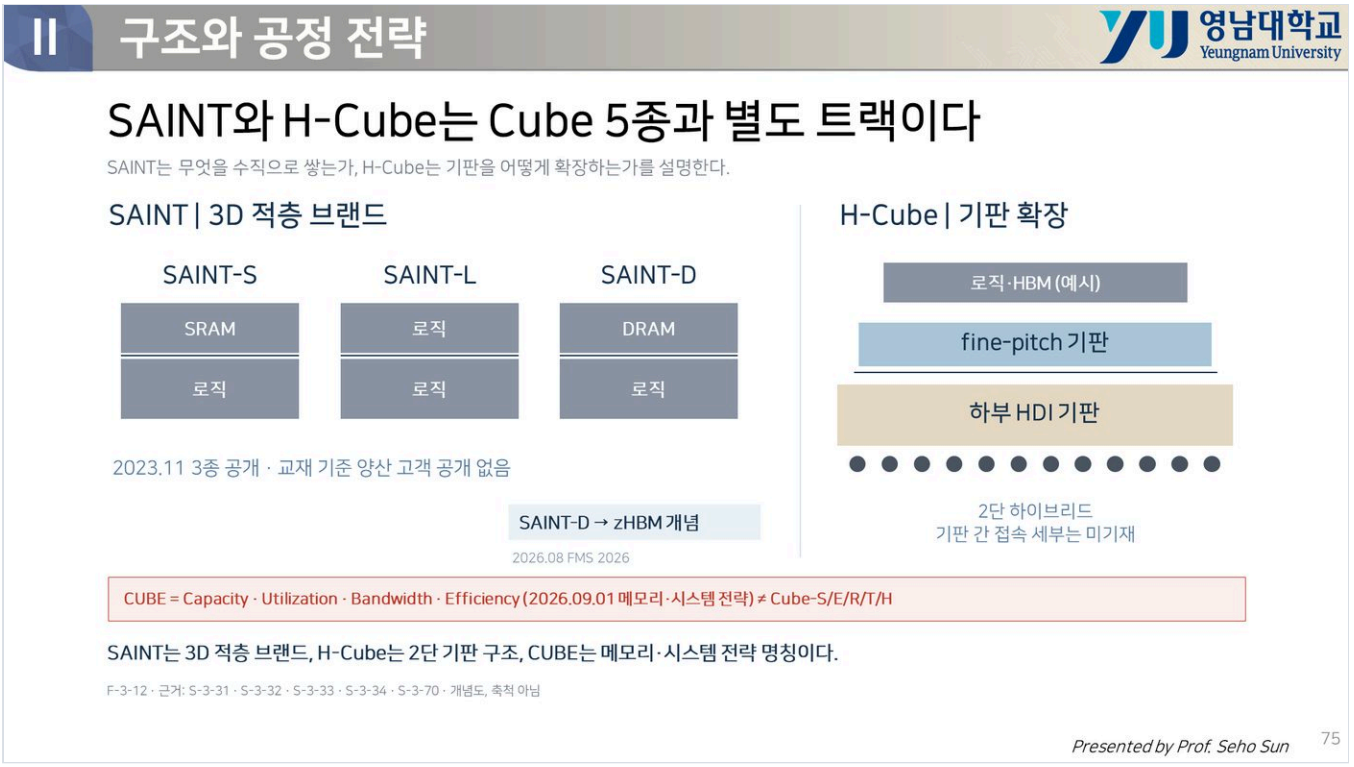


도해 F-3-11 · Cube-S의 qualified 구성과 ISC 확장형을 분리한다 · 근거 S-3-28, S-3-29
"3.3x + 8 HBM + ISC 내장 + fully qualified"를 한 문장으로 합치면 교재의 귀속 조건을 벗어난다.

ISC는 인터포저 안에 커패시터를 내장해 전원 무결성을 보강하는 구조다. 소비전력이 큰 대형 패키지일수록 필요성이 커지므로, 원문이 이 사양을 확장형 패키지에 붙인 것도 그 맥락으로 읽는 것이 자연스럽다. 이런 귀속 오류는 원문의 두 문장을 요약하는 과정에서 흔히 생긴다. 공식 페이지를 읽을 때 원문 문구와 요약을 구분해 두면 이런 오류를 줄일 수 있다.

나머지 플랫폼의 상태는 공식 페이지 문구를 기준으로 읽는다. Cube-E는 비용 효율을 내세운 2.3D로 개발 단계이며, HBM 12개급 확장 계획이 보도되었다. Cube-R은 유기 RDL 인터포저에서 L/S 2/2μm를 개발 중이다 [S-3-28]. Cube-T는 마이크로범프 CoW와 TSV 기술로 양산 준비가 끝났다고 기술되며, HBM과 CMOS 이미지 센서 통합을 적용처로 든다 [S-3-28]. Cube-H는 6μm 미만 피치를 목표로 개발 중이고, 테크블로그는 4μm 피치 hybrid copper bonding을 2026년에 가능하게 한다고 적었다 [S-3-28][S-3-30].

2026년 5월 28일 SAFE Forum 2026에서 Synopsys는 3DIC Compiler 멀티피직스 사인오프 검증 결과를 발표했다. 검증 대상은 삼성 파운드리의 HCB 3D 테스트칩이었으며, 설계 생태계 준비가 진행 중이라는 뜻이다 [S-3-38]. 그러나 Cube-T와 Cube-H 모두 2026년 9월 19일 기준으로 공개된 양산 고객은 확인되지 않는다 [S-3-28]. SAINT 계열도 2023년 11월 3종 구성이 공개된 이후 양산 고객 공개가 없다 [S-3-33]. 가장 최근 진전은 2026년 8월 FMS 2026에서 공개된 SAINT-D의 진화형 zHBM 개념이다 [S-3-34].



도해 F-3-12 · SAINT와 H-Cube는 Cube 5종과 별도 트랙이다 · 근거 S-3-31, S-3-32, S-3-33, S-3-34, S-3-70
SAINT는 3D 적층 브랜드, H-Cube는 2단 기판 구조, CUBE는 메모리·시스템 전략 명칭이다.

삼성 라인업을 TSMC와 나란히 놓으면 대응 관계가 선명해진다. Cube-S는 CoWoS-S에 대응한다. Cube-E는 브리지를 쓴다는 점에서 CoWoS-L에, Cube-R은 유기 RDL 인터포저라는 점에서 CoWoS-R에 대응한다. Cube-H는 SoIC에, FO-PLP 기반 대면적 인터포저는 CoPoS에 대응한다. 삼성은 TSMC가 가진 갈래를 거의 빠짐없이 대응 품목으로 준비해 둔 셈이다.

차이는 성숙도와 고객에 있다. TSMC 쪽은 CoWoS-L이 이미 NVIDIA와 AMD 물량으로 돌아가지만, 삼성 쪽은 Cube-S를 제외하면 공개된 양산 고객이 없다 [S-3-01][S-3-28]. Cube-S의 유일한 공개 외부 고객은 일본 Preferred Networks다. 2024년 7월 9일 삼성 뉴스룸이 2nm GAA 공정과 I-Cube S(현 Cube-S)를 묶은 턴키 공급 계약을 발표했고, 가온칩스가 설계 협력사로 참여했다 [S-3-64]. Exynos W1000의 FO-PLP는 내부 제품 적용 사례이므로 외부 고객 명단에 넣지 않는다. 그 밖의 외부 FOPLP 실명 고객은 확인되지 않는다 [S-3-35].

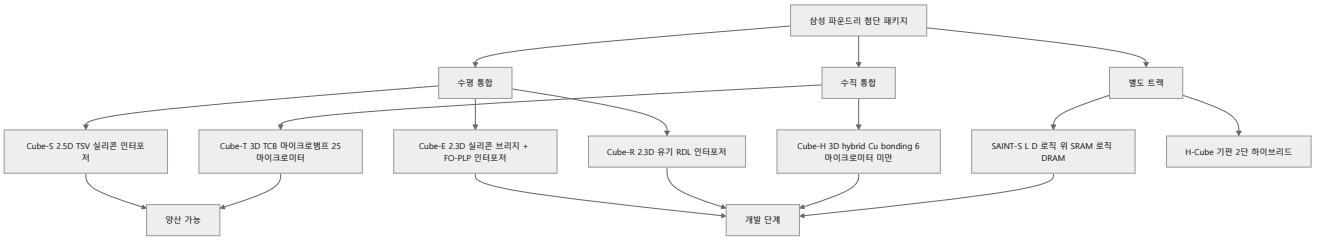
팬아웃 축에서 삼성은 웨어러블 AP인 Exynos W1000에 FO-PLP를 적용했다. 2nm 공정 기반 플래그십 AP인 Exynos 2600에는 FOWLP와 Heat Path Block을 결합한 FOWLP-HPB를 적용했다. 공식 기술 페이지는 팬아웃의 일반 효과로 플립칩 대비 최대 40% 소형화, 기판 제거에 따른 두께 최대 30% 감소, 열성능 최대 15% 개선을 제시한다 [S-3-35]. 조직 연혁은 2022년 12월 AVP사업팀 신설과 2024년 조직 개편에 따른 패키징 기능 재배치로 요약된다. 보도된 인원 규모는 삼성의 공식 확인이 없는 수치다.

설비 측면에서는 온양캠퍼스에 6조원을 투입해 38만 9,825㎡ 부지에 HBM용 첨단 패키징 팹을 짓는 계획이 진행 중이다. 2026년 8월 19일 충남도 도시계획위원회 의결을 거쳐 9월 착공 예정으로 보도되었다 [S-3-36]. 2026년 7월 22일 아산시와의 협약 보도는 착공을 10월로, 클린룸을 31,000㎡로, 양산 목표를 2029년 5월로 적었다 [S-3-37]. 따라서 현재 확인되는 범위는 "2026년 하반기 착공 예정(9월설과 10월설 병존, 충남도 도시계획위 의결 2026년 8월 19일), 착공식 개최는 2026년 9월 19일 기준 미확인, 양산 목표 2029년(5월 보도)"이다.

2026년 6월에는 광주를 첨단 패키징 신규 거점 후보로 지목한 발표도 있었다 [S-3-39]. 국내 캐파가 천안과 온양, 광주로 넓어지는 구도는 국내 후공정 소재 수요가 구조적으로 늘어난다는 뜻이다. 다만 착공 보도가 여러 차례 바뀌었으므로 수요 시점은 양산 목표 시점을 기준으로 잡는 편이 안전하다.

항목	값	기준 시점	출처 ID
Cube-S qualified 구성	3.3x 실리콘 인터포저 + HBM 최대 8개	2026-09-19 공식 페이지 확인	S-3-28
ISC 사양	3,000nF/mm² 이상, HBM 8개 초과 확장 인터포저 패키지	2026-09-19 공식 페이지 확인	S-3-28, S-3-29
Cube-T 마이크로범프 피치	25μm, SF4/SF5 대응	공식 페이지·3DInCites	S-3-28, S-3-29
Cube-H 목표 피치	6μm 미만 개발 중(테크블로그는 4μm·2026년, 전문 미확인)	2026-09-19 확인	S-3-28, S-3-30
Cube-R RDL 선폭	L/S 2/2μm 개발 중	2026-09-19 확인	S-3-28
Exynos 2600 FOWLP-HPB 효과	열저항 최대 16% 감소, 칩 온도 평균 30% 감소	2026년 초 출시	S-3-35
온양 신규 팹	6조원, 38만 9,825㎡, 클린룸 31,000㎡	2026-07~08 보도	S-3-36, S-3-37
온양 양산 목표	2029년 5월	2026-07-22 보도	S-3-37

삼성 축에서 소재 회사가 읽어야 할 신호는 세 가지다. 첫째, 유기 인터포저를 쓰는 Cube-E와 Cube-R이 개발 단계를 벗어나는 시점이 PID 물량의 시작점이다. 둘째, Cube-H가 4μm 피치를 실제로 달성하고 고객을 확보하는 시점이 CMP 슬러리 대체 수요의 시작점이다. SAFE Forum 2026의 HCB 테스트칩 사인오프 검증으로 그 준비는 설계 도구 단계까지 내려왔다 [S-3-38]. 셋째, 온양 신규 팹의 착공과 2029년 5월 양산 목표는 HBM 후공정 소재 수요가 물리적으로 늘어나는 시점을 알려 주는 지표다 [S-3-36][S-3-37]. 세 신호 모두 확정 시점이 아니므로, 언제 열리는지를 단정하지 말고 신호별로 추적해야 한다.



소재 관점에서 보면: 삼성 라인업은 실리콘 인터포저와 유기 인터포저, 패널레벨을 모두 끌고 가므로 소재 항목이 가장 넓게 열려 있다. Cube-E와 Cube-R이 양산으로 넘어가면 PID 계열 감광성 유전체와 패널용 대면적 몰드가 동시에 필요해진다. Cube-H가 진행되면 범프와 언더필 대신 CMP 슬러리와 세정 케미컬이 들어간다. 국내 고객이라는 점에서 퀄 진입의 물리적 거리가 짧고, 온양 신규 팹은 그 수요가 실제 물량으로 바뀌는 시점을 알려 준다. 다만 Cube-E, Cube-R, Cube-H, SAINT 모두 공개 양산 고객이 없다. 소재 수요의 시점이 아직 확정되지 않았다는 뜻이므로 기대를 과장하지 않아야 한다.

3.5 OSAT과 기판사: 조립 주체와 기판 공급망

관련 슬라이드: 30쪽

관련 도해: F-3-03A CoWoS-L 한 장을 아홉 개 층으로 나눈다 · F-3-03B CoWoS-L 상부: 열 경로 · 몰드 · 접합면 · F-3-03C CoWoS-L 하부: RDL · LSI · FC-BGA의 소재 · F-4-12A HBM은 서로 다른 웨이퍼 경로가 만나는 제품이다 · F-4-12B 소재 승인 경로는 세 구성으로 나뉜다 · F-4-12C base die 제조 경로가 회사별로 다르다 · F-6-04A ABF는 코어가 아니라 빌드업층의 절연 필름이다 · F-6-04B ABF 한 층은 라미네이션부터 도금까지 반복된다 · F-6-07A TGV와 빌드업을 차례로 만들어 유리 코어 기판을 완성한다 · F-6-07B TGV 측벽과 균열은 유리·Cu·열사이클의 조합으로 읽는다 · F-6-07C 유리 원판부터 빌드업까지 공급 역할이 나뉜다

파운드리가 설계한 플랫폼을 실제로 조립하는 주체는 파운드리 자신일 때도 있고 OSAT일 때도 있다. 2024 회계연도 실적 기준 OSAT 매출 1위는 ASE Technology로 $18.54B, 상위 10사 내 점유율 44.6%다. 2위는 $6.318B의 Amkor, 3위는 $5.0B에 전년 대비 19.3% 성장한 중국 JCET다 [S-3-40]. 이 수치들은 2025년이 아니라 2024 회계연도 실적이므로 연도를 함께 확인해야 한다. 2025년 실제 실적으로는 Amkor가 $6.708B로 6.2% 증가했고 ASE는 NT$645.4B로 약 $20B 수준이며, 순위 순서는 두 연도가 같다 [S-3-41][S-3-42]. 상위 10사 합산은 2024년 $41.56B로 전년 대비 3% 성장했다 [S-3-40].

TSMC의 후공정 외주 구조는 2026년에 뚜렷해졌다. CoWoS 캐파가 빠듯한 국면에서 TSMC는 ASE의 CoWoP 등 OSAT 라인으로 일부 물량을 넘겼다 [S-3-09]. 미국 축에서는 Amkor 피오리아 공장이 TSMC의 InFO와 CoWoS를 턴키로 받는 10년 계약을 맺었다 [S-3-17]. 이로써 한 공장이 TSMC와 Intel 두 회사의 첨단 패키징을 함께 수행하는 구도가 생겼다 [S-3-24].

SEMICON Taiwan 2026을 정리한 한 금융 블로그는 증권사 리포트를 인용해 "CoWoS 확장이 계속되며 OSAT으로 이전"을 여섯 개 하이라이트 중 하나로 꼽았다. 같은 글은 UBS 리포트를 인용해 TSMC의 5.5 레티클 CoWoS가 98%를 넘는 수율로 양산 중이라고 전했다 [S-3-61]. 이 수치는 TSMC 첨단 패키징 기술·서비스 담당 VP Jun He가 2026년 8월 11일 OCP APAC Summit에서 한 발언으로 거슬러 올라간다. 그는 여러 AI 고객 제품의 수율이 98%를 넘고 일부는 99%에 이른다고 말했고, TrendForce가 이를 대만 매체를 인용해 전했다. 따라서 인용할 때는 3차 전재 대신 이 행사 발언 보도를 날짜와 함께 쓴다 [S-3-92](2026년 9월 27일 추가 확인).

OSAT 채널이 소재사에게 중요한 이유는 구매 의사결정의 성격이 파운드리와 다르기 때문이다. 파운드리는 자사 공정 레시피에 소재를 묶어 두며, 한 번 채택하면 배관 세정과 재검증 비용 때문에 교체를 꺼린다. OSAT은 고객사별로 다른 사양을 소화해야 하므로 소재 선택의 자유도가 상대적으로 크다. 실제로 마이크로솔더볼처럼 OSAT과 기판사를 경유해 공급되는 품목에서는 한국 업체가 세계 과점 지위를 확보한 사례가 있다.

다만 이 경로에도 시간이 든다. 세컨드 소스가 양산 준비까지 가는 데 통상 12개월에서 18개월이 걸린다. 대만 로컬 소재사 사례에서는 한 제품군 채택에 수년과 수백 회 이상의 샘플 제출이 필요했다고 전해진다 [S-3-54]. 따라서 진입 계획은 분기가 아니라 연 단위로 세워야 한다.

기판은 패키지의 바닥이면서, 소재 사업에서는 가장 큰 화학 물량이 걸린 구간이다. 고급 FC-BGA 기판은 일본의 Ibiden과 Shinko, 대만의 Unimicron과 Nan Ya, Kinsus, 오스트리아의 AT&S가 상위권을 이룬다. 여기에 한국의 삼성전기와 LG이노텍이 참여한다. 증설로는 Ibiden이 2026년 1월 애리조나 피닉스에 $1.2B 규모 플립칩 기판 팹을 착공했다. 2027년 말 월 30,000패널을 목표로 하며 CHIPS 보조금 $320M을 받는다 [S-3-59].

점유율 수치는 출처마다 크게 달라서 한 가지로 단정하면 안 된다. 2025년 시장조사 기반 추정은 Ibiden 약 35%, Shinko 약 18%, Unimicron 약 14%, AT&S 약 10%, Nan Ya 약 5%를 제시한다 [S-3-43]. 2026년 시장 보고서는 상위 5사가 합계 74%이며 개별 업체 중 18%를 넘는 곳은 없다고 밝힌다 [S-3-59]. 두 판본은 상위 업체 집중도 해석이 다르다. 따라서 두 판본을 섞지 말고, 어느 판본인지 확인해 하나를 기준으로 읽어야 한다.

판본마다 점유율이 갈리는 원인은 집계 범위다. 어떤 조사기관은 고급 FC-BGA만 세고 어떤 곳은 일반 플립칩 기판까지 포함하며, 매출 기준인지 면적 기준인지도 통일되어 있지 않다. 그 결과 한쪽은 Ibiden이 3분의 1 이상을 차지한 집중 구조로 보고, 다른 쪽은 상위 5사 합계 74%에 개별 최대 18% 미만인 분산 구조로 본다 [S-3-43][S-3-59]. 두 판본을 한 그래프에 겹치면 내부 모순이 생기므로, 한 판본을 기준으로 발간 시점과 집계 범위를 함께 확인하는 것이 안전하다. 확실한 것은 상위권이 일본·대만·오스트리아에 집중되어 있고 한국 업체는 그다음 구간에 있다는 구조적 사실이다.

TSMC 생태계에서 한국 기판사의 지위는 정확히 구분해서 보아야 한다. 2026년 9월 19일 TSMC 공식 3DFabric Alliance 페이지를 직접 확인한 결과, 기판 파트너는 IBIDEN, Toppan, Unimicron 세 곳뿐이다. 삼성전기와 Shinko는 등재되어 있지 않다 [S-3-07]. 같은 페이지의 메모리 파트너는 Micron, Samsung Memory, SK hynix이고, OSAT 파트너는 Amkor, ASE, SPIL, STATSChipPAC이다 [S-3-07].

삼성전기 포함설은 2026년 5월 아시아경제 보도에서 나왔다. 이 보도는 대만 경제일보를 인용해, TSMC 기술포럼 자료에 삼성전기와 Shinko, Nan Ya, Zhen Ding이 신규 기판 파트너로 포함되었다고 전했다. 그러나 TSMC 공식 명단에는 아직 반영되지 않았다 [S-3-44]. 따라서 "삼성전기가 TSMC 3DFabric Alliance 공식 기판 파트너로 등재되었다"는 서술은 현재 확인할 수 없다. 이 내용은 "2026년 5월 대만 언론 보도 단계"의 정보로 읽어야 한다.

습식약품 쪽 사례도 같은 주의가 필요하다. 三福化(San Fu Chemical)가 TSMC CoWoS·InFO 스트리퍼 공급망에 진입했다는 내용도 [미검증] 단계다. 진입 시점과 2026년 성장률, AP7·AP8 물량 확정 여부가 교차 확인되지 않았기 때문이다 [S-3-54].

기판 공급망의 지리적 재편도 함께 보아야 한다. 종전에는 고급 FC-BGA 기판이 일본과 대만, 오스트리아에 집중되어 있었다. 미국이 CHIPS 보조금으로 현지 생산을 유도하면서 북미 축이 생겼다. Ibiden이 애리조나 피닉스에 $1.2B 규모 팹을 세우고 2027년 말 월 30,000패널을 목표로 하는 것이 그 예다 [S-3-59]. 같은 지역에 Amkor의 피오리아 캠퍼스가 들어서고 TSMC 애리조나 팹과 Intel의 애리조나·뉴멕시코 시설이 인접하면서, 전공정과 기판과 조립이 한 권역에 모인다 [S-3-17][S-3-24][S-3-26]. 소재 공급사에게 신규 팹은 기존 공급사의 락인이 아직 걸리지 않은 진입 창이지만, 현지 공급 체계와 규제 대응이라는 새로운 비용도 요구한다.

항목	값	기준 시점	출처 ID
ASE 매출	$18.54B, 상위 10사 내 44.6%	2024 회계연도	S-3-40
Amkor 매출	$6.318B	2024 회계연도	S-3-40
Amkor 매출	$6.708B, 전년 대비 +6.2%	2025년 실제	S-3-41
JCET 매출	$5.0B, 전년 대비 +19.3%	2024 회계연도	S-3-40
상위 10사 합산	$41.56B, 전년 대비 +3%	2024 회계연도	S-3-40
TSMC 3DFabric Alliance 기판 파트너	IBIDEN, Toppan, Unimicron 3사	2026-09-19 직접 확인	S-3-07
ABF 기판 상위 5사 합계	74%, 개별 최대 18% 미만	2026년 시장 보고서	S-3-59
Ibiden 피닉스 팹	$1.2B, 월 30,000패널, CHIPS $320M	2027년 말 목표	S-3-59

> **소재 관점에서 보면**: 소재사가 파운드리에 직납하는 경로는 좁고 검증 기간이 길다. OSAT과 기판사를 경유하는 경로는 상대적으로 열려 있다. TSMC는 CoWoS 물량 일부를 ASE로 넘겼고, Amkor는 TSMC와 Intel 양쪽의 첨단 패키징을 맡게 되었다. 그 결과 언더필과 몰드, 플럭스 같은 조립 소재의 구매 주체가 다변화되었다. 기판 쪽에서는 Ibiden 미국 증설처럼 신규 라인이 세워질 때 이원화 소요가 생기므로 그 시점이 진입 창이다.

CoWoS 캐파가 배증하는 국면에서는 언더필과 몰드처럼 공급사가 극소수인 병목 품목에 세컨드 소스 수요가 상존한다. 세대 전환으로 새로 생긴 카테고리는 POR이 아직 굳지 않아 진입 확률이 가장 높다 [S-3-09] [S-3-45]. 삼성전기가 TSMC 공식 파트너가 아니라는 사실은 오해를 부르기 쉬우므로, 공식 명단과 언론 보도를 분리해서 보아야 자료의 신뢰도가 지켜진다.

3.6 플랫폼별 소재 BOM 매트릭스와 삼성SDI 접점

슬라이드 36쪽 · 몰드 · PID · CMP: 세 품목의 수요 이동은 다르다

그 밖의 관련 슬라이드: 29쪽 · 30쪽 · 31쪽 · 32쪽 · 33쪽 · 34쪽 · 40쪽 · 44쪽 · 53쪽 · 54쪽 · 55쪽 · 112쪽

관련 도해: F-2-02A 같은 EMC라도 들어가는 자리가 다르다 · F-2-02B PID는 남는 층, CMP는 그 층을 만드는 공정이다 · F-3-02 CoWoS-S · R · L: 바뀌는 것은 인터포저다 · F-3-03A CoWoS-L 한 장을 아홉 개 층으로 나눈다 · F-3-03B CoWoS-L 상부: 열 경로 · 몰드 · 접합면 · F-3-03C CoWoS-L 하부: RDL · LSI · FC-BGA의 소재 · F-3-04A SoIC: 범프 대신 유전막과 Cu를 직접 붙인다 · F-3-04B SoIC 로드맵: 피치와 적층 노드를 함께 본다 · F-3-05 InFO-PoP와 InFO-oS: 팬아웃이어도 기판은 다르다 · F-3-06 팬아웃 die shift: 배선 위치와 칩 위치가 어긋난다 · F-3-08A EMIB와 EMIB-T: 실리콘 브리지는 기판 안에 있다 · F-3-08B EMIB의 소재 과제는 브리지 주변으로 모인다 · F-3-09A Foveros S · R와 Direct는 같은 층 구조가 아니다 · F-3-09B 수직 Foveros Direct와 수평 EMIB를 조합한다 · F-3-09C Foveros Direct 피치는 출처별로 따로 읽는다 · F-3-10A 삼성 Cube 5종: 수평 캐리어와 수직 접합을 나눈다 · F-3-10B Cube-S · E · R: 전면 Si, 브리지, 유기 RDL · F-3-10C Cube-T와 Cube-H: 접합 방식이 소재를 바꾼다 · F-4-04A 본딩 세 방식은 다이 사이 재료가 다르다 · F-4-04B 다이 간 갭필의 기능이 접합면으로 이동한다 · F-4-09A 하이브리드 본딩은 표면 준비부터 검사까지다 · F-4-09B 활성화 가스가 정렬 오차에도 영향을 준다 · F-4-09C 어닐 온도와 Cu recess 목표는 한 쌍이다 · F-4-09D 접합 후 검사에는 보이지 않는 영역이 남는다 · F-4-11A 높이 한도는 확정값과 논의값을 구분한다 · F-4-11B 16단 × 50μm는 다이만으로 800μm다 · F-4-11C 한도를 올려도 단수가 늘면 층당 예산은 줄어든다 · F-5-01A 소재는 이름보다 들어가는 자리로 읽는다 · F-5-01B HBM·팬아웃에서는 수지의 역할이 달라진다 · F-5-01C 소재의 소멸은 패키지가 아니라 전환된 층 기준이다

플랫폼별 구조를 소재 구매 항목으로 환산하면 아래 매트릭스가 된다. ★ 표시는 삼성SDI가 이미 보유했거나 인접한 카테고리를 뜻한다. 각 칸은 공식 구조 정보에서 도출한 카테고리 맵이다. TSMC와 삼성전자 모두 소재 공급사 명단을 공개하지 않으므로 표의 칸은 공급사가 아니라 항목이다. 전제가 하나 있다. 해당 카테고리를 보유한 것과 특정 플랫폼의 퀄을 통과한 것은 전혀 다른 사실이며, 이 매트릭스가 나타내는 것은 앞의 것뿐이다.

플랫폼	인터포저 재료	범프	언더필	몰드 ★	RDL 유전체 ★	CMP ★	기판
CoWoS-S	TSV 실리콘	C4 + Cu pillar μbump	CUF/MUF 필수	오버몰드	전공정 무기막	TSV Cu·oxide CMP	FC-BGA(ABF)
CoWoS-R	폴리머+Cu 다층 RDL	C4 + μbump	CUF/MUF	대면적 오버몰드	PSPI/PBO 대량	RDL Cu CMP	FC-BGA(ABF)
CoWoS-L	RDL + LSI 브리지 매립	C4 + μbump	CUF/MUF	브리지 매립용 몰드 증가	PSPI/PBO 대량	RDL Cu CMP	FC-BGA 대형
SoIC	없음(die 대 die 직접 접합)	없음(범프리스)	불필요	적층 갭필 최소	SiCN·SiO 본딩 유전체	Cu·SiCN CMP 핵심	상위 패키지에 종속
InFO-PoP	없음(몰드 재구성 웨이퍼)	μbump 또는 TIV	축소	LMC 중심, 구조 부재	PSPI/PBO 중심	RDL CMP	생략(무기판 구성)
InFO-oS	없음(몰드 재구성 웨이퍼)	μbump 또는 TIV	축소	LMC 중심, 구조 부재	PSPI/PBO 중심	RDL CMP	유기 기판에 실장(기판 유지)
EMIB	기판 매립 실리콘 브리지	C4 + μbump	CUF 필수	오버몰드	기판 빌드업 (ABF)	브리지 표면 CMP	FC-BGA 대형 필수
Foveros Direct	없음(Cu-Cu 직접 접합)	없음(범프리스)	불필요	적층 갭필	본딩 유전체	Cu CMP 핵심	FC-BGA + EMIB
Cube-S	TSV 실리콘	C4 + Cu pillar μbump	CUF/MUF 필수	대면적 오버몰드 ·LMC	전공정 무기막	TSV Cu·oxide CMP	FC-BGA(ABF)
Cube-T / Cube-H	없음(수직 적층)	T는 25μm μbump, H는 범프리스	T는 NCF/CUF, H는 불필요	적층 갭필·몰드	H는 본딩 유전체	H는 Cu·SiCN CMP 신규	FC-BGA
FOPLP	없음(패널 재구성)	μbump 또는 RDL 직결	축소	패널용 대면적 몰드 신규	PSPI/PBO 패널용	패널 CMP 신규	생략 또는 축소

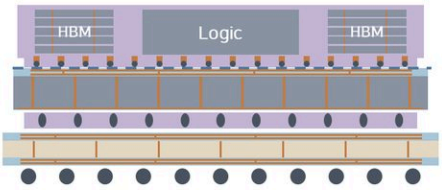
매트릭스의 일곱 개 열은 Day 2에서 배운 요소 공정과 일대일로 대응한다. 플랫폼별로 어느 열이 비고 어느 열이 굵어지는지를 보면 그 플랫폼의 공정 구성이 드러난다.

소재 위치 ①: 실리콘 인터포저와 유기 RDL

같은 2.5D라도 배선 유전체와 CMP 적용면이 달라진다.

실리콘 인터포저 + 솔더

CoWoS-S · Cube-S · Foveros S

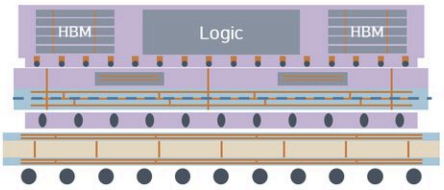


★ 오버몰드 / Cube-S: 대면적 오버몰드·LMC
배선 유전체: 전공정 무기막
★ TSV Cu·oxide CMP / FC-BGA(ABF)

★ 보유·인접 카테고리, 채택·퀄 아님 · 파랑 점선은 CMP 면 · 층수와 다이 수는 개념

유기 RDL(+브리지) + 솔더

CoWoS-R/L · Cube-E/R · Foveros R



★ 대면적 오버몰드 · 브리지 매립 몰드(L)
★ PSPI/PBO 대량 / C4 + μbump · CUF/MUF
★ RDL Cu CMP / FC-BGA(ABF)

유기 RDL로 갈 때 PSPI/PBO와 대면적 몰드가 확대된다. 비교 단위는 제품명이 아니라 층이다.

F-3-13A · 근거: S-3-01 · S-3-20 · S-3-28 · 개념도, 축척 아님

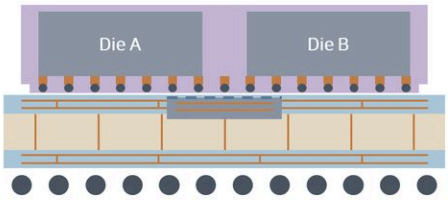
도해 F-3-13A · 소재 위치 ①: 실리콘 인터포저와 유기 RDL · 근거 S-3-01, S-3-20, S-3-28
유기 RDL로 갈 때 PSPI/PBO와 대면적 몰드가 확대된다. 비교 단위는 제품명이 아니라 층이다.

소재 위치 ②: 기판 매립 브리지와 몰드 재구성

EMIB는 기판 주변, 팬아웃은 몰드와 RDL이 구조를 받치는 자리가 중요하다.

기판 매립 브리지 + 솔더

EMIB

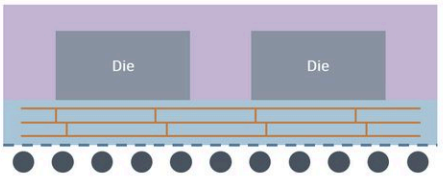


★ 오버몰드 / C4 + μbump · CUF 필수
ABF 빌드업 속 Si 브리지 / 대형 FC-BGA
★ 브리지 표면 CMP

특정 고객 BOM 아님 · 팬아웃의 기판 사용 여부는 변형에 따라 다르다.

몰드 재구성 + RDL

InFO-PoP · InFO-oS · FOPLP



★ LMC 구조재 · PSPI/PBO · RDL/패널 CMP
언더필 축소 / FOPLP는 패널용 몰드 신규
기판: PoP 생략 · oS 유지 · FOPLP 생략/축소

브리지 경로는 기판·언더필·표면 CMP, 팬아웃 경로는 LMC·PID·RDL/패널 CMP로 읽는다.

F-3-13B · 근거: S-3-20 · S-3-58 · 개념도, 축척 아님

도해 F-3-13B · 소재 위치 ②: 기판 매립 브리지와 몰드 재구성 · 근거 S-3-20, S-3-58
브리지 경로는 기판·언더필·표면 CMP, 팬아웃 경로는 LMC·PID·RDL/패널 CMP로 읽는다.

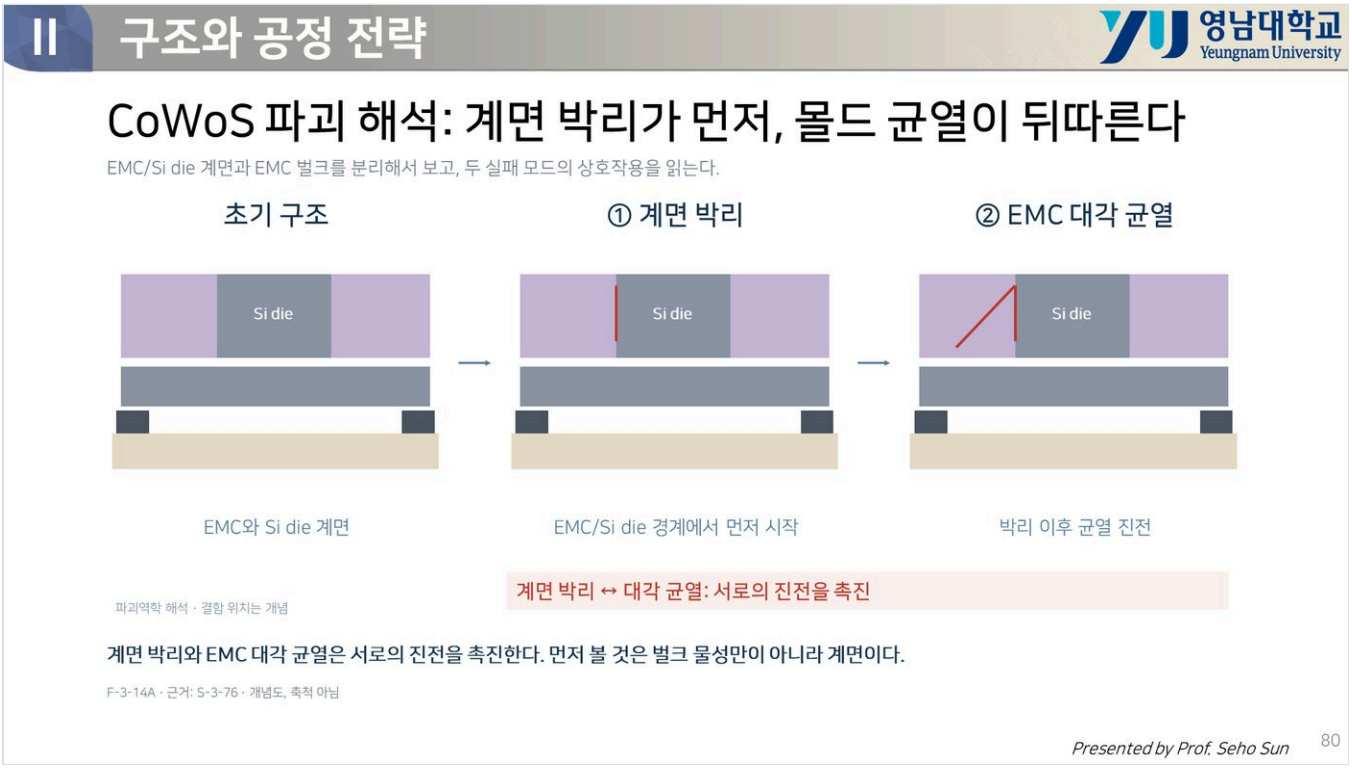
도해 F-3-13C · 소재 위치 ③: 마이크로범프 적층과 직접 접합 · 근거 S-3-02, S-3-20, S-3-28
범프리스 접합면에서는 언더필 대신 본딩 유전체·CMP가 핵심이다. 최하단 기판까지 사라지는 것은 아니다.

도해 F-3-13D · 몰드 · PID · CMP: 세 품목의 수요 이동은 다르다
카테고리 보유, 기술 개발, 특정 플랫폼 퀄, 고객 양산은 서로 다른 단계다.

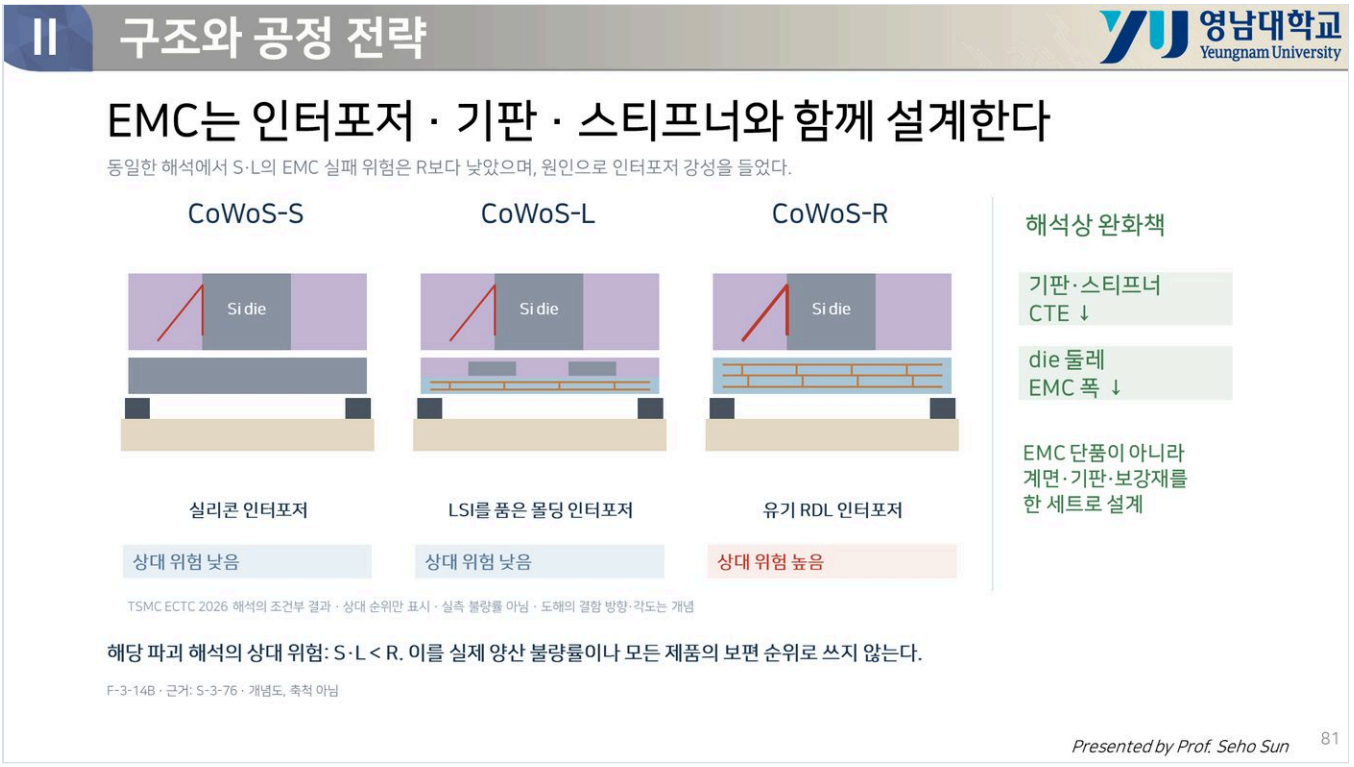
매트릭스를 세로로 읽으면 수요가 어디로 움직이는지가 보인다. 몰드는 어느 플랫폼에서도 사라지지 않지만 성격이 바뀐다. CoWoS-S 시절의 오버몰드는 보호가 주 기능이었다. InFO와 FOPLP, 대면적 CoWoS에서는 몰드가 휨을 억제하는 구조 부재가 되어 저팽창과 저수축, 높은 충전율을 동시에 요구받는다. TSMC가 ECTC

2026에서 발표한 파괴역학 해석에 따르면 EMC와 실리콘 die 계면의 박리가 먼저 시작되어 EMC 대각 균열을 끌어온다. 두 실패 모드는 서로의 진전을 촉진한다 [S-3-76].

같은 해석은 EMC 실패 위험이 CoWoS-S와 CoWoS-L에서 CoWoS-R보다 낮다고 판정하며, 원인으로 인터포저 강성을 든다. 실리콘 인터포저와 LSI를 품은 몰딩 인터포저는 강성이 높아 EMC와 실리콘과 기판 사이의 CTE 부정합 거동을 억제한다. 유기 RDL 인터포저는 그렇지 못하다. 따라서 EMC 관점에서 가장 까다로운 구간은 CoWoS-L이 아니라 CoWoS-R이다. 완화책으로는 기판과 스티프너의 CTE를 낮추는 것과 die 둘레 EMC 폭을 줄이는 것이 제시되었다 [S-3-76].



도해 F-3-14A · CoWoS 파괴 해석: 계면 박리가 먼저, 몰드 균열이 뒤따른다 · 근거 S-3-76
계면 박리와 EMC 대각 균열은 서로의 진전을 촉진한다. 먼저 볼 것은 벌크 물성만이 아니라 계면이다.



도해 F-3-14B · EMC는 인터포저 · 기판 · 스티프너와 함께 설계한다 · 근거 S-3-76
해당 파괴 해석의 상대 위험: S·L < R. 이를 실제 양산 불량률이나 모든 제품의 보편 순위로 쓰지 않는다.

팬아웃 쪽에서도 경화 수축과 CTE 부정합이 warpage의 지배 인자라는 결과가 반복해서 보고된다 [S-3-46]. FOPLP 적층 기판 연구는 중간 유전체의 CTE를 구리에 맞추면 warpage 곡률이 48.2% 낮아진다고 보고한다. 같은 연구는 요구 사양이 CTE 단독이 아니라 CTE와 탄성계수의 짝이라고 본다 [S-3-47].

RDL 유전체는 인터포저 재료가 실리콘에서 유기물로 바뀔 때 통째로 새로 생기는 항목이다. CoWoS-S와 Cube-S처럼 실리콘 인터포저를 쓰면 배선 유전체가 전공정 무기막이어서 외부 화학 소재사의 자리가 거의 없다. CoWoS-R과 CoWoS-L, Cube-E, Cube-R, InFO, FOPLP는 모두 감광성 유전체를 도포하고 노광해 비아를 만드는 구조여서 PID/PSPI 물량이 직접 발생한다. 패널레벨로 가면 면적이 커지는 만큼 도포 균일도와 노광 정렬이 어려워진다. ECTC 2026에서 USHIO는 515mm급 유리 기판에 18 레티클 면적을 스티칭 없이 1.5μm L/S로 노광했다고 보고했다 [S-3-45]. 이 병목을 푸는 방향이다.

CMP는 hybrid bonding이 확산될수록 수요가 늘어나는 항목이다. 접합면 조도와 구리 리세스가 수율을 직접 좌우하므로 슬러리와 세정액의 사양이 곧 수율 사양이 된다. hybrid bonding 수율 모델링 연구는 오버레이 오정렬, 파티클 결함, 구리 리세스 편차, 표면 조도, 패드 밀도를 주요 인자로 함께 다룬다 [S-3-49]. ECTC 2026에서 Applied Materials는 450nm 피치 구리 hybrid bonding을 2,000만 개 비아에서 98% 수율로 시연했다. 이때 금속화와 CMP, 플라즈마 처리, 접합 후 어닐링의 공정 최적화를 핵심 요소로 제시했다 [S-3-45]. 패널 쪽에서도 Resonac이 유리 패널 위 다마신 유기 인터포저에서 L/S 2/2μm 기준 CMP 후 단차를 100nm 미만으로 잡았다고 보고했다 [S-3-45].

학계에서도 기하학적 스케일링을 3D 적층으로 대체하자는 논의가 나온다. 접합면 품질이 장기적으로 성능 확장의 병목이 된다는 전망은 산업과 학계가 공유한다 [S-3-50]. 웨이퍼 규모로 확장한 연구에서도 웨이퍼 대 웨이퍼 hybrid bonding이 레티클 사이 대역폭을 확보하는 수단으로 다루어진다. SoW 같은 초대형 통합도 접합면 품질 문제로 귀결된다는 뜻이다 [S-3-51].

수요가 줄어드는 항목도 있다. 범프와 언더필은 hybrid bonding이 적용되는 구간에서 사라진다. SoIC와 Foveros Direct, Cube-H는 모두 솔더 마이크로범프와 언더필을 쓰지 않으므로, 이 플랫폼들의 비중이 늘어나는 만큼 해당 소재의 총 수요는 줄어든다 [S-3-02][S-3-20][S-3-28].

다만 이 전환이 전면적으로 일어나는 것은 아니다. HBM 패키지 높이가 720μm에서 775μm로 완화되면서 16단 HBM4를 기존 마이크로범프로 조립할 수 있게 되었다. 이 완화는 2024년 3월 JEDEC 위원회 합의를 전한 보도로 처음 알려졌고 [S-3-73], 2025년 4월 HBM4 표준 확정 보도에서 재확인되었다 [S-3-65]. 그러나 JEDEC 공식 문서의 어느 조항인지는 확인되지 않았다. 그래서 이 값은 JESD270-4 원문인지 개정판 4A인지 가려지지 않은 보도 기준 수치다. JEDEC이 2025년 4월 16일 JESD270-4 HBM4 표준을 발간한 사실 자체는 공식 보도자료로 확인된다 [S-3-75].

2026년 4월 보도에 따르면 HBM4E부터 약 900μm로 추가 완화가 검토되고 있다 [S-3-66]. SK하이닉스는 2026년 8월 23일 Hot Chips 2026에서 HBM4E까지 Advanced MR-MUF를 유지한다고 밝혔다. hybrid bonding은 빨라야 HBM5부터 적용한다는 설명이다 [S-3-67]. 로직에서는 범프가 이미 사라지기 시작했지만 메모리에서는 HBM4E까지 유지되는 이중 구도다. 이 시차가 소재 포트폴리오의 수명을 판단하는 기준이 된다.

기판에도 같은 논리가 적용된다. SoIC와 Foveros Direct가 확산되어도 패키지 최하단의 FC-BGA 기판은 사라지지 않는다. 오히려 EMIB-T처럼 브리지를 기판에 묻는 방식이 늘어나면 기판의 층수와 정밀도 요구가 올라가 단가가 상승한다 [S-3-22][S-3-23]. 따라서 "hybrid bonding이 모든 것을 대체한다"는 식의 단순화는 사실과 다르다. 어떤 층이 사라지고 어떤 층이 두꺼워지는지를 층별로 따져야 정확하다.

매트릭스를 가로로 읽으면 플랫폼별 기회의 크기가 보인다. 소재 항목 수로는 CoWoS-R, CoWoS-L, Cube-E, Cube-R, InFO, FOPLP처럼 유기 인터포저나 팬아웃을 쓰는 플랫폼이 가장 많은 화학 소재를 요구한다. 이 플랫폼들은 몰드, RDL 유전체, 도금액, 언더필, CMP를 모두 쓰며, 그중 어느 것도 전공정 팹 내재화 대상이 아니다. 반대로 CoWoS-S와 Cube-S처럼 실리콘 인터포저를 쓰는 플랫폼은 배선 유전체가 전공정 영역으로 넘어가 외부 소재사의 항목이 줄어든다. SoIC와 Foveros Direct는 항목 수가 가장 적지만 CMP와 세정의 요구 사양이 가장 높아 단가가 올라가는 구조다. 항목 수가 많은 쪽은 물량 기회이고, 항목 수가 적은 쪽은 단가 기회다.

> **소재 관점에서 보면**: 삼성SDI가 보유한 세 축인 몰드(EMC), 감광성 유전체(PID), CMP 슬러리는 매트릭스 안에서 서로 다른 성장 곡선을 그린다. 몰드는 대면적화와 함께 물량과 사양이 동시에 올라가는 확대형이다. PID는 인터포저가 유기화되는 플랫폼에서 새로 생기는 신규형이고, CMP 슬러리는 hybrid bonding 전환에서 급증하는 대체형이다. 세 축 모두 POR이 굳은 성숙 카테고리가 아니라 세대 전환 구간에 걸쳐 있다는 점이 기회다. 동시에 어느 플랫폼이 언제 양산에 들어가는지에 따라 시점이 흔들린다는 점이 위험이다.

따라서 "무엇을 팔 수 있는가"뿐 아니라 "언제 팔 수 있는가"를 플랫폼 로드맵 연도와 묶어 보아야 한다. 시점을 묶어 보면 세 축의 우선순위도 자연히 정해진다. 몰드는 이미 돌아가는 플랫폼에서 수요가 커지므로 가장 가까운 기회다. PID는 Cube-E와 Cube-R이 양산으로 넘어가는 시점에 열리고, CMP 슬러리는 로직 hybrid bonding에서 먼저 시작해 메모리로 넘어간다. 세 축의 시점이 다르다는 사실이 포트폴리오 세 개를 동시에 운영해야 하는 이유이며, 어느 하나만 골라 집중하기 어려운 구조라는 근거다.

CoWoS 신뢰성을 먼저 결정하는 변수는 EMC의 벌크 물성이 아니라 EMC와 실리콘 사이의 계면 접착력이다. 박리가 먼저 시작되어 균열을 끌어온다 [S-3-76]. 완화책이 기판과 스티프너의 CTE 조정과 die 둘레 EMC 폭 축소인 것도 같은 맥락이다. 따라서 EMC는 단품 물성이 아니라 기판·스티프너와 함께 설계되는 세트로 제안해야 한다.

3.7 최신 동향 (2026년 8월 22일 이후)

관련 슬라이드: 34쪽 · 40쪽 · 112쪽

관련 도해: F-3-10A 삼성 Cube 5종: 수평 캐리어와 수직 접합을 나눈다 · F-3-10B Cube-S · E · R: 전면 Si, 브리지, 유기 RDL · F-3-10C Cube-T와 Cube-H: 접합 방식이 소재를 바꾼다 · F-3-12 SAINT와 H-Cube는 Cube 5종과 별도 트랙이다 · F-4-11A 높이 한도는 확정값과 논의값을 구분한다 · F-4-11B 16단 × 50μm는 다이만으로 800μm다 · F-4-11C 한도를 올려도 단수가 늘면 층당 예산은 줄어든다

2026년 8월 22일 조사 이후 2026년 9월 19일까지 확인된 변화는 열한 가지였고, 2026년 9월 27일까지 새로 확인한 열 건을 더하면 스물한 건이다. 각 항목의 날짜가 그 수치의 기준 시점이다.

- **TSMC 공급사 캠퍼스 개소(2026년 9월 2일)**: TSMC가 가오슝 바이푸 산업단지에 3헥타르 규모의 첨단 패키징 공급사 캠퍼스를 열었다. 소형 클린룸과 실험실을 갖춘 두 개 동에서 소재·장비사가 TSMC 엔지니어와 공동으로 검증을 수행한다. TSMC는 검증 효율이 25%에서 50%까지 개선될 것으로 기대한다고 밝혔고, 같은 자리에서 CoWoS 캐파가 2027년까지 연평균 80% 이상 성장한다고 말했다 [S-3-08]. 소재사에게 검증 접근 경로가 물리적으로 열린 사건이므로 진입 전략 관점에서 가장 중요한 변화다.
- **SEMICON Taiwan 2026 정리 글(2026년 9월 7일)**: 같은 기간 타이베이에서 열린 SEMICON Taiwan 2026을 정리한 금융 블로그 글이 공개되었다. 이 글은 증권사 리포트를 인용해 여섯 가지 하이라이트를 꼽았다. 첨단 패키징의 3D 시스템 통합 전환, CoWoS 확장과 OSAT 이전, CPO 양산 가속, 테스트의 신규 병목화, 핵심 장비 리드타임 장기화, AI ASIC 생태계 성숙이다. 같은 글은 UBS 리포트를 인용해 TSMC의 5.5 레티클 CoWoS가 98%를 넘는 수율로 양산 중이라고 전했다. 원 리포트는 직접 확인되지 않았으므로 3차 전재로 보아야 한다 [S-3-61]. 이 수율은 TSMC VP Jun He가 2026년 8월 11일 OCP APAC Summit에서 밝힌 발언으로 거슬러 올라가므로, 인용할 때는 그 발언 보도를 출처로 쓴다 [S-3-92](2026년 9월 27일 추가 확인).
- **CoWoS 캐파 배증 전망(2026년 9월 14일 보도)**: 대만 경제일보를 인용한 보도가 CoWoS 캐파가 2026년 말 약 130,000장에서 2028년 말 260,000장으로 배증한다는 전망을 전했다 [S-3-10]. 이 판본은 2026년 7월 1일 전재된 Mizuho 개정 전망(2026년 140,000장, 2027년 190,000~200,000장)과 2026년 말 값이 다르다. 두 판본은 기관명과 날짜로 구분해 읽어야 한다 [S-3-63].
- **hybrid bonding 피치 로드맵 갱신(2026년 9월 2일과 9월 4일 보도)**: 두 보도는 TSMC SoIC의 양산 피치가 현재 6μm이고 2029년 4.5μm로 좁혀지며, 그때 A14-on-A14 적층을 제공한다고 정리했다. Intel Foveros Direct에 대해서는 현행 9μm로 Clearwater Forest에 적용되었고 차세대는 3μm를 목표로 한다고 전했다. Clearwater Forest는 2026년 6월 1일 Xeon 6+로 정식 출시되었다 [S-3-18][S-3-19][S-3-72].
- **1차 발언으로 확정된 메모리 hybrid bonding 시점(2026년 8월 23일)**: SK하이닉스 패키지 엔지니어링 담당 임원은 Hot Chips 2026에서 HBM4E까지 Advanced MR-MUF를 유지한다고 밝혔다. hybrid bonding은 빨라야 HBM5부터이며, 그 이유로 775μm라는 패키지 높이 상한을 들었다 [S-3-67]. 이 상한은 720μm에서 775μm로 완화된 값이며, 2024년 3월 JEDEC 위원회 합의 보도로 처음 알려졌다 [S-3-73]. 2025년 4월 HBM4 표준 확정 보도에서 재확인되었으나 [S-3-65], JEDEC 공식 문서의 조항은 확인되지 않아 보도 기준 값으로 읽어야 한다. HBM4E부터의 약 900μm 추가 완화도 2026년 4월 보도 기준 검토 단계다 [S-3-66]. NCF와 언더필 수요의 수명이 한 세대 연장된 것이므로 소재 계획에 직접 영향을 준다.

위 다섯 가지 변화는 한 방향을 가리킨다. 캐파는 예상보다 빠르게 늘고, hybrid bonding은 로직에서 먼저 굳어졌으며, TSMC는 소재·장비사를 물리적으로 자기 생태계 안에 끌어들이고 있다. 소재 회사 관점에서는 물량의 총량이 커지면서 검증에 접근할 통로도 넓어졌다. 반면 메모리 쪽 hybrid bonding 지연은 CMP 슬러리의 대량 수요 시점을 한 세대 뒤로 미루었다. 그래서 기존 NCF와 언더필 사업의 수명은 연장되고, 신규 슬러리 사업의 매출 인식 시점은 늦춰진다. 두 방향이 동시에 일어났다는 점을 함께 보아야 정확하다.

- **Amkor 애리조나 2단계(2026년 9월 8일)**: Amkor가 애리조나 2단계를 발표해 총 계획투자를 $12B, 클린룸을 약 93,000㎡로 확대했다. 2단계는 2027년 말 착공, 2029년 말 완공을 목표로 한다 [S-3-68]. 3.3에 적은 1단계의 2027년 중반 완공과 2028년 초 생산은 별개 단계이므로 두 일정을 섞으면 안 된다.
- **한국 기판업체 보도(2026년 8월 27일)**: 삼성전기는 NVIDIA와 Google, Amazon에 AI 기판을 공급한다고 전해졌고, LG이노텍은 Intel, Broadcom과 협의 단계로 전해졌다 [S-3-69]. 공급과 협의는 사업 단계가 다르므로 같은 수준으로 다루면 안 된다.
- **삼성전자 CUBE 전략 소개(2026년 9월 1일)**: 삼성전자가 SEMI Memory Executive Summit에서 CUBE(Capacity, Utilization, Bandwidth, Efficiency) 전략과 zHBM, zNAND-O를 소개했다 [S-3-70]. 이 CUBE는 메모리와 시스템 배치에 관한 전략 명칭이며, 파운드리 패키징 플랫폼인 Cube-S/E/R/T/H와 다른 개념이다. Cube 라인업의 새로운 qualification 발표로 오독하지 않아야 한다.
- **DIGITIMES의 CoPoS 공급망 전망(2026년 9월 1일)**: 같은 날 DIGITIMES는 CoPoS에 대해 310×310mm 규격, 2026년 하반기 장비·소재 검증, 초기 증산 2028년 하반기에서 2029년이라는 공급망 전망을 보도했다 [S-3-71]. 회사가 파일럿 완료나 양산일을 확정한 공식 발표가 아니며, 3.2에 적은 2028년설과 2029년설의 병존을 다시 확인해 준다. 참고로 TSMC 북미 OIP Ecosystem Forum 2026은 2026년 9월 23일 열렸고, 그날 나온 설계 생태계 발표는 아래 추가 확인 항목에 적었다 [S-3-03][S-3-90](2026년 9월 27일 추가 확인).
- **삼성전자 온양 팹 착공 시점(미확정)**: 착공 시점은 아직 확정되지 않았다. 2026년 8월 19일 충남도 도시계획위원회 의결을 거쳐 6조원 투자와 38만 9,825㎡ 부지, 9월 착공이 보도되었다 [S-3-36]. 2026년 7월 22일 아산시와의 협약 보도는 10월 착공과 클린룸 31,000㎡, 2029년 5월 양산 목표를 전했다 [S-3-37]. 2026년 9월 19일 기준으로 착공식 개최는 확인되지 않았으므로 "2026년 하반기 착공 예정, 양산 목표 2029년"까지가 확인된 내용이다.
- **TSMC 3DFabric Alliance 명단(2026년 9월 19일 확인)**: TSMC 공식 3DFabric Alliance 페이지를 직접 확인한 결과 기판 파트너는 여전히 IBIDEN, Toppan, Unimicron 세 곳이다. 삼성전기와 Shinko는 등재되어 있지 않다 [S-3-07]. 2026년 5월 대만 언론 보도 이후 넉 달이 지났으나 공식 명단은 바뀌지 않았다. 같은 페이지의 메모리 파트너에는 Samsung Memory가 포함되어 있으므로, 삼성 계열이 TSMC 생태계에 전혀 없다고 보는 것도 부정확하다 [S-3-07]. 이 항목은 누구나 열어 볼 수 있는 공개 페이지에 근거하므로, 명단이 바뀌었는지는 페이지를 다시 열어 확인하는 것이 안전하다.

같은 기간에 변화가 없었던 항목도 있다. TSMC의 CoWoS 레티클 로드맵 연도는 2026년 4월 발표 이후 갱신되지 않아 2027년 9.5, 2028년 14, 2029년 14 초과가 그대로 유지된다 [S-3-03]. 2026년 8월 11일 TSMC VP 발언도 14 레티클 2028년, 14 초과 2029년을 재확인했다 [S-3-92](2026년 9월 27일 추가 확인). 삼성 파운드리 공식 페이지의 Cube 라인업 상태 문구도 2026년 9월 19일 확인 시점까지 변동이 없다. Cube-S는 양산 가능, Cube-T는 양산 준비, Cube-E와 Cube-R과 Cube-H는 개발 단계로 기술되어 있다 [S-3-28]. SAINT 계열은 2026년 8월 FMS의 zHBM 개념 공개 이후 추가 발표가 확인되지 않는다 [S-3-34]. COUPE 일정도 2026년 하반기 양산 목표에서 바뀌지 않았다 [S-3-16].

9월 19일 이후 추가 확인 (2026년 9월 27일 기준)

- **KPCA Show 2026 기판 전시(2026년 9월 10일, 9월 21일)**: 2026년 9월 10일 삼성전기는 9월 9일부터 11일까지 송도에서 열린 KPCA Show 2026에서 다섯 가지 기판 기술을 전시했다고 발표했다. 여기에는 2.5D 패키지기판, 실리콘 인터포저 없이 칩과 칩을 직접 잇는 2.1D 패키지기판, 유리기판이 포함된다 [S-3-77]. LG이노텍은 2026년 9월 21일 공개한 같은 전시의 후기에서 대면적 패키지의 휨을 줄이는 유리

코어 기판과, 수동소자를 기판 코어에 내장하는 embedding 기술을 소개했다 [S-3-78]. 두 회사 모두 이 자리에서 새 고객이나 양산 수주를 발표하지는 않았다. 2.1D는 3.3의 EMIB처럼 기판 쪽에서 칩 간 연결을 처리하는 부류이므로, 아래 EMIB 기판 수율 보도와 함께 읽을 수 있다.

- **TrendForce의 CoWoS-L·FOPLP 전망(2026년 9월 11일, 9월 18일)**: TrendForce는 2026년 9월 11일 보고서의 공개 요약에서 CoWoS-L이 2028년에도 AI 칩의 주류 패키징으로 남고 EMIB-T가 대안으로 떠오른다고 전망했다. FOPLP는 차세대 AI 칩의 핵심 기술이 되겠지만 성숙은 2028년까지 기다려야 한다고 보았다 [S-3-79]. 같은 기관은 2026년 9월 18일 자료에서 CoWoS-L이 기술 성숙도와 수율 우위로 2028년까지 주류를 유지한다고 다시 밝혔다. NVIDIA와 AMD의 가속기와 Meta MTIA 400은 CoWoS-L을 쓰고, Microsoft Maia 200은 CoWoS-S를 쓴다고 정리했다 [S-3-80]. 두 자료는 분석기관의 [전망]이며 고객사가 확인한 BOM이 아니다. 패널 공정 소재는 개발 일정과 대량 수요 발생 시점을 따로 잡아야 한다는 근거로 읽는 것이 정확하다.
- **삼성전자 요코하마 Advanced Package Lab 보도(2026년 9월 14일)**: 전문 매체 보도에 따르면 삼성전자는 일본 요코하마 미나토미라이에 약 6,600㎡ 규모의 Advanced Package Lab을 두고 있다. 한국과 일본 인력 약 95명이 chiplet 패키징과 접합, 인터포저, 기판 실장을 연구하며, 2027년까지 100명 이상으로 늘릴 계획이다 [S-3-81]. 이 시설은 2024년에 시작한 5년간 400억 엔 규모 일본 투자 계획의 일부다. 보도는 일본 소재·장비 협력사 50여 곳과 가까이 두어 약 두 달 걸리던 소재 평가 기간을 줄이는 것을 기대 효과로 들었다 [S-3-81]. 삼성의 공식 보도자료로는 확인되지 않은 [보도]이다. 온양 양산 팹과는 다른 연구 시설이므로 두 가지를 섞어 읽으면 안 된다.
- **SPIL 애리조나 계획 보도와 ASE capex(2026년 9월 14일, 9월 15일)**: 2026년 9월 14일 대만 중앙통신사는 업계 소식통을 인용해 ASE 자회사 SPIL의 애리조나 신공장 계획이 확정 단계라고 보도했고, ASE는 시장 소문에 답하지 않겠다고 밝혔다 [S-3-82]. 다음 날 TrendForce는 이 보도를 이어 받으면서 ASE가 2026년 capex를 20억 달러 올려 $10.5B로 잡았다고 전했다. 기관 투자자 추정으로는 Intel EMIB-T 캐파가 12인치 CoWoS 환산 기준 2027년 월 15,000~20,000장, 2028년 월 40,000~45,000장에 이를 수 있다고 적었다 [S-3-83]. SPIL의 미국 진출은 회사가 확인하지 않은 [보도]이다. EMIB-T 수치는 기관명이 밝혀지지 않은 추정이고 환산 단위이므로 실제 웨이퍼 투입량과 직접 비교하지 않는다.
- **삼성전자 천안 Exynos 패키징 전환 보도(2026년 9월 15일)**: 시사저널e는 업계 관계자를 인용해 삼성전자가 천안 사업장의 Exynos 패키징을 단계적으로 접고 그 라인을 HBM 생산으로 전환한다고 보도했다. Exynos 2700부터는 온양에서 패키징한다는 내용이다 [S-3-84]. 같은 보도는 공정 복잡도와 수율 부담 때문에 FOWLP를 접고, Exynos 2700에는 AP와 DRAM을 같은 기판 위에 나란히 두는 SbS(side-by-side) 구조를 쓴다고 전했다 [S-3-84]. 삼성전자는 이를 확인하지 않았고 보도 안에도 내부 계획은 바뀔 수 있다는 단서가 붙어 있다. 3.4의 FOWLP-HPB 서술은 Exynos 2600 기준으로 유지하되, 차세대 AP의 팬아웃 채택은 보도 기준으로 불확실해졌다고 보는 것이 맞다.
- **삼성 파운드리·Cadence 설계 생태계 확대(2026년 9월 17일 재게재 기준)**: 재게재 사이트에 2026년 9월 17일로 날짜가 표시된 삼성 파운드리와 Cadence의 AI 설계 생태계 확대 발표는 협력 범위에 3D Cube-H를 명시했다. Cube-H는 hybrid copper bonding(HCB) 기반 수직 집적 기술이며, 발표는 구현과 해석, 패키징, 사인오프 흐름을 더 긴밀히 잇는다고 설명했다 [S-3-85]. 삼성 원문에는 발행일이 적혀 있지 않으므로 9월 17일을 최초 발표일로 단정하지 않는다. 발표문은 Cube-H의 양산이나 고객 인증을 언급하지 않으므로 3.4의 개발 단계 서술은 그대로 유지된다. 같은 글에 나오는 NVIDIA와 Ambarella는 설계 협력 맥락의 파트너이므로 Cube-H 고객으로 옮겨 적으면 안 된다.
- **Intel EMIB 계열 기판 수율 보도(2026년 9월 17일, 9월 23일)**: Intel EMIB 계열의 외부 고객 확대가 기판 수율에 달려 있다는 보도가 이어졌다. 2026년 9월 17일 DIGITIMES는 Google의 Humufish TPU가 MediaTek을 ASIC 파트너로 두고 Intel EMIB-T를 채택해 2027년 말 양산에 들어갈 예정이라고 보도했다.

다만 EMIB-T 기판 수율이 뒤처져 CoWoS를 백업으로 검토한다는 내용이다 [S-3-86]. 2026년 9월 23일 TrendForce는 대만 天下雜誌와 ZDNet을 인용해 EMIB 기판 수율이 2026년 2분기 약 30%에서 최근 약 45%로 올랐고 4분기 50%, 2027년 1분기 60%를 목표로 한다고 전했다. 원인으로는 ABF 기판과 실리콘 브리지의 열팽창 차이와 NCF 접합 때 갇히는 기포를 들었다 [S-3-87]. 두 보도는 업계 소식통에 근거한 [보도]와 [전언]이며 Intel과 Google은 수율과 채택을 확인하지 않았다. 같은 기사에서 Lip-Bu Tan CEO가 기판을 병목으로 보고 공급사에 선급금을 내야 한다고 말한 부분은 공개 발언이다. 공급사로는 Ibiden, Shinko, Unimicron에 더해 삼성전기와 LG이노텍이 신규로 거론되었다 [S-3-87].

- **가오슝 바이푸 산업단지 착공(2026년 9월 21일)**: 가오슝 바이푸 산업단지가 착공되었고, TSMC는 이곳에 모듈형 Mini-Loop 라인을 둘 것으로 보도되었다. 이 라인은 신규 장비와 공정 통합을 CoWoS 투입 전에 검증한다 [S-3-88]. 검증 효율 25~50% 개선 목표는 9월 2일 공급사 캠퍼스 개소 때의 수치와 같으므로, 새 수치가 아니라 같은 계획의 후속 단계로 읽어야 한다 [S-3-08][S-3-88]. 같은 기사는 TSMC가 AUO의 중부 과학단지 공장을 여러 차례 방문해 부지 인수와 CoPoS 개발을 논의했다고 대만 매체를 인용해 전했으나, TSMC는 이를 공식 확인하지 않았다 [S-3-88]. 소재사에게는 검증 경로가 넓어진다는 뜻이지 상업 캐파가 늘었다는 뜻은 아니다.
- **UBS의 업계 CoWoS 캐파 전망(2026년 9월 22일)**: UBS 리포트의 전재에 따르면 업계 CoWoS 캐파는 2026년 말 월 160k장(160kwpm)에서 2027년 말 270kwpm으로 늘고, 2027년 말 몫은 TSMC 180, ASE 70, Amkor 20kwpm이다 [S-3-89]. ASE는 2026년 말 20kwpm에서 세 배 넘게 늘고, 증설분 가운데 OSAT 몫은 2026년 12%에서 2027년 26%로 커진다는 전망이다 [S-3-89]. 원 리포트는 열람하지 못한 전재 기준이다. Mizuho(2026-07-01)의 TSMC 2027년 190,000~200,000장과는 기관과 정의가 다르므로 한 표에 합치지 않는다 [S-3-63]. 3.5에서 다룬 OSAT 채널의 확대를 수치로 보여 주는 [전망]이다.
- **TSMC 북미 OIP Ecosystem Forum 2026의 EDA 발표(2026년 9월 23일)**: 행사 당일 EDA 회사들이 낸 발표는 패키징 설계 생태계 인증이 중심이었다. Cadence는 수백 개 chiplet과 수백만 개 범프를 다루는 SoW-X 전체 설계 흐름과, 5배 레티클 크기의 CoWoS-L형 패키지 설계를 지원한다고 밝혔다. COUPE를 자사 224G SerDes IP와 통합할 수 있게 했다는 내용도 들어 있다 [S-3-90]. Synopsys는 CoWoS의 IVR(integrated voltage regulator) 설계 지원과 COUPE 광전 공동설계를 이어 간다고 발표했다 [S-3-91]. 이 5배는 설계 도구의 지원 범위이지 제조 로드맵의 축소가 아니다. 3.2의 2027년 9.5, 2028년 14, 2029년 14 초과 레티클 로드맵은 그대로 유지된다 [S-3-03].

> **소재 관점에서 보면**: 추가분 가운데 소재와 가장 직접 닿는 것은 EMIB 기판 수율 보도다. 보도된 병목인 ABF와 실리콘 브리지의 열팽창 차이, NCF 접합 때의 기포는 언더필과 NCF, EMC의 CTE 설계와 경화 거동에 해당하는 물성 문제다. 따라서 브리지 매립 구조를 쓰는 고객과 한국 기판사로부터 평가 요청이 올 수 있는 영역이다 [S-3-87]. 다만 기사의 NCF를 삼성SDI 제품의 공급 사실로 연결할 근거는 없다. 캐파 쪽에서는 UBS 전망의 OSAT 몫 확대와 SPIL 미국 진출설이 OSAT 채널의 비중이 커지는 방향을 가리키지만, 둘 다 추정과 보도 단계다 [S-3-83][S-3-89]. 설계 쪽에서는 CoWoS-L과 Cube-H가 EDA 흐름에 들어간 만큼, 소재사가 초기 설계 단계에 온도별 물성 데이터를 제공하는 협업의 비중이 커진다.

이 자료의 최신 동향 기준 시점은 2026년 9월 27일이다. 추가분 가운데 날짜와 함께 인용할 만한 것은 세 가지다. 2026년 9월 23일 보도 기준 Intel EMIB 기판 수율이 약 45%이고 2027년 1분기 60%가 목표라는 전언 [S-3-87], 2026년 9월 22일 UBS의 2027년 말 업계 CoWoS 캐파 270kwpm 전망 [S-3-89], 2026년 9월 18일 TrendForce의 CoWoS-L 2028년까지 주류 유지 전망이다 [S-3-80]. 세 가지 모두 회사가 확정한 발표가 아니므로 [보도] 또는 [전망] 표기와 함께 인용해야 한다.

3.8 핵심 정리

관련 슬라이드: 35쪽 · 113쪽 · 114쪽

관련 도해: F-3-07A CoWoS 대형화 로드맵: 발표 연도와 목표 연도 · F-3-07B 캐리어는 원형 웨이퍼 · 사각 패널 · 웨이퍼 규모로 갈린다 · F-3-07C 캐리어 웨이퍼 장수 ≠ 완성 패키지 개수 · F-3-11 Cube-S의 qualified 구성과 ISC 확장형을 분리한다

번호	문장	출처
1	TSMC의 CoWoS 확장 로드맵은 2027년 9.5 레티클, 2028년 14 레티클(compute die 약 10개와 HBM 20스택)로 간다. 2029년에는 14 레티클을 넘어 HBM 최대 24스택으로 가며, SoW(System-on-Wafer)는 별도 트랙으로 40-reticle 초과 규모다.	S-3-03, S-3-04, S-3-05
2	CoWoS의 월 생산능력은 2025년 12월 75,000에서 80,000장이었고, 2026년 말 120,000에서 130,000장을 목표로 한다. TSMC는 2026년 9월에 CoWoS 캐파가 2027년까지 연평균 80% 이상 성장한다고 밝혔다.	S-3-09, S-3-08
3	삼성 파운드리에서 fully qualified 상태인 구성은 3.3x 실리콘 인터포저에 HBM 최대 8개를 얹은 2.5D 패키지다. ISC 3,000nF/mm² 이상이라는 사양은 HBM 8개를 초과하는 확장 인터포저 기반의 더 큰 패키지에 부여된 것이므로, 두 사양을 한 문장으로 합치면 안 된다.	S-3-28, S-3-29
4	TSMC 3DFabric Alliance의 공식 기판 파트너는 2026년 9월 19일 확인 기준 IBIDEN, Toppan, Unimicron 세 곳이며 삼성전기는 등재되어 있지 않다. 포함설은 2026년 5월 대만 언론 보도 단계다.	S-3-07, S-3-44
5	hybrid bonding은 로직에서 먼저 양산에 들어갔다. Intel Clearwater Forest가 2026년 6월 1일 정식 출시되었고 TSMC SoIC는 6μm를 양산 중이다. 메모리에서는 HBM4 높이가 720μm에서 775μm로 완화된 덕분에 16단이 마이크로범프를 유지하게 되었다(2024년 3월 JEDEC 위원회 합의 보도, 2025년 4월 표준 확정 보도에서 재확인, JEDEC 공식 문서 조항은 미확인). SK하이닉스는 2026년 8월 Hot Chips에서 hybrid bonding을 빨라야 HBM5부터 적용한다고 밝혔다.	S-3-18, S-3-65, S-3-67, S-3-72, S-3-73

3.9 자기 점검 퀴즈

관련 슬라이드: 36쪽

관련 도해: F-3-11 Cube-S의 qualified 구성과 ISC 확장형을 분리한다 · F-3-13A 소재 위치 ①: 실리콘 인터포저와 유기 RDL · F-3-13B 소재 위치 ②: 기판 매립 브리지와 몰드 재구성 · F-3-13C 소재 위치 ③: 마이크로범프 적층과 직접 접합 · F-3-13D 몰드 · PID · CMP: 세 품목의 수요 이동은 다르다 · F-3-14A CoWoS 파괴 해석: 계면 박리가 먼저, 몰드 균열이 뒤따른다 · F-3-14B EMC는 인터포저 · 기판 · 스티프너와 함께 설계한다

문 1. CoWoS-R와 CoWoS-L의 가장 본질적인 구조 차이는 무엇인가?

1. CoWoS-R은 HBM을 쓰지 않고 CoWoS-L은 HBM을 쓴다
2. CoWoS-R은 유기 RDL 인터포저만 쓰고 CoWoS-L은 그 RDL 안에 국부 실리콘 브리지를 매립한다
3. CoWoS-R은 3D 적층이고 CoWoS-L은 2.5D다
4. CoWoS-R은 기판을 쓰지 않고 CoWoS-L은 기판을 쓴다

문 2. 삼성 파운드리 Cube-S에 관해 반드시 구분해야 하는 두 문장의 조합으로 옳은 것은?

1. "3.3x 레티클 인터포저 + HBM 8개가 fully qualified"와 "ISC 3,000nF/mm² 이상은 HBM 8개 초과 확장 인터포저 사양"
2. "3.3x 레티클 인터포저 + HBM 8개가 fully qualified"와 "HBM 12개 이상을 수용하는 2.xD 구성은 개발 목표"
3. "Cube-S는 CoW 방식의 2.5D 플랫폼"과 "Cube-S는 실리콘 인터포저에 FC-BGA 기판을 쓴다"
4. "Cube-S는 Preferred Networks에 턴키로 공급된다"와 "Cube-S는 2nm GAA 공정과 함께 제공된다"

문 3. 2026년 9월 19일 기준 TSMC 3DFabric Alliance 공식 기판 파트너로 등재된 회사만 모은 것은?

1. IBIDEN, Shinko, Unimicron
2. IBIDEN, Toppan, Unimicron
3. IBIDEN, Unimicron, 삼성전기
4. Toppan, Unimicron, Nan Ya

문 4. hybrid bonding 확산이 소재 수요에 미치는 영향을 가장 정확하게 기술한 것은?

1. 범프와 언더필 수요가 늘고 CMP 슬러리 수요가 준다
2. 범프와 언더필 수요가 줄고 CMP 슬러리와 세정액, 본딩 유전체 수요가 는다
3. 모든 소재 수요가 동일하게 늘어난다
4. 기판 수요가 사라지고 몰드 수요만 남는다

문 5. OSAT 매출 수치를 읽는 방법으로 옳은 것은?

1. ASE $18.54B, Amkor $6.32B, JCET $5.0B는 2025년 회계연도 실적이며 순위도 그해 기준이다
2. 이 수치들은 2024 회계연도 실적이며, 2025년 실제 수치는 따로 구분해 보아야 한다
3. 상위 10사 합산 $41.56B만 2024년 실적이고, 개별 회사 금액은 볼 필요가 없다
4. 순위 순서만 2024년 기준이고, 금액은 2025년 추정치로 바꾸어 읽어도 된다

서술형 1. CoWoS-S에서 CoWoS-L로, 그리고 CoPoS와 FOPLP로 이어지는 흐름이 삼성SDI의 EMC, PID, CMP 슬러리 세 품목에 각각 어떤 방향의 수요 변화를 만드는지 설명하고, 세 품목의 성장 성격을 서로 다른 용어로 구분하라.

서술형 2. "삼성전기가 TSMC 3DFabric Alliance 공식 기판 파트너"라는 서술과 "三福化가 TSMC CoWoS 스트리퍼 공급망에 2023년 진입하여 2026년 매출 40~50% 성장"이라는 서술을 각각 어디까지 사실로 받아들일 수 있는지, 그 근거와 함께 설명하라.

정답과 해설

아래는 위 문항의 해설이다. 먼저 스스로 답한 뒤 이 상자를 펼쳐 보듯 읽는다.

문항 1

정답은 2번이다. CoWoS-R은 실리콘 인터포저를 제거하고 폴리머 유전체와 구리를 번갈아 쌓은 다층 RDL 인터포저만 쓰며, CoWoS-L은 그 RDL 인터포저 안에 LSI(Local Silicon Interconnect) 브리지를 매립해 배선 밀도가 필요한 구간만 실리콘으로 처리한다 [S-3-01].

1번이 틀린 이유는 두 플랫폼 모두 HBM 통합을 전제로 하기 때문이다. HBM 사용 여부는 CoWoS 갈래를 나누는 기준이 아니다. 3번이 틀린 이유는 CoWoS 계열 전체가 수평 통합의 2.5D 계열이고 3D 적층은 SoIC가 담당하기 때문이다. 4번이 틀린 이유는 CoWoS라는 이름 자체가 Chip-on-Wafer-on-Substrate이므로 두 갈래 모두 기판을 쓰기 때문이다. 기판을 생략하는 것은 InFO-PoP 같은 일부 팬아웃 구성이며 InFO-oS는 팬아웃 모듈을 기판에 실장하므로 InFO 계열 전체를 무기판으로 묶어도 틀린다.

문항 2

정답은 1번이다. 삼성 공식 페이지에서 fully qualified로 기술된 구성은 3.3x 실리콘 인터포저에 HBM 최대 8개를 통합한 패키지이고, ISC 3,000nF/mm² 이상이라는 사양은 HBM 8개를 초과하는 확장 인터포저 기반의 더 큰 2.5D 패키지에 부여된 것이다. 두 문장을 합치면 qualified 구성에 ISC가 내장된다는 근거 없는 주장이 된다 [S-3-28][S-3-29].

2번이 틀린 이유는 qualified 구성과 개발 목표가 서로 다른 시점의 상태를 말할 뿐 사양 귀속 오류를 만들지 않기 때문이며, 두 문장을 이어 써도 사실이 왜곡되지 않는다. 3번과 4번이 틀린 이유는 각각 같은 구성을 설명하는 모순 없는 속성이거나 같은 계약을 설명하는 두 측면이라 분리할 필요가 없기 때문이다.

문항 3

정답은 2번이다. 2026년 9월 19일 TSMC 공식 페이지를 직접 확인한 결과 Substrate 파트너는 IBIDEN, Toppan, Unimicron Technology Corp 세 곳이다 [S-3-07].

1번과 3번, 4번이 틀린 이유는 Shinko, 삼성전기, Nan Ya가 모두 공식 명단에 없기 때문이다. 이들 회사가 신규 기판 파트너로 포함되었다는 내용은 2026년 5월 대만 경제일보를 인용한 국내 보도 단계이며, 넉 달이 지난 2026년 9월에도 공식 명단은 바뀌지 않았다 [S-3-44]. 참고로 삼성은 메모리 파트너 항목에 Samsung Memory로 등재되어 있으므로 "삼성이 아예 없다"고 말해도 부정확하다.

문항 4

정답은 2번이다. hybrid bonding은 솔더 마이크로범프를 제거하고 유전체면과 구리 패드를 직접 접합하므로 범프와 언더필이 구조에서 빠지고, 대신 접합면의 조도와 구리 리세스를 만드는 CMP와 그 후 세정, 그리고 SiCN 같은 본딩 유전체가 수율을 결정하는 항목이 된다 [S-3-02][S-3-53][S-3-49].

1번이 틀린 이유는 인과가 정확히 반대이기 때문이다. 3번이 틀린 이유는 소재 수요가 총량으로 증가하는 것이 아니라 항목 사이에서 이동하기 때문이며, 이 대체 구조를 읽지 못하면 포트폴리오 수명을 잘못 판단한다. 4번이 틀린 이유는 hybrid bonding은 die 대 die 접합 방식일 뿐 패키지 최하단의 기판을 없애지 않기 때문이다. 기판을 생략하는 것은 InFO-PoP 같은 무기판 팬아웃 구성에 한정되며, 같은 InFO라도 InFO-oS는 기판을 쓴다.

문항 5

정답은 2번이다. ASE $18.54B, Amkor $6.318B, JCET $5.0B에 19.3% 성장이라는 조합은 2025년이 아니라 2024 회계연도 실적이다 [S-3-40]. 2025년 실제로는 Amkor가 $6.708B로 6.2% 증가했고 ASE는 NT$645.4B로 약 $20B 수준이며, 순위 순서는 두 연도 모두 ASE, Amkor, JCET로 동일하다 [S-3-41][S-3-42].

1번이 틀린 이유는 2024 회계연도 실적에 2025년 라벨을 붙였기 때문이다. 3번이 틀린 이유는 개별 회사 금액이 소재사 진입 경로를 판단하는 데 필요한 정보이고, 연도만 정확히 확인하면 그대로 쓸 수 있는 값이기 때문이다. 4번이 틀린 이유는 순위와 금액의 기준 연도를 다르게 섞으면 같은 해의 수치로 오독하게 되기 때문이며, 두 연도는 나누어 보아야 한다.

서술형 1

세 품목의 성장 곡선은 서로 다른 메커니즘에서 나오므로 먼저 이를 구분해야 한다. EMC는 확대형이다. CoWoS-S 시절의 오버몰드는 보호가 주 기능이었으나 CoWoS-L과 CoPoS, FOPLP로 가면 대면적에서 휨을 억제하는 구조 부재가 되므로 물량과 사양이 동시에 상승한다. ECTC 2026에서 TSMC가 EMC와 실리콘 die 계면 박리를 CoWoS 신뢰성의 지배적 실패 모드로 보고한 것이 그 근거다 [S-3-45].

PID는 신규형이다. 인터포저 재료가 실리콘에서 유기물로 바뀌는 지점에서만 생기는 항목이므로, CoWoS-S와 Cube-S에서는 자리가 없다가 CoWoS-R·L, Cube-E·R, InFO, FOPLP에서 통째로 새로 열린다 [S-3-01][S-3-28].

CMP 슬러리는 대체형이다. hybrid bonding이 범프와 언더필을 없애면서 그 예산이 접합면 평탄화와 세정으로 이동하며, 450nm 피치 시연에서도 CMP와 플라즈마 처리, 접합 후 어닐링이 핵심 최적화 항목으로 제시되었다 [S-3-45][S-3-49].

시점 판단까지 답하면 완성도가 높다. 로직에서는 hybrid bonding이 이미 양산에 들어갔지만 메모리는 720μm에서 775μm로의 높이 완화 덕분에 16단까지 마이크로범프로 갈 수 있다. 이 완화는 2024년 3월 JEDEC 위원회 합의 보도로 알려지고 2025년 4월 표준 확정 보도에서 재확인된 보도 기준 수치이며 JEDEC 공식 문서의 조항은 미확인이다 [S-3-73][S-3-65]. SK하이닉스도 HBM4E까지 MR-MUF를 유지한다고 밝혔으므로 CMP 슬러리의 대체 수요는 로직에서 먼저 나타난다 [S-3-67].

서술형 2

첫 번째 서술은 확인할 수 없으므로 한정어를 붙여 읽어야 한다. 2026년 9월 19일 TSMC 공식 3DFabric Alliance 페이지의 Substrate 파트너는 IBIDEN, Toppan, Unimicron 세 곳뿐이고 삼성전기와 Shinko는 등재되어 있지 않다 [S-3-07]. 2022년 10월 출범 보도자료에도 기판 파트너는 Unimicron과 IBIDEN뿐이었으며 삼성은 Samsung Memory로 메모리 부문에만 있었다. 따라서 확인된 범위는 "TSMC 기술포럼 자료에 삼성전기가 신규 기판 파트너로 포함되었다는 2026년 5월 대만 경제일보 인용 보도가 있으나, TSMC 공식 파트너 명단에는 반영되지 않았다"이다 [S-3-44].

두 번째 서술은 부분 확인에 그치므로 미검증 정보로 읽어야 한다. San Fu가 CoWoS 스트리퍼 주요 공급사인 것은 독립 확인되지만 2023년이라는 진입 시점은 그 이전일 가능성이 있어 확인되지 않았고, 2026년 성장률은 회사 실적설명회 자료와 수치가 달라 일치하지 않으며, AP7·AP8 물량 확정은 원출처 외에 확인할 수 없다 [S-3-54]. 따라서 이 사례는 "TSMC CoWoS·InFO 스트리퍼 공급망에 진입한 대만 로컬 소재사 사례로 거론되나 진입 시점과 성장률, 신규 팹 물량은 교차 확인되지 않았다[미검증]"는 수준으로 읽어야 한다.

두 사례의 공통 교훈은 언론 보도와 1차 공식 문서를 같은 층위로 섞지 않는 것이다. 소재사 진입 사례는 판단 근거로서 무게가 크게 실리는 항목이므로 확인 등급을 놓쳐서는 안 된다.

3.10 용어 사전

용어(영문)	한 문장 정의	처음 나온 절
3DFabric	TSMC가 SoIC, CoWoS, InFO를 하나로 묶어 부르는 후공정 플랫폼 통칭이다	3.1
CoWoS (Chip-on-Wafer-on-Substrate)	die를 캐리어 웨이퍼 위에 먼저 붙이고 그 조립체를 기판에 올리는 TSMC의 2.5D 플랫폼이다	3.1
LSI (Local Silicon Interconnect)	유기 RDL 인터포저 안에 국부적으로 매립하여 고밀도 배선만 담당하게 하는 작은 실리콘 브리지다	3.1
SoIC (System on Integrated Chips)	범프 없이 유전체와 구리 패드를 직접 접합해 die를 수직으로 쌓는 TSMC의 3D 플랫폼이다	3.1
InFO (Integrated Fan-Out)	몰드로 재구성한 인조 웨이퍼 위에 RDL을 직접 그려 기판과 인터포저를 생략하는 팬아웃 패키징이다	3.1
SoW (System-on-Wafer)	웨이퍼 한 장 규모로 통합하는 TSMC의 별도 트랙으로 40-reticle 초과 규모다	3.2
CoPoS (Chip-on-Panel-on-Substrate)	원형 웨이퍼 대신 310×310mm 사각 패널을 캐리어로 쓰는 TSMC의 패널레벨 플랫폼이다	3.2
COUPE (Compact Universal Photonic Engine)	전자 IC와 광 IC를 적층해 패키지 안에 넣는 TSMC의 실리콘 포토닉스 광엔진 플랫폼이다	3.2
EMIB (Embedded Multi-die Interconnect Bridge)	유기 기판 안에 실리콘 브리지를 매립해 die 사이만 고밀도로 잇는 Intel의 2.5D 인터커넥트다	3.3
EMIB-T	브리지에 TSV를 추가해 전력 전달과 신호 무결성을 개선한 EMIB의 후속 세대다	3.3
Foveros Direct	솔더 범프를 제거하고 구리 대 구리 직접 접합으로 die를 수직 적층하는 Intel의 3D 기술이다	3.3
Cube-S / Cube-E / Cube-R	삼성 파운드리의 수평 통합 플랫폼으로 각각 실리콘 인터포저, 브리지 매립형, 유기 RDL 인터포저를 쓴다	3.4
Cube-T / Cube-H	삼성 파운드리의 수직 통합 플랫폼으로 각각 열압착본딩 마이크로범프와 hybrid Cu bonding을 쓴다	3.4
SAINT (Samsung Advanced Interconnect Technology)	로직 위에 SRAM, 로직, DRAM을 각각 수직 적층하는 삼성의 3D 적층 브랜드다	3.4
ISC (Integrated Stack Capacitor)	인터포저 안에 내장하여 전원 무결성을 보강하는 적층형 커패시터 구조다	3.4
H-Cube	fine-pitch 기판 아래에 HDI 기판을 덧대어 대면적을 구현하는 삼성의 2.5D 기판 확장 트랙이다	3.4
FOWLP-HPB	팬아웃 웨이퍼레벨 패키지에 열 경로 블록을 결합해 방열을 개선한 삼성의 모바일 AP 패키지 구조다	3.4
OSAT (Outsourced Semiconductor Assembly and Test)	조립과 테스트를 전문으로 수탁하는 후공정 업체를 가리킨다	3.5

용어(영문)	한 문장 정의	처음 나온 절
ABF (Ajinomoto Build-up Film)	고급 FC-BGA 기판의 빌드업 절연층에 쓰이는 필름으로 사실상 단일 공급사 구조다	3.5
PID / PSPI	노광으로 비아를 형성할 수 있는 감광성 유전체로 유기 RDL 인터포저의 핵심 소재다	3.6
LMC (Liquid Molding Compound)	액상으로 공급되어 대면적 팬아웃과 인터포저 오버몰드에 쓰이는 몰딩 컴파운드다	3.6

3.11 더 읽을 자료

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-3-03	기업발표	TSMC Debuts A13 Technology at 2026 North America Technology Symposium	TSMC	2026-04-22	CoWoS 14 레티클, SoW-X, SoIC 4.5μm, COUPE 일정의 1차 출처다	OA
S-3-07	기업발표	TSMC 3DFabric Alliance 공식 파트너 페이지	TSMC	2026-09-19 확인	기판·메모리·OSAT 파트너 명단의 유일한 1차 근거다	OA
S-3-28	기업발표	Advanced Heterogeneous Integration (Cube 라인업)	삼성전자 파운드리	2026-09-19 확인	Cube 신명명 체계와 qualified 문구, ISC 귀속의 1차 출처다	OA
S-3-20	기업발표	Foveros Direct 3D Technology Brief	Intel	2025-11	Intel 패키징 포트폴리오와 피치 수치의 공식 문서다	OA
S-3-76	논문	Fracture Analysis for CoWoS Reliability Improvement (ECTC 2026 Paper 6.3)	Yew 외, TSMC	2026	EMC/Si 계면 박리가 먼저 시작되며 CoWoS-R이 S·L보다 EMC 실패 위험이 높은 이유를 알 수 있다. 전문 확인	구독
S-3-46	논문	Warpage in wafer-level packaging: a review of causes, modelling, and mitigation strategies	Frontiers in Electronics	2025-02-03	몰드와 CTE 부정합이 warpage를 만드는 물리를 체계적으로 정리한다	OA
S-3-47	논문	Warpage prediction and optimization in ultra-thin FOPLP substrates	J Mater Sci: Mater Electron	2025-11-19	경화 수축을 등가 CTE로 보정하면 FOPLP 적층 기판의 warpage 예측 오차가 27.6%에서 10.6%로 줄어든다. 전문 확인	구독
S-3-48	논문	Review on Fan-Out Packaging of Light-Emitting Diodes	ASME J. Electron. Packag.	2026-03	더미 배치 34.91%, 교차 배치 45% 이상의 warpage 저감을 보고하되 mini/micro-LED 조건임에 유의한다. 전문 확인	OA
S-3-49	논문	YAP+: Pad-Layout-Aware Yield Modeling and Simulation for Hybrid Bonding	arXiv (Chen, Gupta)	2025-10-20	hybrid bonding 수율을 결정하는 인자를 CMP 관점에서 이해할 수 있다	OA
S-3-52	표준·로드맵	HIR 2025 Rev 0.9 Chapter 15: Materials and Interfaces for Advanced Packaging	IEEE EPS	2026-05 공개	첨단 패키징 소재의 표준 로드맵 시각을 제공한다	OA
S-3-08	뉴스	TSMC to establish advanced packaging hub in Kaohsiung industrial park	Focus Taiwan	2026-09-02	소재사 검증 접근 경로가 열린 사건이며 캐파 성장률 발언이 담겼다	OA

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-3-40	분석기관	Top 10 OSAT Companies of 2024	TrendForce	2025-05-13	OSAT 매출 순위의 연도 라벨을 확인하는 근거다	OA
S-3-67	뉴스	Hot Chips 2026: SK hynix pushes hybrid bonding to HBM5 as AI memory hits 775-micron ceiling	Tom's Hardware	2026-08	SK하이닉스 1차 발언으로 메모리 hybrid bonding 시점을 확정할 수 있다	OA
S-3-65	분석기관	JEDEC Finalizes HBM4 Standard, Potentially Easing Pressure on Hybrid Bonding Adoption	TrendForce	2025-04-21	720μm에서 775μm로의 높이 완화가 언제 확정되었는지의 근거다	OA
S-3-44	뉴스	TSMC's 3DFabric Alliance Brings Together Substrate Companies	아시아경제	2026-05-02	삼성전기 포함설의 원 보도이며 공식 명단과 대조해야 한다	OA

DAY 4 · 예상 소요 2.5시간

Day 4. HBM 심층: 구조, 세대, 본딩 방식

선수 지식 Day 1의 AP 계보와 용어, Day 2의 요소 공정(TSV·마이크로범프·언더필·몰딩)

학습 목표: 이 Day를 마치면 다음 세 가지를 할 수 있다.

1. HBM 한 스택의 단면을 층별로 그리고, HBM3E의 1024-bit 인터페이스가 HBM4에서 2048-bit로 배증되면서 base die가 로직 파운드리 공정으로 넘어간 이유를 설명할 수 있다.
2. 세대별 핀 속도·대역폭·최대 단수와 JEDEC 표준 문서 번호를 표로 재현하고, 삼성전자와 SK하이닉스의 HBM4 "최초" 주장에 서로 다른 한정어가 붙는다는 점을 날짜와 함께 구분할 수 있다.
3. TC-NCF와 MR-MUF의 소재·공정 차이를 물성 수치로 설명하고, hybrid bonding 전환 시점을 양사의 2026년 최신 발언을 근거로 판단할 수 있다.

선수 지식: Day 2에서 배운 TSV, 마이크로범프, 언더필 4방식, 몰딩, warpage / **예상 소요**: 2.5시간

4.0 한눈에 보기

관련 슬라이드: 17쪽 · 37쪽 · 38쪽 · 40쪽 · 44쪽 · 112쪽

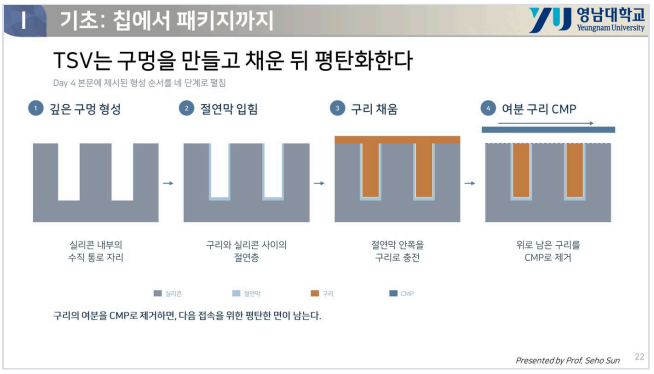
관련 도해: F-1-08 연산은 메모리보다 빠르게 성장했다 · F-4-01A HBM 스택을 일곱 층으로 읽는다 · F-4-01B 소재의 자리는 스택 안에 세 곳이다 · F-4-04A 본딩 세 방식은 다이 사이 재료가 다르다 · F-4-04B 다이 간 갭필의 기능이 접합면으로 이동한다 · F-4-09A 하이브리드 본딩은 표면 준비부터 검사까지다 · F-4-09B 활성화 가스가 정렬 오차에도 영향을 준다 · F-4-09C 어닐 온도와 Cu recess 목표는 한 쌍이다 · F-4-09D 접합 후 검사에는 보이지 않는 영역이 남는다 · F-4-11A 높이 한도는 확정값과 논의값을 구분한다 · F-4-11B 16단 × 50μm는 다이만으로 800μm다 · F-4-11C 한도를 올려도 단수가 늘면 층당 예산은 줄어든다

HBM은 DRAM 여러 장을 TSV로 꿰어 수직으로 쌓고, 실리콘 인터포저를 통해 GPU와 초광폭으로 연결하는 메모리다. HBM을 이해하는 세 축은 구조와 세대와 본딩이다. 세 축을 관통하는 숫자는 775μm라는 패키지 총두께 상한과 2,048개라는 HBM4의 I/O 수다. 2013년 JESD235로 출발한 표준은 2025년 4월 JESD270-4(HBM4)에서 인터페이스 폭을 1024-bit에서 2048-bit로 넓혔다. 그 결과 base die가 DRAM 공정으로 감당하기 어려운 복잡도에 도달해 로직 파운드리로 넘어갔다 [S-4-01].

총두께가 묶인 채 단수가 늘면 다이는 얇아져야 한다. 얇아진 다이는 휘고, 휨은 접합 불량으로 이어지며, 접합 불량 하나가 스택 전체를 폐기시킨다. 삼성전자의 TC-NCF는 필름을, SK하이닉스의 MR-MUF는 액상 에폭시 몰딩 컴파운드(EMC)를 매 적층면마다 소모한다. 두 방식을 모두 대체할 후보인 hybrid bonding은 다이 간 갭필과 솔더와 플럭스를 없앤다. 대신 화학기계연마(CMP) 슬러리와 세정액과 본딩 유전막 전구체를 새로 요구한다(패키지 몰딩과 스택 하단 언더필 수요는 남는다).

따라서 "hybrid bonding이 언제 오는가"는 기술 호기심이 아니라 사업 질문이다. 그 시점이 기존 소재 매출의 잔여 수명과 신규 소재의 진입 시점을 동시에 정하기 때문이다. 2026년 6월부터 8월까지의 양사 관련 발표와 보도는 그 시점이 한 세대 뒤로 밀린 것으로 읽힌다.

4.1 HBM 구조 해부: 층, 인터페이스, 데이터 경로



슬라이드 22쪽 · TSV는 구멍을 만들고 채운 뒤 평탄화한다

슬라이드 37쪽 · HBM 스택을 일곱 층으로 읽는다

슬라이드 38쪽 · 소재의 자리는 스택 안에 세 곳이다

그 밖의 관련 슬라이드: 7쪽 · 8쪽 · 9쪽 · 10쪽 · 11쪽 · 18쪽 · 40쪽 · 44쪽 · 69쪽 · 112쪽

관련 도해: F-1-09 HBM의 넓은 인터페이스가 2.5D를 부른다 · F-2-01 네 단면을 같은 순서로 읽는다 · F-2-01A FC-BGA: 유기 기판이 배선을 맡는다 · F-2-01B CoWoS-S: 두 접합부와 두 언더필 · F-2-01C HBM 12H: 스택을 층 단위로 해부한다 · F-2-01D FO-WLP: 몰드와 RDL이 기능을 나눈다 · F-4-04A 본딩 세 방식은 다이 사이 재료가 다르다 · F-4-04B 다이 간 갭필의 기능이 접합면으로 이동한다 · F-4-11A 높이 한도는 확정값과 논의값을 구분한다 · F-4-11B 16단 × 50μm는 다이만으로 800μm다 · F-4-11C 한도를 올려도 단수가 늘면 층당 예산은 줄어든다 · F-4-12A HBM은 서로 다른 웨이퍼 경로가 만나는 제품이다 · F-4-12B 소재 승인 경로는 세 구성으로 나뉜다 · F-4-12C base die 제조 경로가 회사별로 다르다 · F-5-07A 갭을 정하면 허용 필러 입경도 정해진다 · F-5-07B 입경·갭·피치·검출 크기는 다른 기준량이다

HBM 한 스택은 아래에서 위로 base die 한 장과 core die 여러 장으로 구성된다. base die는 호스트(GPU 또는 ASIC)와 신호를 주고받는 물리계층(PHY)과 제어 로직을 담고, core die는 실제 DRAM 셀 어레이를 담는다. 층과 층 사이는 TSV(Through Silicon Via, 실리콘 관통전극)로 수직 연결되고, 그 접합부에는 마이크로범프와 갭필 소재가 들어간다. 스택 전체는 실리콘 인터포저 위에 GPU와 나란히 놓이며, 인터포저의 미세 배선이 수천 개의 신호선을 짧은 거리로 잇는다. 이 구조 덕분에 HBM은 GDDR 계열처럼 기판을 길게 돌아가지 않고도 초광폭 인터페이스를 쓸 수 있다.

HBM이 이런 형태가 된 이유는 대역폭과 전력의 교환 관계에 있다. GDDR 계열 메모리는 칩 하나당 신호선이 32개 안팎이고, 이 신호선이 패키지 기판 위를 수 센티미터 달려 프로세서에 도달한다. 거리가 멀면 신호 감쇠를 이기기 위해 핀 속도와 구동 전력을 높여야 하고, 대역폭을 늘리려면 칩 수를 늘려 기판 면적을 더 써야 한다. HBM은 반대로 간다. 신호선을 1,024개 또는 2,048개로 한꺼번에 늘리는 대신, 인터포저 위에서 거리를 수 밀리미터로 줄여 핀 속도를 낮게 유지한다. 폭을 넓히고 속도를 낮춰 비트당 전력을 줄이는 구조이며, 그 대가로 TSV와 적층과 인터포저라는 값비싼 공정을 떠안는다.

도해 F-4-02 · HBM은 폭을 넓히고 전송 거리를 줄인다 · 근거 S-4-01
폭을 넓히고 속도를 낮춰 비트당 전력을 줄인다. 대가는 TSV·적층·인터포저 공정이다.

인터페이스 폭이 HBM의 정체성이다. HBM3E까지는 스택당 1024-bit였고, 채널은 HBM3 기준 16개이며 채널마다 2개의 pseudo-channel로 나뉜다. pseudo-channel은 하나의 물리 채널을 두 개의 준독립 영역으로 분할해 뱅크 충돌을 줄이고 유효 대역폭을 높이는 구조다. HBM4는 이 인터페이스를 2048-bit로 두 배 넓히고 채널을 32개로 배증했으며, 채널당 pseudo-channel 2개 구조는 유지했다 [S-4-01]. 폭이 두 배가 되면 같은 핀 속도에서 대역폭도 두 배가 되므로, HBM4는 JEDEC 표준 속도 8Gb/s에서도 스택당 2TB/s에 도달한다 [S-4-01].

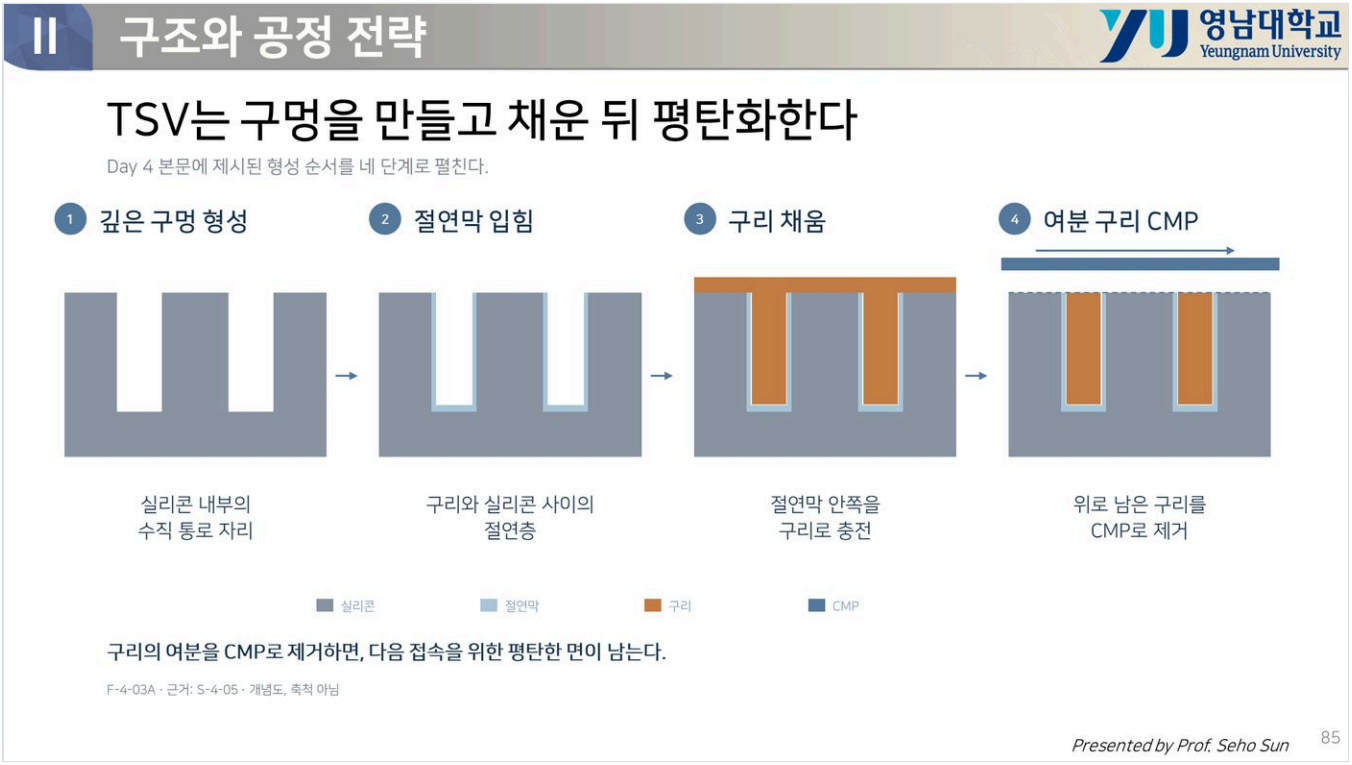
폭의 배증이 base die에 일으킨 변화가 HBM4의 가장 중요한 구조 전환이다. I/O가 1024개에서 2048개로 늘면 base die 안의 PHY와 제어 로직 면적·복잡도가 함께 는다. 이를 DRAM 공정으로 구현하면 면적과 전력이 모두 불리해진다. 그래서 3사 모두 base die를 로직 공정으로 옮겼다.

SK하이닉스는 base die를 TSMC에 위탁했고 [S-4-17] 적용 노드는 12nm급으로 보도된다【보도 기준】 [S-4-39]. 삼성전자는 자사 파운드리 4nm 로직 공정을 써서 메모리와 파운드리와 패키징을 한 회사 안에 묶는 구조를 택했다 [S-4-09]. base die가 로직 공정으로 넘어가면 단순한 인터페이스 칩이 아니라 연산·제어 기능을 통합하는 영역이 된다. 이것이 4.6절에서 다룰 custom HBM의 출발점이다.

이 구조 전환은 공급망에도 반영되었다. 다만 HBM3E에도 core die와 기능·설계가 다른 base die는 이미 있었다. 이종 다이를 쌓는 구조 자체가 HBM4에서 처음 생긴 것은 아니다. 달라진 것은 base die의 제조 공정과 공급 주체다. SK하이닉스는 HBM3E까지 자체 기술로 만들던 base die에 HBM4부터 TSMC의 로직 공정을 적용한다고 공식 발표했다 [S-4-17].

그 결과 메모리 팹에서 나온 core die 웨이퍼와 로직 파운드리에서 나온 base die 웨이퍼를 합쳐야 제품이 된다. 두 웨이퍼는 공정도 두께도 범프 규격도 다르므로 정렬과 접합의 난도가 올라간다. 열팽창계수 차이에서 오는 휨(warpage) 관리도 한층 까다로워진다. 3D 집적 공정을 소재 관점에서 정리한 최근 리뷰는 HBM 적층의 난제를 TSV 형성, 웨이퍼 박형화, 접합면 처리, 갭필의 네 축으로 나눈다. 네 축은 모두 소재 사양으로 번역된다 [S-4-05].

층과 층을 잇는 두 요소는 TSV와 마이크로범프다. TSV는 다이를 수직으로 관통하는 구리 기둥이다. 깊은 구멍을 뚫고 절연막을 입힌 뒤 구리를 채우고, 여분을 CMP로 깎아 내는 순서로 만든다. 마이크로범프는 TSV 끝에 올라가 위아래 다이를 전기적으로 잇는 접속점이다. 솔더가 녹아 붙는 방식이므로 접속점 사이에 반드시 간극이 남는다. 이 간극을 채우는 것이 갭필 소재의 일이며, 채우는 방식의 차이가 곧 4.3절의 TC-NCF와 MR-MUF의 차이다.



도해 F-4-03A · TSV는 구멍을 만들고 채운 뒤 평탄화한다 · 근거 S-4-05
구리의 여분을 CMP로 제거하면, 다음 접속을 위한 평탄한 면이 남는다.

도해 F-4-03B · TSV 끝의 범프 사이가 갭필의 자리다 · 근거 S-4-05
TSV는 다이 내부를, 마이크로범프는 다이 사이를 잇는다. 남는 간극을 갭필이 채운다.

실리콘과 유기물과 구리는 열팽창계수가 서로 다르다. 그래서 공정 온도가 오르내릴 때마다 층 사이에 응력이 쌓여 warpage가 생긴다. 다이가 얇아질수록 이 응력을 버틸 강성이 줄어들므로, 박형화와 warpage 제어는 항상 함께 다루어야 하는 한 쌍의 문제다 [S-4-04][S-4-05].

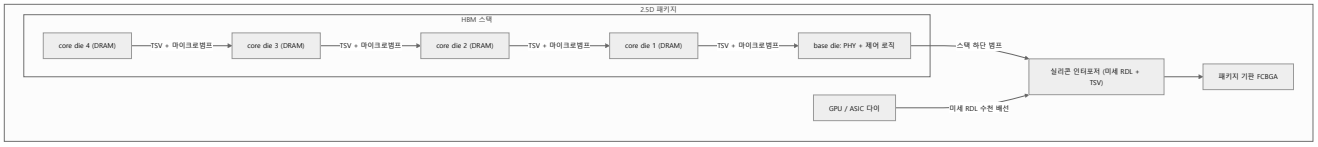
도해 F-4-01A · HBM 스택을 일곱 층으로 읽는다 · 근거 S-4-01, S-4-04, S-4-09, S-4-39, S-4-49
단수는 core die 수다. base die·상단 보호층·스택 하단 접합부는 별도로 읽는다.

도해 F-4-01B · 소재의 자리는 스택 안에 세 곳이다 · 근거 S-4-04, S-4-05
같은 수지 계열이라도 들어가는 위치가 다르면 역할과 요구 조건이 달라진다.

HBM 스택 층 구조

층	구성	대표 치수·사양	소재·접합	출처
상단 몰드·더미 실리콘	스택 상부 보호·평탄화	스택 총높이 예산 안에서 배분	EMC 또는 더미 다이	[S-4-04]
core die ×N	DRAM 셀 어레이	HBM4는 4/8/12/16단, 다이 밀도 24Gb 또는 32Gb	실리콘, TSV 관통	[S-4-01]
다이 간 접합부	마이크로범프 + 갭필	16단 HBM4 기준 웨이퍼 박형화 약 30μm(2026-01 보도). 별도 보도의 다이 두께 약 50μm는 16단 환산 시 800μm로 775μm 한도를 넘어 확정 사양에서 제외	TC-NCF(필름) 또는 MR-MUF(액상 EMC)	[S-4-22]
base die (logic die)	PHY, 제어·테스트 로직	삼성 4nm(공식), SK하이닉스 TSMC 12nm급(보도 기준)	로직 파운드리 웨이퍼	[S-4-09] [S-4-39]
스택 하단 범프	base die와 인터포저 접속	마이크로범프	솔더·언더필	[S-4-04]
실리콘 인터포저	GPU와 HBM 수평 연결	다중 레티클 면적, TSV 내장	실리콘, 미세 RDL	Day 3 참조
패키지 기판	인터포저 지지·외부 접속	FCBGA	ABF 빌드업, 솔더볼	Day 3 참조

데이터 경로

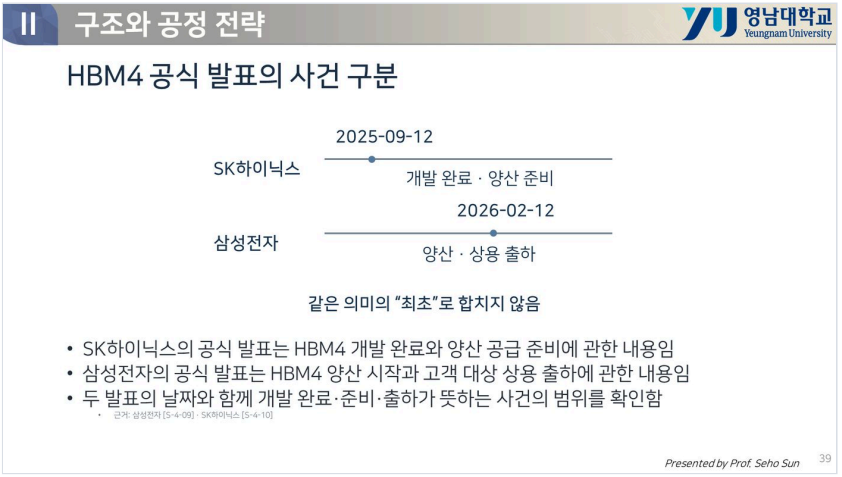


핵심 수치

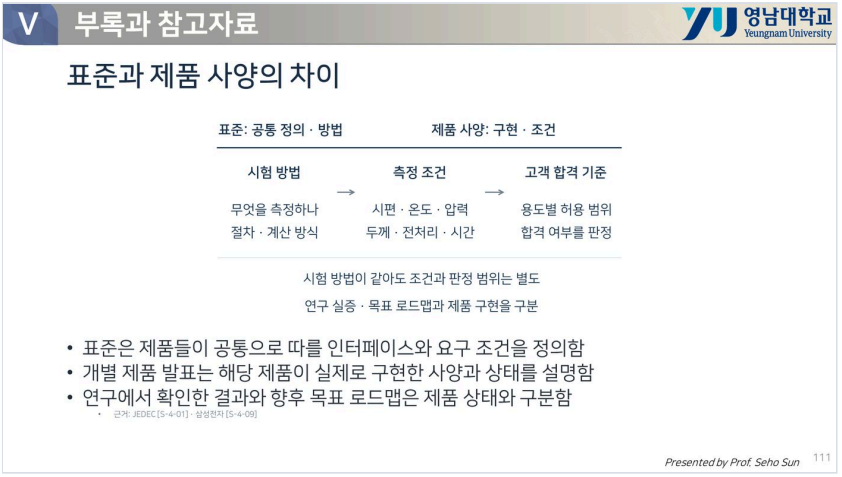
항목	값	기준 시점	출처
HBM3 인터페이스·채널	1024-bit, 16채널, 채널당 pseudo-channel 2개	JESD238 계열	[S-4-01]
HBM4 인터페이스·채널	2048-bit, 32채널, 채널당 pseudo-channel 2개	2025-04 JESD270-4	[S-4-01]
HBM4 스택당 대역폭(표준)	최대 2TB/s	2025-04	[S-4-01]
HBM4 최대 용량	64GB (32Gb 다이 ×16단)	2025-04	[S-4-01]
HBM4 base die 공정	삼성 4nm 로직(공식) / SK하이닉스 TSMC 12nm급 (보도 기준)	2026-02, 2026-01	[S-4-09] [S-4-39]
HBM4 패키지 높이 한도	775μm (HBM3E 720μm에서 완화)	2024-03 JEDEC 위원회 합의 보도가 최초 출처, 2026-08 보도로 재확인【보도 기준, JESD270-4 대 4A 어느 판의 조항인지 미확인】	[S-4-49] [S-4-25]

> **소재 관점에서 보면**: 층 구조 표에서 소재가 들어가는 자리는 세 곳이다. 다이 간 접합부의 갭필 소재, 스택 상부의 몰딩 소재, base die와 인터포저 사이의 언더필이다. 단수가 늘면 접합면 수가 그대로 늘기 때문에, 12단에서 16단으로 가는 것만으로 접합면당 소재 소모량이 비례하여 증가한다. 동시에 전체 높이 예산이 775μm로 묶여 있으므로 층당 두께는 줄어야 한다. 그래서 갭필 소재에는 더 낮은 점도와 더 작은 필러 입경이 요구된다. 삼성SDI의 EMC 계열 소재로 보면, 요구 물성이 "더 얇은 층에 보이드 없이 채우면서 열은 더 잘 빼는" 방향으로 한 세대마다 조여진다는 뜻이다.

4.2 세대별 스펙과 JEDEC HBM4 표준



슬라이드 39쪽 · HBM4 공식 발표의 사건 구분



슬라이드 111쪽 · 표준과 제품 사양의 차이

그 밖의 관련 슬라이드: 17쪽 · 40쪽 · 45쪽 · 98쪽 · 112쪽

관련 도해: F-1-08 연산은 메모리보다 빠르게 성장했다 · F-4-02 HBM은 폭을 넓히고 전송 거리를 줄인다 · F-4-11A 높이 한도는 확정값과 논의값을 구분한다 · F-4-11B 16단 × 50μm는 다이만으로 800μm다 · F-4-11C 한도를 올려도 단수가 늘면 층당 예산은 줄어든다 · F-7-10A 2026~2030: 기술 변화와 자료의 행동 제안을 같은 축에 놓는다 · F-7-10B 본딩 전환의 "세대"와 "연도"는 다른 정보다 · F-7-10C 자료가 권고하는 준비 순서는 기존 실적과 신규 데이터를 나눈다

HBM은 JEDEC이 표준을 정하는 메모리다. 표준 문서는 인터페이스 폭, 핀 속도 등급, 채널 구조, 최대 단수, 다이 밀도, 전압, 신뢰성 기능을 규정한다. 각사는 그 위에서 표준을 초과하는 스펙을 자율적으로 제시한다. 1세대 HBM은 JESD235로 2013년에 표준화되었고, HBM3는 JESD238로, HBM4는 JESD270-4로 각각 표준화

되었다. HBM2, HBM2E, HBM3E는 별도 번호가 아니라 각각 JESD235 계열과 JESD238 계열의 개정판으로 다루어진다. 개정 접미사까지 정확히 확인하려면 JEDEC 문서 페이지의 최신 개정본을 보는 것이 안전하다 [S-4-01].

JESD270-4는 2025년 4월 16일에 발간되었다 [S-4-01]. 이 표준의 헤드라인 사양은 2048-bit 인터페이스, 핀당 최대 8Gb/s, 스택당 최대 2TB/s다. 여기에 32채널과 채널당 2개의 pseudo-channel, 4/8/12/16단 스택이 더해진다. 다이 밀도는 24Gb 또는 32Gb이며, 32Gb 16단 조합에서 최대 용량 64GB가 된다.

전압은 VDDQ를 0.7V, 0.75V, 0.8V, 0.9V 중에서, VDDC를 1.0V 또는 1.05V 중에서 벤더가 고르게 하여 전력 최적화 여지를 넓혔다. 신뢰성 측면에서는 row hammer 대응을 위한 DRFM(Directed Refresh Management)을 도입했다. 기존 HBM3 컨트롤러와의 후방 호환성도 유지해, 하나의 컨트롤러로 두 세대를 모두 다룰 수 있다 [S-4-01].

표준을 읽을 때 놓치기 쉬운 항목이 전압과 신뢰성 기능이다. VDDQ 하한을 0.7V까지 둔 것은 I/O가 2,048개로 늘어난 상황에서 인터페이스 전력이 그대로 두 배가 되는 것을 막기 위한 설계 여지다. DRFM은 특정 행을 반복 접근해 인접 행의 데이터를 교란하는 행 교란(row hammer) 공격에 대응하는 기능이다. AI 서버처럼 여러 사용자의 작업이 같은 메모리를 공유하는 환경에서 요구가 커졌다. 후방 호환성 조항은 세대 전환 속도에 영향을 준다. 하나의 컨트롤러 설계로 HBM3와 HBM4를 모두 다루면 고객이 세대를 갈아탈 때의 설계 비용이 줄고, 그만큼 세대 전환이 빨라진다 [S-4-01].

실제 상용품은 표준을 상회한다. SK하이닉스는 개발 완료 발표문에서 10Gb/s 초과를 제시했다 [S-4-10]. 삼성전자는 상용 출하 발표문에서 11.7Gb/s 상시 속도와 최대 13Gb/s를 제시했다 [S-4-09]. 표준 대비 46% 높은 속도를 내세운 셈이다. HBM4E는 2026년 9월 기준으로 아직 단일한 JEDEC 표준 번호가 없다. 각사는 샘플 단계에서 14~16Gb/s급 사양을 제시하고 있다 [S-4-11][S-4-21].

세대별 스펙 비교

세대	인터페이스·채널	핀 속도	스택당 대역폭	적층·용량(확인 범위)	첫 상용 시점	JEDEC 문서	출처
HBM	1024-bit	1 Gb/s	128 GB/s	초기 제품 4단	2015 (AMD Fiji)	JESD235	*[C-4-03]* *[C-4-06]*
HBM2	1024-bit	초기 2 Gb/s	256 GB/s	최초 양산 발표 4단, 이후 8단	2016	JESD235A 계열	*[C-4-04]*
HBM2E	1024-bit	3.6 Gb/s	460.8 GB/s	양산 확인 8단 (표준은 12단·24GB 허용)	2020	JESD235 계열 개정	*[C-4-02]* *[C-4-05]*
HBM3	1024-bit, 16채널 (pseudo-channel 32개)	6.4 Gb/s	819.2 GB/s	12단 제품, 표준 16단·64GB	2022 (NVIDIA H100)	JESD238	*[C-4-02]* *[C-4-06]*
HBM3E	1024-bit	삼성 발표 10 Gb/s(후속 HBM4 비교문에는 9.6)	1,280 GB/s(10 Gb/s 기준)	확인 제품 12단 36GB	2024	JESD238 계열 개정	[S-4-19] *[C-4-07]*
HBM4	**2048-bit, 32채널(채널당 pseudo-channel 2개)**	표준 8 Gb/s, 상용 10 Gb/s 초과~11.7(최대 13)	표준 약 2 TB/s(산술 2.048), 상용 최대 3.3 TB/s	4/8/12/16단, 최대 64GB	SK 2025 개발완료·삼성 2026-02 상용 출하	**JESD270-4 (2025-04-16)**	[S-4-01] [S-4-09] [S-4-10]
HBM4E	2048-bit	삼성 상시 14·최대 16, SK 최대 16 Gb/s	삼성 발표 3.6 TB/s(16 Gb/s 산술값 약 4.1)	확인 샘플 12단 48GB, 16단 64GB 계획	샘플 2026 상반기, 양산 2027 목표	단일 표준 번호 미발간	[S-4-11] [S-4-12]

(주: 적층 수는 core die 수이며 base die를 포함하지 않는다. 대역폭은 핀 속도에 인터페이스 폭을 곱하고 8로 나눈 산술값이다. 표에서 표준 상한과 확인된 양산 제품은 서로 다른 칸에 있다 *[C-4-01]*.)

표를 가로로 읽으면 HBM의 성능이 두 가지 방식으로만 올라왔다는 사실이 보인다. HBM부터 HBM3E까지 열 해 동안은 인터페이스 폭을 1024-bit로 고정한 채 핀 속도만 1Gb/s에서 10Gb/s로 열 배 올렸다. 속도를 올리는 방식은 회로 설계로 해결되므로 패키징 구조를 바꾸지 않아도 된다. 그러나 속도에 비례해 전력과 발열이 늘고 신호 무결성 확보가 어려워진다. HBM4에서 폭을 두 배로 넓힌 것은 그 한계에 부딪혀 다른 축을 연 결과다.

폭을 넓히는 방식은 속도를 올리지 않고도 대역폭을 두 배로 만들어 전력 효율에 유리하다. 대신 I/O 수만큼 접속점이 늘어 패키징 난도를 직접 끌어올린다. 표를 세로로 읽으면 최대 단수가 4단에서 16단으로, 다시 HBM5의 20단 논의로 계속 올라간다. 본딩 소재가 세대마다 재검증을 요구받는 근본 이유가 여기에 있다 [S-4-01].

"최초" 주장의 한정어 구분

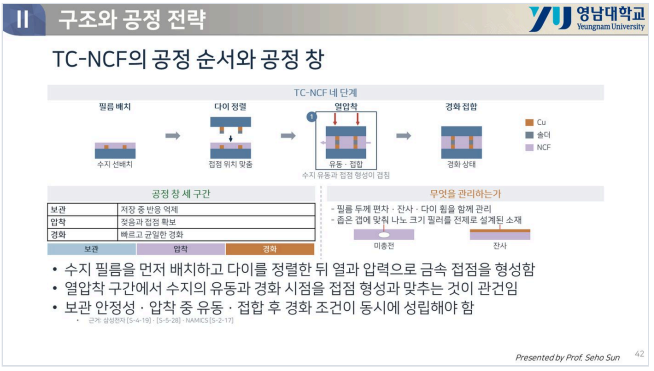
시점	주체	발표 내용	한정어
2025-04-16	JEDEC	JESD270-4 HBM4 표준 발간	표준 확정
2025-09-12	SK하이닉스	HBM4 개발 완료·양산 체제 구축을 **세계 최초**로 달성. 2,048 I/O, 10Gb/s 초과, 전력효율 40% 이상 개선, 1bnm DRAM, Advanced MR-MUF	개발 완료·양산 준비
2026-02-12	삼성전자	HBM4 양산·상용 출하를 **업계 최초**로 달성. 11.7Gb/s(최대 13), 스택당 3.3TB/s, 1c DRAM + 4nm base die	상용 제품 출하
2026-06-05	NVIDIA	Vera Rubin용 HBM4에 대해 삼성·SK하이닉스·Micron 3사 인증 통과 확인	고객 확인
2026-Q2	SK하이닉스	HBM4 대량 출하 개시, 하반기 램프업	양산 출하

두 회사의 "최초"는 다음 단서를 붙여 읽어야 한다. "최초의 기준이 서로 다르다. SK하이닉스는 개발 완료·양산 준비 시점이고 삼성전자는 상용 제품 출하 시점이며, 양사 모두 자사 발표 기준이다" [S-4-09][S-4-10][S-4-33].

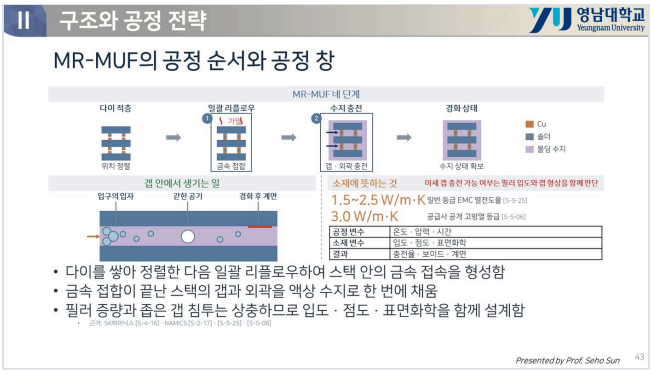
> **소재 관점에서 보면**: 표준이 최대 단수를 16단까지 열어 두고 다이 밀도를 32Gb까지 허용한다는 것은, 같은 높이 예산 안에서 더 많은 접합면을 만들라는 요구와 같다. 소재 사양서에서는 이 요구가 두 숫자로 번역된다. 하나는 접합면당 갭 두께이고, 다른 하나는 열 전달 경로의 총 열저항이다. 표준 문서가 높이와 단수를 규정하는 한, 소재사는 "몇 마이크로미터 갭에서 보이드 없이 채우는가"를 세대마다 다시 증명해야 한다. HBM4E에 아직 단일 표준 번호가 없다는 사실은 두께 규격이 완화될 여지가 남았다는 뜻이다. 그만큼 소재 요구 사양도 확정되지 않았다.

4.3 적층 본딩 3트랙: TC-NCF, MR-MUF, hybrid bonding

슬라이드 40쪽 · 16단 × 50μm는 다이만으로 800μm다

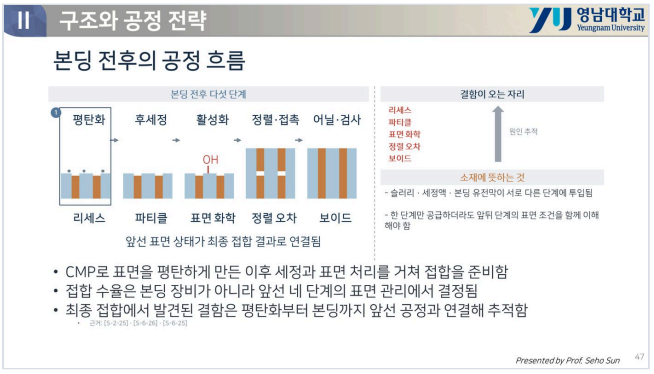


슬라이드 42쪽 · TC-NCF의 공정 순서와 공정 창



슬라이드 43쪽 · MR-MUF의 공정 순서와 공정 창

슬라이드 44쪽 · 본딩 세 방식은 다이 사이 재료가 다르다



슬라이드 47쪽 · 본딩 전후의 공정 흐름

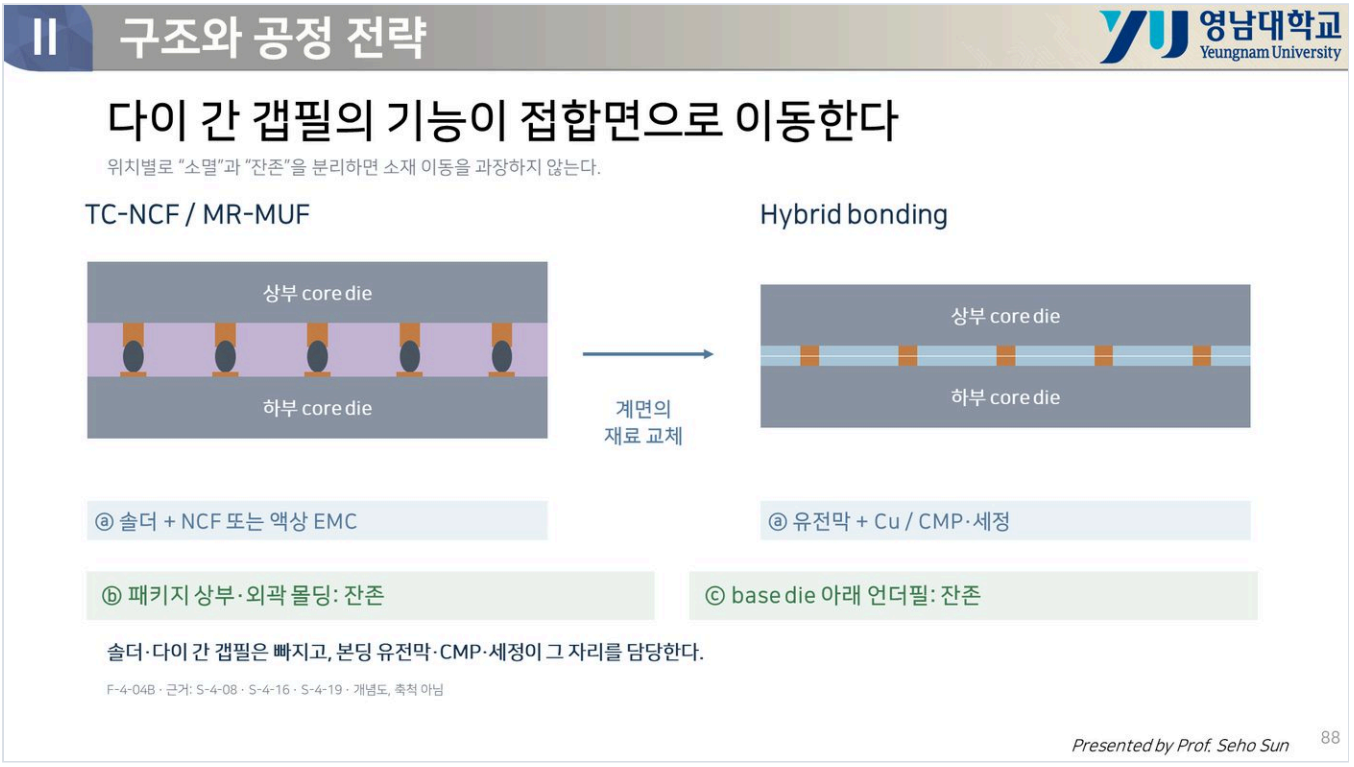
슬라이드 112쪽 · 높이 한도는 확정값과 논의값을 구분한다

그 밖의 관련 슬라이드: 21쪽 · 23쪽 · 31쪽 · 33쪽 · 41쪽 · 46쪽 · 49쪽 · 63쪽 · 64쪽 · 65쪽 · 66쪽 · 67쪽 · 68쪽 · 70쪽 · 81쪽 · 83쪽 · 85쪽 · 86쪽 · 116쪽 · 117쪽

관련 도해: F-2-06A TSV 리빌 ①: 캐리어 위에서 Cu 끝을 드러낸다 · F-2-06B TSV 리빌 ②: 절연하고 평탄화한 뒤 범프를 만든다 · F-2-06C 리빌 디싱과 본딩면 리세스는 같은 목표가 아니다 · F-2-08A 접합 3방식: 무엇을 녹이고 무엇을 맞대는가 · F-2-08B 피치 축소는 소재의 교체가 아니라 중첩을 만든다 · F-2-09A 하이브리드 본딩: 표면 준비에서 영구 접합까지 · F-2-09B 본딩면의 합격 조건은 nm와 오염의 조합이다 · F-2-11A 언더필 4방식: 도포 시점이 구조와 공정을 가른다 · F-2-11B CUF와 MUF: 접합 뒤 채우는 두 경로 · F-2-11C NCP와 NCF: 먼저 깔고 열압착한다 · F-3-04A SoIC: 범프 대신 유전막과 Cu를 직접 붙인다 · F-3-04B SoIC 로드맵: 피치와 적층 노드를 함께 본다 · F-3-09A Foveros S · R와 Direct는 같은 층 구조가 아니다 · F-3-09B 수직 Foveros Direct와 수평 EMIB를 조합한다 · F-3-09C Foveros Direct 피치는 출처별로 따로 읽는다 · F-5-04A 과립 EMC는 압축 성형으로 대면적을 덮는다 · F-5-04B 액상 주입과 성형 시험은 구분해서 읽는다 · F-5-05A 갭 충전재는 도포 시점부터 다르다 · F-5-05B CUF는 옆에서 스며들고, MR-MUF는 갭과 외곽을 채운다 · F-5-05C NCF·NCP는 전기 접촉 전에 수지를 배치한다 · F-5-06A 라미네이션에서는 필름을 붙이고 경화는 억제한다 · F-5-06B 본드헤드 설정과 실제 다이 온도는 다르다 · F-5-06C 최소 점도 창과 경화 창을 함께 맞춘다 · F-5-08A NCF는 다섯 기능을 한 필름에 넣은 소재다 · F-5-08B NCF 설계 지침과 1세대 실측값을 분리한다 · F-5-09A 솔더는 세 층위에 남아 있다 · F-5-09B 플럭스는 산화막을 없애지만 잔사가 남을 수 있다 · F-5-09C 작은 솔더 접합부에서는 계면과 전류밀도가 중요해진다 · F-6-08A CMP는 압반·패드·슬러리·온도를 함께 제어한다 · F-6-08B 벌크 Cu 제거와 nm 마감은 다른 플래튼에 맡긴다 · F-6-08C 산화제를 낮춘 사례에서는 디싱 분포와 부호가 달라졌다 · F-6-09A 리세스와 디싱은 주변 유전막을 기준으로 읽는다 · F-6-09B 에로전은 패드가 아니라 패턴 영역 전체의 내려앉음이다 · F-6-09C 척도가 달라지면 AFM·프로파일러·간섭계를 나누어 쓴다 · F-6-09D 같은 CMP에서도 Cu 간격에 따라 돌출이 디싱으로 바뀐다 · F-6-11A 본딩면에서는 Cu·배리어·SiCN이 동시에 드러난다 · F-6-11B 후세정은 입자뿐 아니라 잔사·금속·손상 상태를 다룬다 · F-6-11C 세정이 끝난 뒤부터 접합까지의 시간도 공정 변수다 · F-6-11D 리세스 목표는 어닐 온도와 한 쌍으로 정한다 · F-6-12A 임시접착제는 뒷면 공정을 견딘 뒤 깨끗이 떨어져야 한다 · F-6-12B 분리 방식에 따라 접착제와 캐리어를 함께 고른다 · F-6-12C 레이저 디본딩에 필요한 것은 사용 파장에서의 투과성이다 · F-7-09A NCF와 MR-MUF는 수지의 공급 형태와 접합 순서가 다르다 · F-7-09B NCF는 별도 평가하고, MR-MUF는 접근 가능한 수요처를 확인한다 · F-8-06 같은 CMP 조건에서도 Cu 간격이 형상을 바꾼다

세 방식은 "다이와 다이를 어떻게 붙이고 그 사이를 무엇으로 채우는가"에서 갈린다. TC-NCF(Thermal Compression with Non-Conductive Film)는 칩마다 비전도성 접착 필름을 끼운 뒤 열과 압력을 가해 한 장씩 순차로 붙인다. 필름이 접착과 갭필을 동시에 맡으므로 별도 언더필 주입이 없고 공정이 깔끔하다. 대신 칩 수만큼 열압착 사이클이 반복되어 공정 시간이 길고, 필름의 열전도가 낮다는 약점이 있다. 삼성전자가 이 방식을 쓰며, Micron도 같은 계열로 보도된다 [S-4-40].

도해 F-4-04A · 본딩 세 방식은 다이 사이 재료가 다르다 · 근거 S-4-16, S-4-19, S-4-08
Hybrid bonding에서 사라지는 것은 다이 간 갭필이다. 패키지 전체의 유기물이 사라지는 것은 아니다.



도해 F-4-04B · 다이 간 갭필의 기능이 접합면으로 이동한다 · 근거 S-4-08, S-4-16, S-4-19
솔더·다이 간 갭필은 빠지고, 본딩 유전막·CMP·세정이 그 자리를 담당한다.

SK하이닉스가 쓰는 MR-MUF(Mass Reflow Molded Underfill)는 적층한 전체 스택의 솔더 범프를 한 번의 리플로우로 일괄 접합한다. 이어서 액상 에폭시 몰딩 컴파운드로 칩 사이 간극과 범프 주변을 채우면서 몰딩을 함께 수행한다. 일괄 접합이므로 단수가 늘어도 공정 시간이 비례하여 늘지 않는다. SK하이닉스 설명 기준으

로 액상 EMC의 방열 특성이 우수하다(동일 조건 열전도율 비교값은 공개되지 않았다). 열 배출용 더미 범프도 TC-NCF 대비 최대 4배까지 배치할 수 있다. 약점은 액상 몰딩 특성상 얇은 칩의 warpage와 손상 제어가 어렵고, 좁은 간극을 보이드 없이 채우기가 까다롭다는 점이다 [S-4-16].

hybrid bonding은 접근이 다르다. 범프와 갭필 소재를 모두 없애고, 다이 표면의 구리 패드끼리 직접 접합하면서 그 주위의 유전막끼리도 융착시킨다. 솔더가 없으므로 약 10μm 이하 피치 영역의 해법이 된다. 로직에서는 TSMC SoIC 6μm이 양산되고, Intel Foveros Direct는 1세대 약 10μm에서 2세대 5μm 미만을 목표로 한다 [S-4-02]. 다이 사이에 유기물 층이 없으므로 열저항이 낮아지고 스택 높이도 줄어든다. 대신 접합면의 평탄도와 청정도가 곧 수율이 된다.

구리 패드의 recess(디싱)와 유전막의 post-CMP 표면 조도를 나노미터 수준에서 관리해야 하며, 파티클 하나가 보이드 하나가 되어 스택 전체를 폐기시킨다. 흔히 인용되는 Cu recess 1~5nm는 약 400°C 어닐을 동반한 조건의 사례값이다. 같은 자료에는 1패스 후 5~25nm 사례도 함께 실려 있다. SiCN 기준 RMS 0.10nm도 달성 가능한 값으로 제시된 것이지 모든 공정의 합격선이 아니다 [S-4-08]. 본딩면 CMP의 recess·조도 목표는 피치와 패드 구조와 유전막과 어닐 조건에 따라 따로 정해진다.

세 방식의 열 성능을 비교할 때는 해석 모델 자체가 결과를 좌우한다. 적층 DRAM의 층간 계면에서는 포논 수송이 확산 영역을 벗어나므로, 푸리에 법칙에 기반한 통상적 열 해석이 접합부 온도를 과소평가한다. 포논 몬테카를로 해석을 적용한 연구에 따르면 HBM 스택의 접합 온도는 푸리에 법칙 예측보다 59.8K 높다. 계면 포논 투과율에 따라 층간 온도차는 최대 56.6K까지 벌어진다 [S-4-07]. 본딩 방식을 바꾸어 계면 하나를 없애는 일은 단순한 열저항 덧셈 이상의 효과를 낸다. hybrid bonding의 열 이점이 해석에서 기대보다 크게 나타나는 배경이 여기에 있다.

ECTC 2025의 한 연구는 hybrid bonding으로 적층한 HBM의 열 성능을 ANSYS Icepak으로 해석했다. 이 해석에서 상부 몰드는 스택 열저항의 병목이었다. 모델은 칩 10×10mm, 칩당 2.5W 균일 발열, 콜드플레이트 25°C, 접합 패드 직경 5μm에 피치 10μm인 12단 구조다. 상부 몰드가 100μm일 때 최고 칩 온도는 62.0°C였고, Al2O3와 그래핀 필러로 EMC 열전도율을 8.7 W/m·K까지 올리면 31.6°C로 내려갔다. 몰딩이 없는 공정 흐름에서는 12단 스택 전체의 온도 상승이 3°C에 그쳤다. 마이크로범프로 쌓은 HBM3 대비 열저항은 절반 수준으로 계산되었다 [S-4-06].

다만 이 연구는 실측이 아니라 시뮬레이션이며, 저자들도 검증 시험이 예정되어 있다고 밝혔다. 따라서 세 수치는 같은 모델 안의 상대 비교로만 읽어야 하며, 제품 온도로 받아들이면 안 된다. EMC 열전도율 8.7 W/m·K 역시 이 논문의 측정값이 아니라 복합재 문헌값이다. 그래핀 계열은 전기 전도성 때문에 절연이 필요한 자리에 그대로 쓸 수 없다는 제약도 남는다 [S-4-06].

열 해석에서는 상부 몰드가 병목이었다

ANSYS Icepak 시뮬레이션 · 실측 아님 · 같은 모델 안의 상대 비교

냉각요소의 상부 배치는 개념 표시 · 실제 모델 도면 아님

모델	12단 적층 HBM
칩 크기	10 × 10 mm
발열	칩당 2.5 W, 균일 발열
접합 패드	직경 5μm / 피치 10μm
접합 방식	Hybrid bonding

상부 몰드: 스택 열저항의 병목

계면을 직접 붙여도 상부 몰드가 열을 막을 수 있다. 해석 결과는 경계조건과 함께 읽는다.

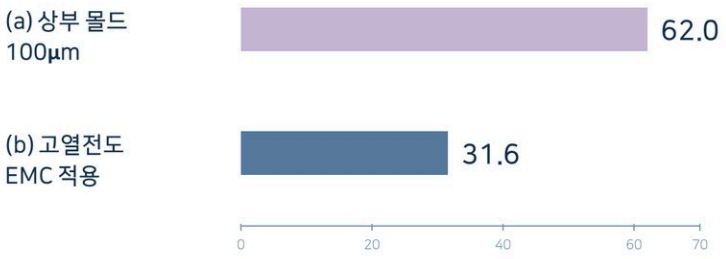
F-4-05A · 근거: S-4-06 · 개념도, 축척 아님

도해 F-4-05A · 열 해석에서는 상부 몰드가 병목이었다 · 근거 S-4-06
계면을 직접 붙여도 상부 몰드가 열을 막을 수 있다. 해석 결과는 경계조건과 함께 읽는다.

같은 모델에서 몰드를 바꾸면 온도가 달라진다

최고 칩 온도와 스택 온도 상승은 서로 다른 지표이므로 축을 나눈다.

최고 칩 온도(°C) | 동일 해석 모델



(c) 몰딩 없는 공정 흐름

ΔT = 3°C

12단 스택 전체의 온도 상승값

마이크로범프 HBM3 대비 열저항 약 절반(계산)

(b) 8.7 W/m·K = Al_2O_3 + 그래핀 필러 복합재 문헌값 · 그래핀의 전기 전도성은 적용 제약

62.0°C·31.6°C는 최고 온도, 3°C는 온도 상승값이다. 세 값을 같은 막대로 비교하지 않는다.

F-4-05B · 근거: S-4-06 · 개념도, 축척 아님

도해 F-4-05B · 같은 모델에서 몰드를 바꾸면 온도가 달라진다 · 근거 S-4-06
62.0°C·31.6°C는 최고 온도, 3°C는 온도 상승값이다. 세 값을 같은 막대로 비교하지 않는다.

3트랙 비교

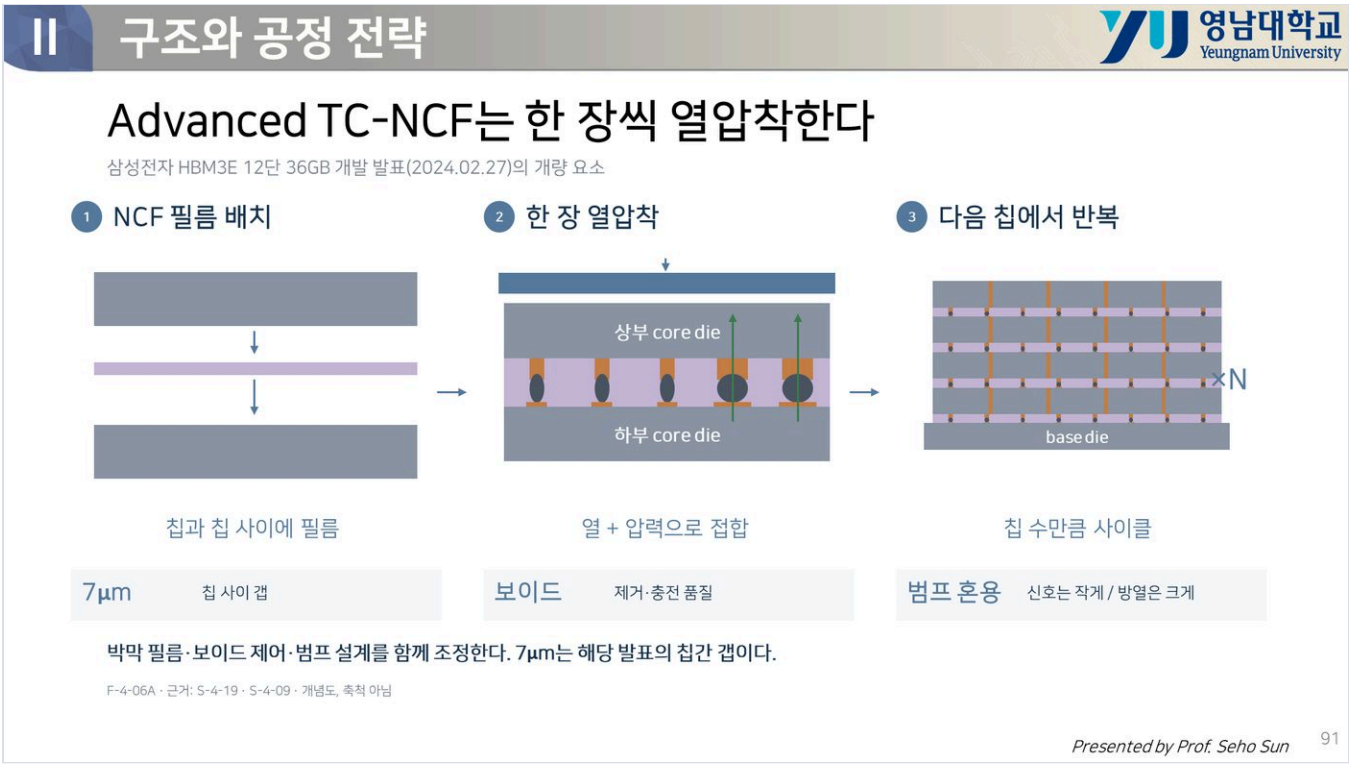
축	TC-NCF	MR-MUF	Hybrid bonding
접합 방식	칩마다 열압착(순차)	전체 스택 일괄 리플로우	Cu-Cu 직접 접합 + 유전막 융착
갭필 소재	NCF 필름	액상 EMC(몰디드 언더필)	다이 간 갭필 소멸(패키지 몰딩·스택 하단 언더필은 잔존)
열전도	필름 열전도 낮음이 약점	SK 설명 기준 방열 특성 우수, 열더미범프 최대 4배 배치(동일 조건 열전도율 비교값 미공개)	다이 간 유기물 제거로 열저항 최저
수율	업계 분석상 MR-MUF 대비 낮음【추정】	업계 분석상 TC-NCF 대비 약 20%p 우위【추정】	양산 수율 확보 단계
Warpage	칩 두께 감소 시 완화 이점 주장	액상 몰딩 특성상 제어 난이도 높음	초평탄·초청정 요구가 별도 난제
대표 약점	공정시간, 필름 박막화 한계	미세 갭 보이드 프리 충전	장비·공정 투자비, 수율 성숙도
채택사	삼성전자(공식), Micron(보도 기준)	SK하이닉스(공식)	3사 모두 개발·검증 중

(출처: [S-4-16][S-4-19][S-4-37][S-4-08])

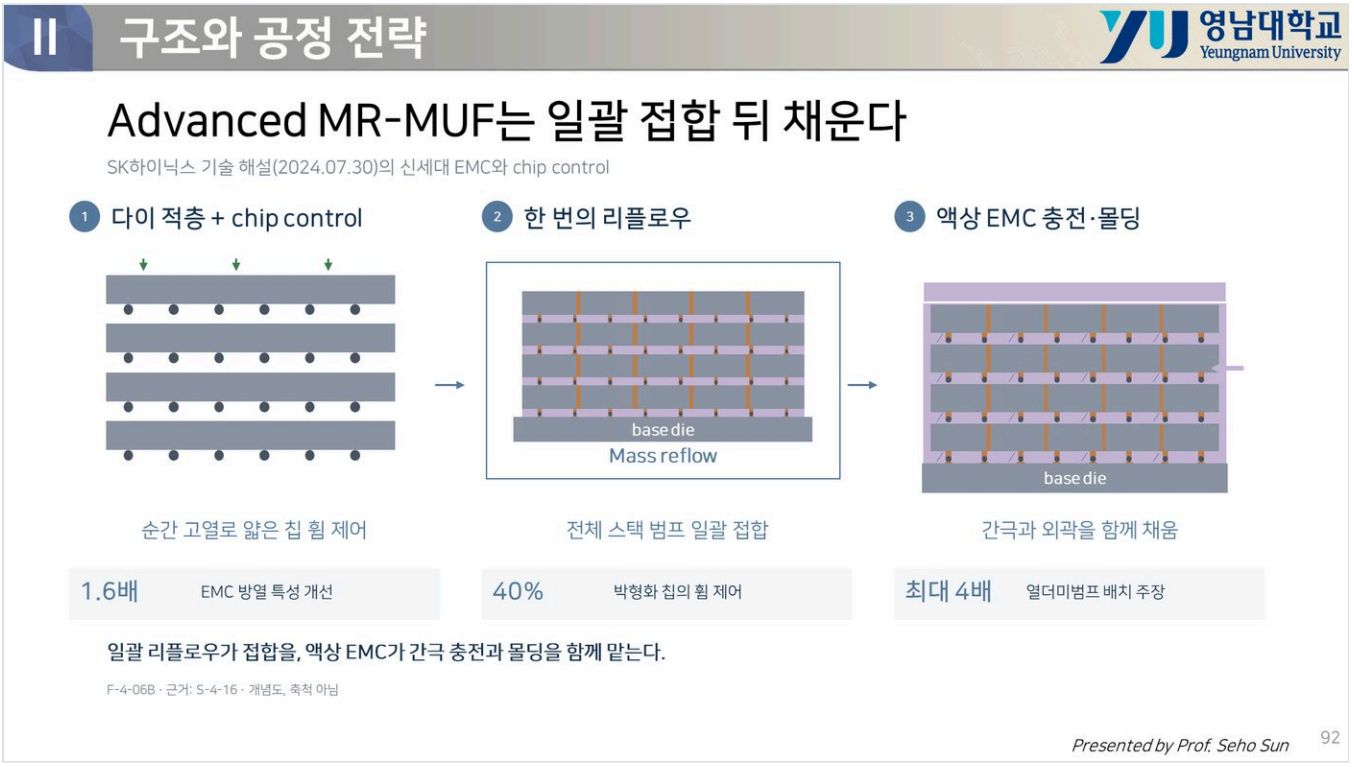
각 트랙의 소재 진화: 원출처 확인

Advanced MR-MUF는 HBM3 12단부터 적용되었다. HBM2E와 HBM3 8단에 쓰이던 원조 MR-MUF 대비, 방열 특성이 1.6배 개선된 신세대 EMC를 채택하고 여기에 chip control 기술을 더했다. chip control은 적층 과정에서 각 칩에 순간적으로 고열을 가해 40% 박형화된 칩의 warpage를 억제하는 기법이다. 그 결과 HBM3E에서는 전세대 대비 방열 성능이 10% 추가로 개선되었다. 그에 앞서 HBM2E에서는 HBM2 대비 방열이 36% 개선되었다. 이 수치들의 원출처는 SK하이닉스 뉴스룸 기술 해설이다 [S-4-16].

Advanced TC-NCF의 원출처는 삼성전자의 2024년 2월 27일 HBM3E 12단 36GB 개발 발표문이다. 삼성전자는 NCF를 더 얇게 만들어 칩 사이 갭을 업계 최소인 7μm까지 줄였고 보이드를 제거했다. 신호부에는 작은 범프를, 방열부에는 큰 범프를 혼용하는 설계도 적용했다 [S-4-19]. 삼성전자는 HBM4에서도 이 계열을 유지한다. 2026년 2월 상용 출하 발표문에서는 HBM3E 대비 열저항 10% 개선과 방열 30% 개선을 함께 제시했다 [S-4-09].



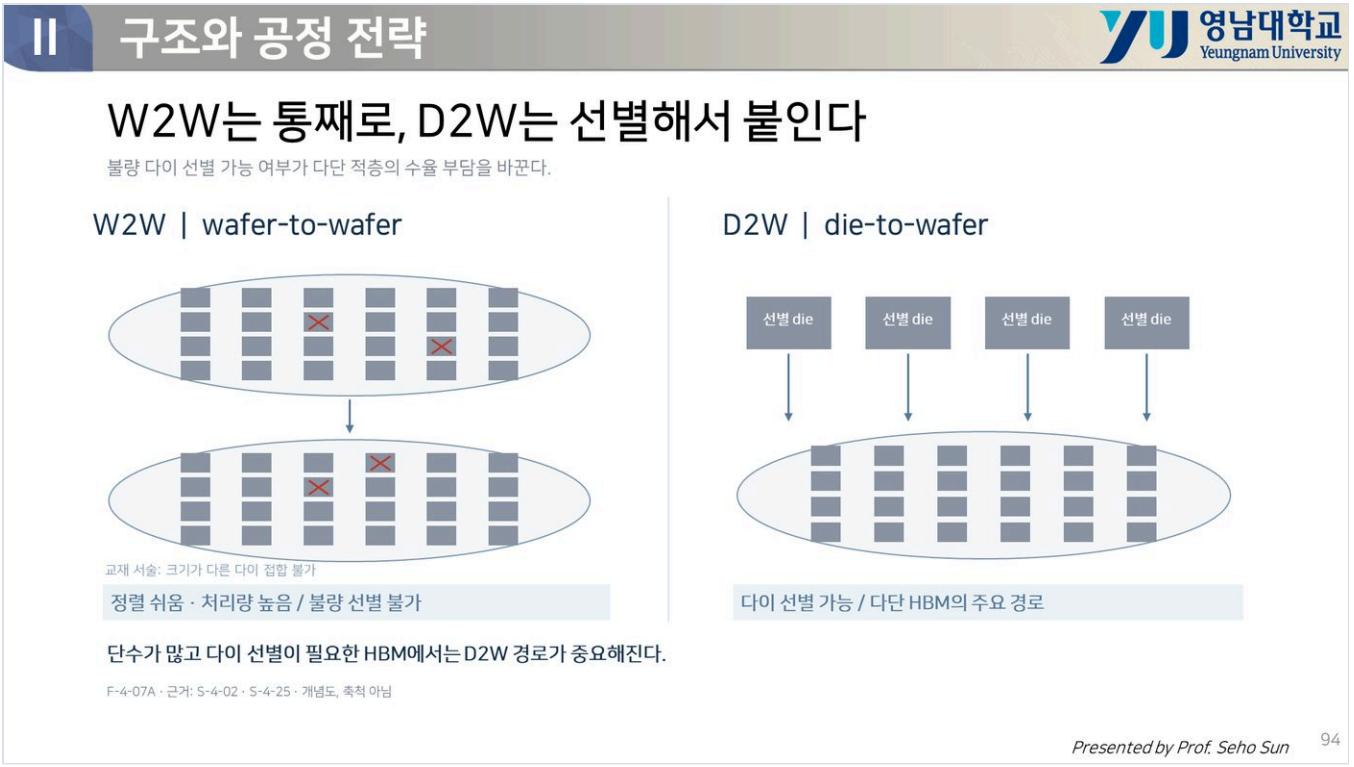
도해 F-4-06A · Advanced TC-NCF는 한 장씩 열압착한다 · 근거 S-4-19, S-4-09
박막 필름·보이드 제어·범프 설계를 함께 조정한다. 7μm는 해당 발표의 칩간 갭이다.



도해 F-4-06B · Advanced MR-MUF는 일괄 접합 뒤 채운다 · 근거 S-4-16
일괄 리플로우가 접합을, 액상 EMC가 간극 충전과 몰딩을 함께 맡는다.

도해 F-4-06C · 개량 수치는 비교 대상을 붙여 읽는다 · 근거 S-4-16, S-4-19, S-4-09
두 공정의 동일 조건 열전도율 비교값은 공개되지 않았다. 회사별 개선 이력은 각 기준 안에서 읽는다.

hybrid bonding에는 두 가지 방식이 있다. 웨이퍼끼리 통째로 붙이는 W2W(wafer-to-wafer)와 낱개 다이를 웨이퍼에 붙이는 D2W(die-to-wafer)다. W2W는 정렬이 쉽고 처리량이 높지만 불량 다이를 골라낼 수 없어 수율 손실이 누적되고, 크기가 서로 다른 다이를 붙일 수 없다. HBM처럼 단수가 많고 다이를 선별해야 하는 제품에서는 D2W가 주류가 된다.



도해 F-4-07A · W2W는 통째로, D2W는 선별해서 붙인다 · 근거 S-4-02, S-4-25
단수가 많고 다이 선별이 필요한 HBM에서는 D2W 경로가 중요해진다.

도해 F-4-07B · D2W는 소재와 계측까지 묶인 공정 사슬이다 · 근거 S-4-25
슬러리만 바꾸어 끝나는 퀄이 아니다. 세정액·계측·정렬 조건을 같은 공정 창으로 제시한다.

상용 DRAM 웨이퍼에 W2W hybrid bonding을 적용한 실증 연구는 CMP 평탄도와 Cu 디싱을 최적화해 보이드 없는 접합을 확인했다. 데이지 체인 패턴에서는 100% 통과율과 기존 DRAM 제품과 동등한 웨이퍼 수율을 얻었다고 보고했다. 같은 연구는 유전막으로 SiO2 대신 SiCN을 택했으며, 그 이유로 더 높은 본드 강도를 들었다 [S-4-03].

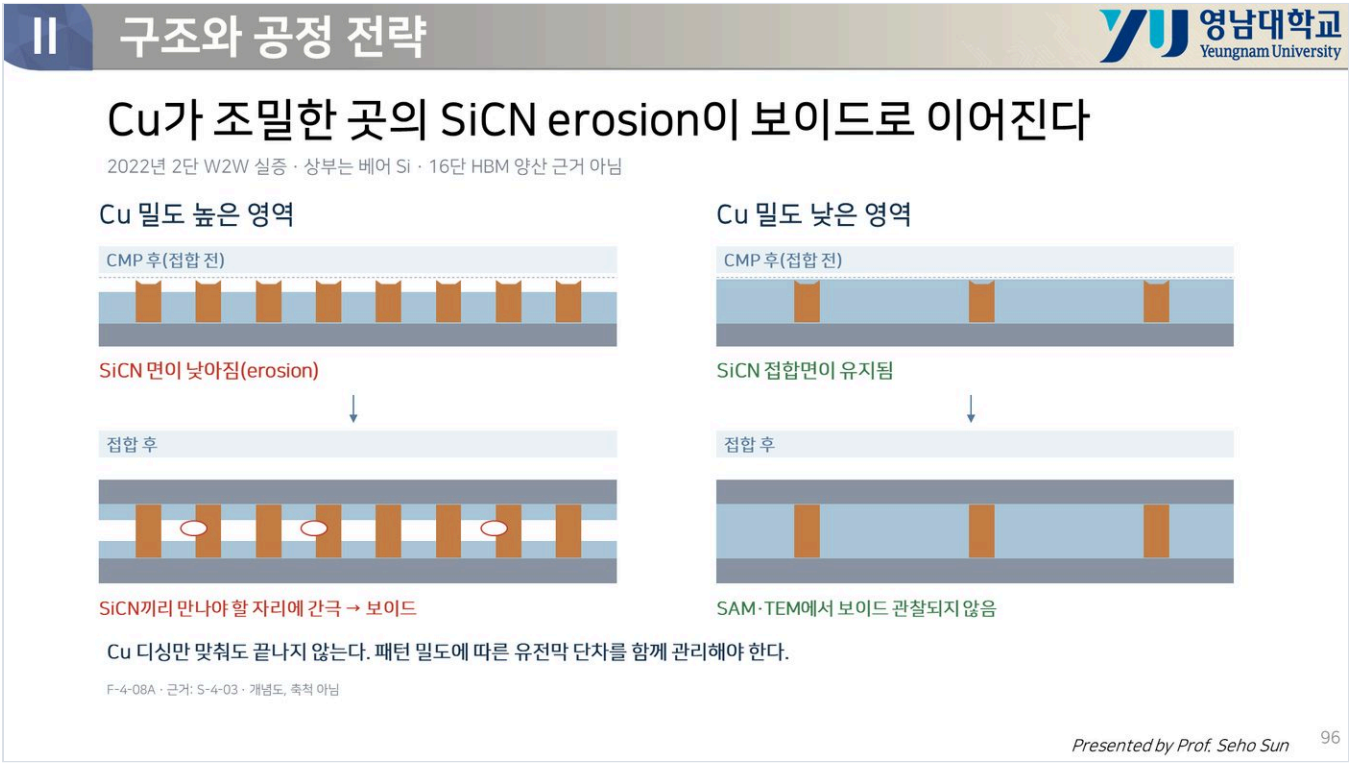
피치의 최전선은 HBM이 지금 쓰는 영역보다 아래에 있다. ECTC 2024 발표를 기업별로 묶어 정리한 리뷰에 따르면 Sony는 0.4μm 피치 W2W 접합을 제시했다(회사 발표 기준은 F2F 1μm·F2B 1.4μm이며 0.4μm는 보도 언급이다. Day 2 §2.4 *[C-2-12]*[S-2-07]). CMP를 최적화하면 0.2μm 구리 패드에서도 평탄도가 유지된다는 보고다. 공정은 Ta 배리어와 Cu 도금으로 비아 패드를 메운 뒤 CMP로 평탄화하고, 접합 후 400°C 어닐로 결합을 완성하는 흐름이다. 같은 리뷰에서 imec은 플라즈마 다이싱한 다이를 쓰는 직접 D2W 접합에서 패드 피치를 2μm까지 낮췄다. 이때 SiCN과 구리가 섞인 표면의 Cu recess를 수 나노미터 이내로 제어했다고 서술한다 [S-4-02].

이 수치들은 시험 구조의 결과다. Sony 사례는 이미지 센서 응용이어서 HBM과 다이 두께·열부하가 다르므로 양산 수율로 옮겨 읽지 않는다. 도달 가능한 피치를 정하는 것은 접합 장비의 정렬 정밀도가 아니라 그 앞단의 CMP와 세정이다. 같은 리뷰는 상온 접합 화학도 정리한다. 플라즈마와 DI 린스로 표면에 수산기를 만들어 상온에서 예비 접합한 뒤, 어닐에서 Cu가 열확산으로 결합하는 2단 구조다 [S-4-02].

상용 DRAM 실증 논문의 저자들은 Cu 디싱을 상부와 하부 웨이퍼 모두에서 5nm 미만으로 관리했다. 조절 변수는 슬러리 조성이 아니라 CMP의 압력과 회전수였고, 결과는 원자간력현미경으로 검증했다. 1~5nm라는 숫자는 물리적 한계가 아니라 그 연구가 선택한 관리 목표다.

같은 논문은 접합 보이드가 Cu 패드 밀도에 의존한다는 사실도 밝혔다. Cu 밀도가 높은 영역에서는 CMP 중 SiCN이 깎여 나가, SiCN끼리 만나야 할 자리에 간극이 생긴다. 그 불안정한 계면이 보이드가 된다. 밀도가 낮은 영역에서는 주사음향현미경과 TEM 모두에서 보이드가 관찰되지 않았다 [S-4-03]. 다만 이 연구는 2022

년의 2단 적층 실증이고 상부가 DRAM이 아니라 베어 실리콘 웨이퍼이므로, 16단 HBM 양산의 근거로 확대해 읽으면 안 된다.



도해 F-4-08A · Cu가 조밀한 곳의 SiCN erosion이 보이드로 이어진다 · 근거 S-4-03
Cu 디싱만 맞춰도 끝나지 않는다. 패턴 밀도에 따른 유전막 단차를 함께 관리해야 한다.

도해 F-4-08B · 디싱 목표는 슬러리 한 가지로 정해지지 않는다 · 근거 S-4-03, S-4-08
사례값은 조건과 짝이다. Cu recess·유전막 조도·보이드 결과를 한 공정 창에서 확인한다.

장비 체인도 소재와 함께 묶여 있다. Applied Materials와 Besi가 공동 개발한 D2W 통합 시스템은 표면 준비, 플라즈마 활성화, 세정, 계측, 정렬, 본딩을 한 라인에 묶었다. 로직과 메모리와 OSAT 고객에서 채택이 시작되었고, SK하이닉스도 두 회사 장비를 조합한 파일럿 라인을 발주한 것으로 보도된다 [S-4-25]. 장비가 세정과 계측까지 통합한다는 것은 소재사가 슬러리만 따로 팔기보다 슬러리와 세정액과 공정 조건을 묶어서 제안해야 한다는 뜻이다. 실제로 슬러리를 바꾸면 세정 공정을 다시 검증해야 하므로 두 품목의 퀄은 한 묶음으로 움직인다.

접합 전후의 공정 조건: 활성화, 정렬, 검사

hybrid bonding에서 소재사가 개입하는 자리는 접합 장비 안쪽이 아니라 그 앞뒤의 표면 준비와 검사 단계다. 활성화는 플라즈마로 유전막 표면에 끊어진 결합을 만든 뒤, DI 린스로 물을 붙여 수산기로 종단시키는 2단 조작이다. 업계 기준 공정은 산소 플라즈마를 참조로 삼는다. 삼성전자는 산소 기준 공정보다 압력을 약 두 배로 올린 질소 플라즈마를 Ar/N2 유량으로 구현해 시연했다 [S-4-46].

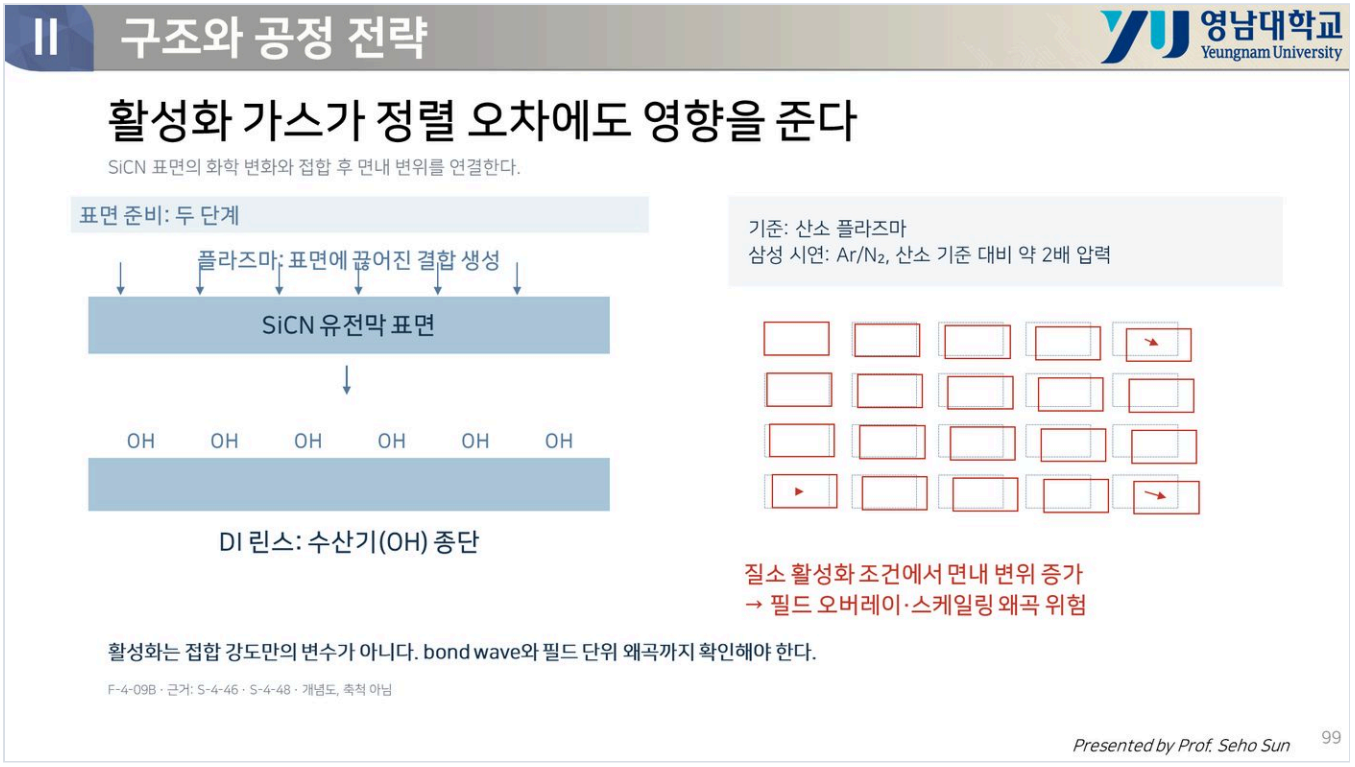
어느 가스를 쓰느냐는 접합 강도만의 문제가 아니다. 2026년 연구는 SiCN 유전막을 대상으로 플라즈마 활성화 조건과 접합 파동(bond wave) 전파를 대조했다. 질소 플라즈마를 쓰면 접합 후 면내 변위가 뚜렷하게 커져, 필드 단위 오버레이 오차와 계통적 스케일링 왜곡의 위험이 커진다는 결과다 [S-4-48]. 활성화 가스의 선택이 정렬 정밀도의 상한을 함께 정한다는 뜻이다.

어닐 조건도 같은 사슬에 묶여 있다. 통상 공정은 350°C에서 두 시간을 쓴다. HBM처럼 열예산이 빡빡한 응용에서는 300~350°C보다 낮은 온도를 목표로 하며, 나노결정 구리로 200°C 접합을 시연한 사례가 보고된다 [S-4-46]. 어닐 온도를 낮추면 구리의 열팽창량이 줄어 같은 간극을 닫는 데 필요한 recess가 얕아진다. recess 목표치가 어닐 조건과 짝으로 움직인다는 뜻이다.

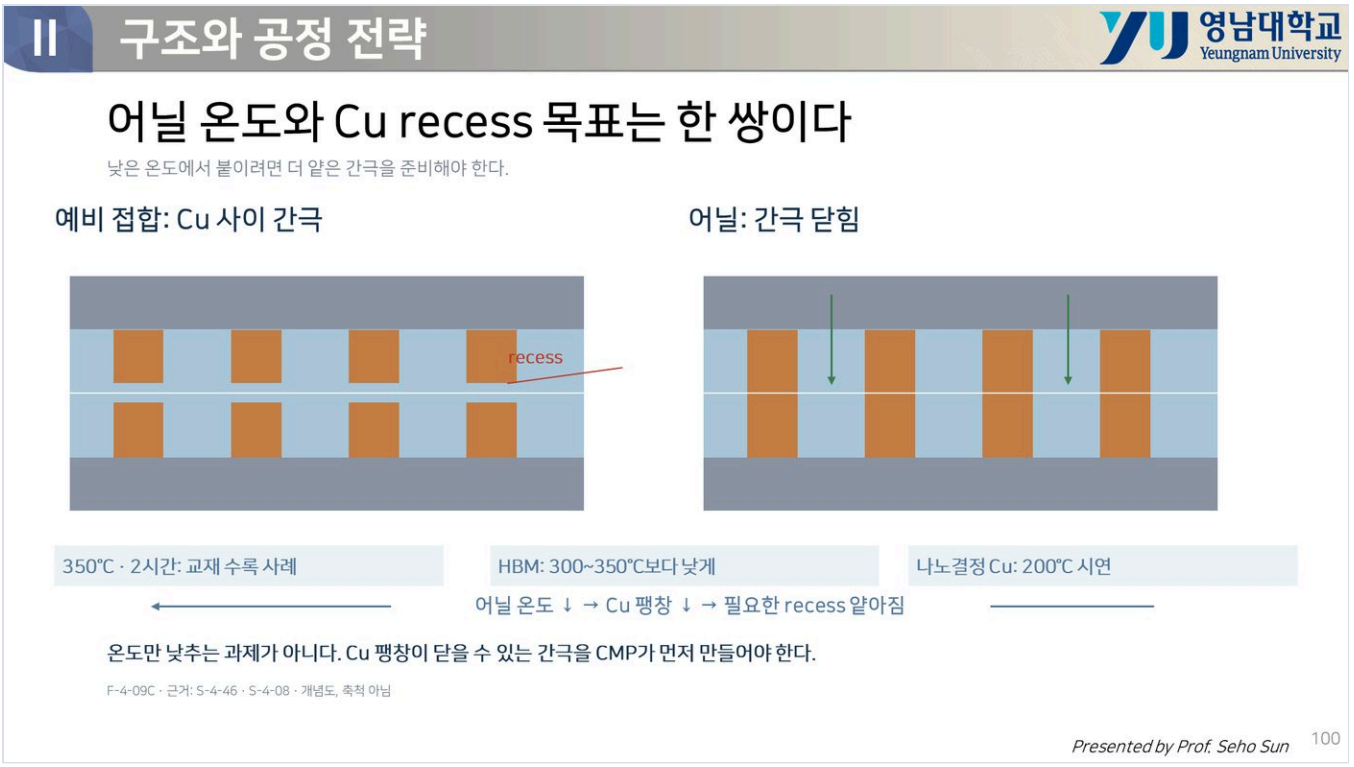
정렬과 검사가 그 뒤를 잇는다. 다이 배치 정밀도는 100nm급이 요구 사양으로 제시된다 [S-4-46]. 미세 피치에서는 오버레이 오차가 100nm 아래로 관리되지 않으면 접합이 실패한다 [S-4-47]. 어려운 일은 접합한 뒤에 무엇이 잘못되었는지를 보는 것이다. 현행 주력 수단은 초음파현미경(SAM) 계열의 주사음향단층촬영이며, 접합 계면의 보이드가 흰 점으로 나타난다 [S-4-46]. 그러나 미세 피치에서는 한계가 뚜렷하다.

초음파현미경과 적외선 투과 관찰과 X선 검사는 모두 나노미터 규모의 보이드나 금속 접촉 불완전을 가려낼 해상도와 대비가 부족하다. 광학 프로파일로메트리는 묻힌 계면과 표면 아래 보이드에 약하다. 원자간력현미경은 서브나노미터 수직 분해능이 있지만 처리량이 낮아 전수 검사에 맞지 않는다 [S-4-47]. 따라서 접합 후 검사로 잡아내기 어려운 결함일수록 접합 전 단계인 CMP와 세정에서 막아야 한다. 소재사가 파는 것이 슬러리 한 통이 아니라 공정 창과 계측 조건의 묶음이어야 하는 이유다.

도해 F-4-09A · 하이브리드 본딩은 표면 준비부터 검사까지다 · 근거 S-4-46, S-4-47, S-4-48
접합 장비 안의 정렬만으로 수율이 결정되지 않는다. CMP·세정·활성화·어닐·검사를 함께 본다.



도해 F-4-09B · 활성화 가스가 정렬 오차에도 영향을 준다 · 근거 S-4-46, S-4-48
활성화는 접합 강도만의 변수가 아니다. bond wave와 필드 단위 왜곡까지 확인해야 한다.

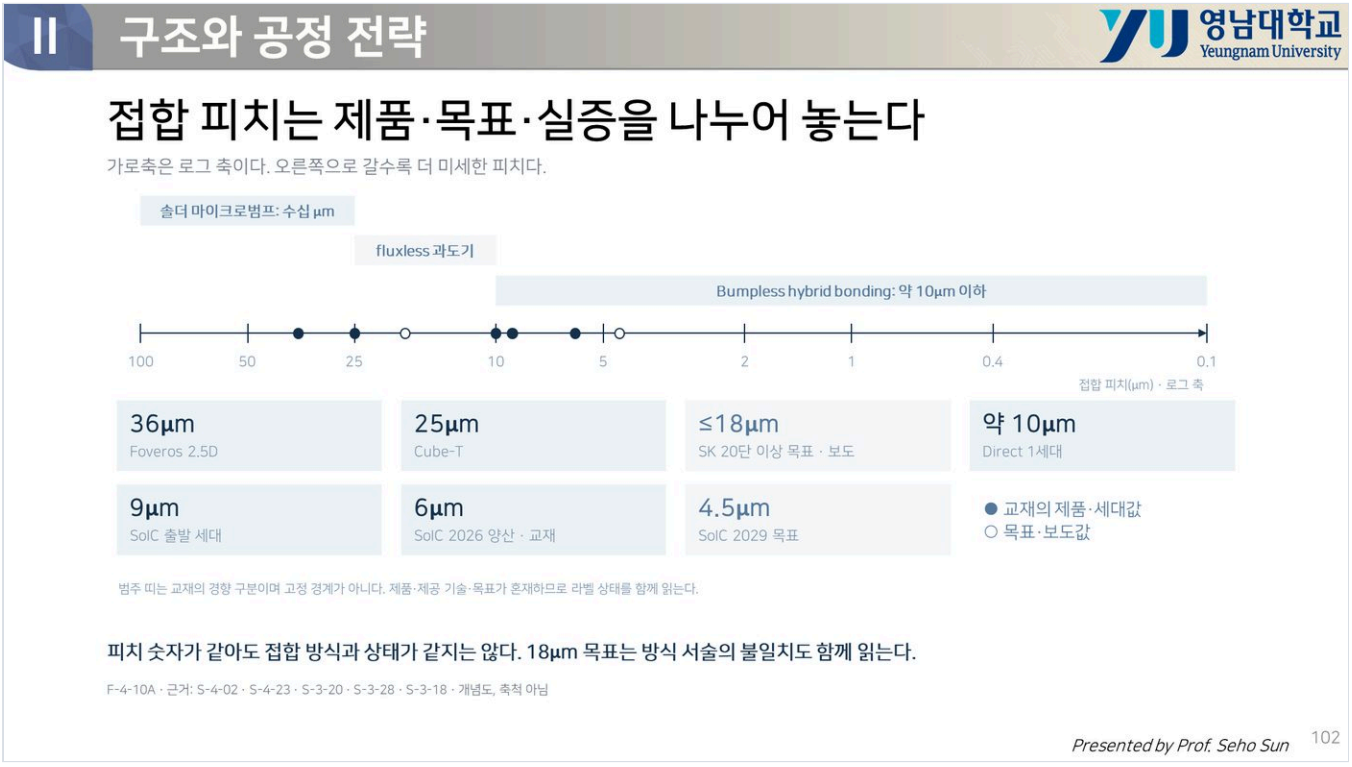


도해 F-4-09C · 어닐 온도와 Cu recess 목표는 한 쌍이다 · 근거 S-4-46, S-4-08
온도만 낮추는 과제가 아니다. Cu 팽창이 닫을 수 있는 간극을 CMP가 먼저 만들어야 한다.

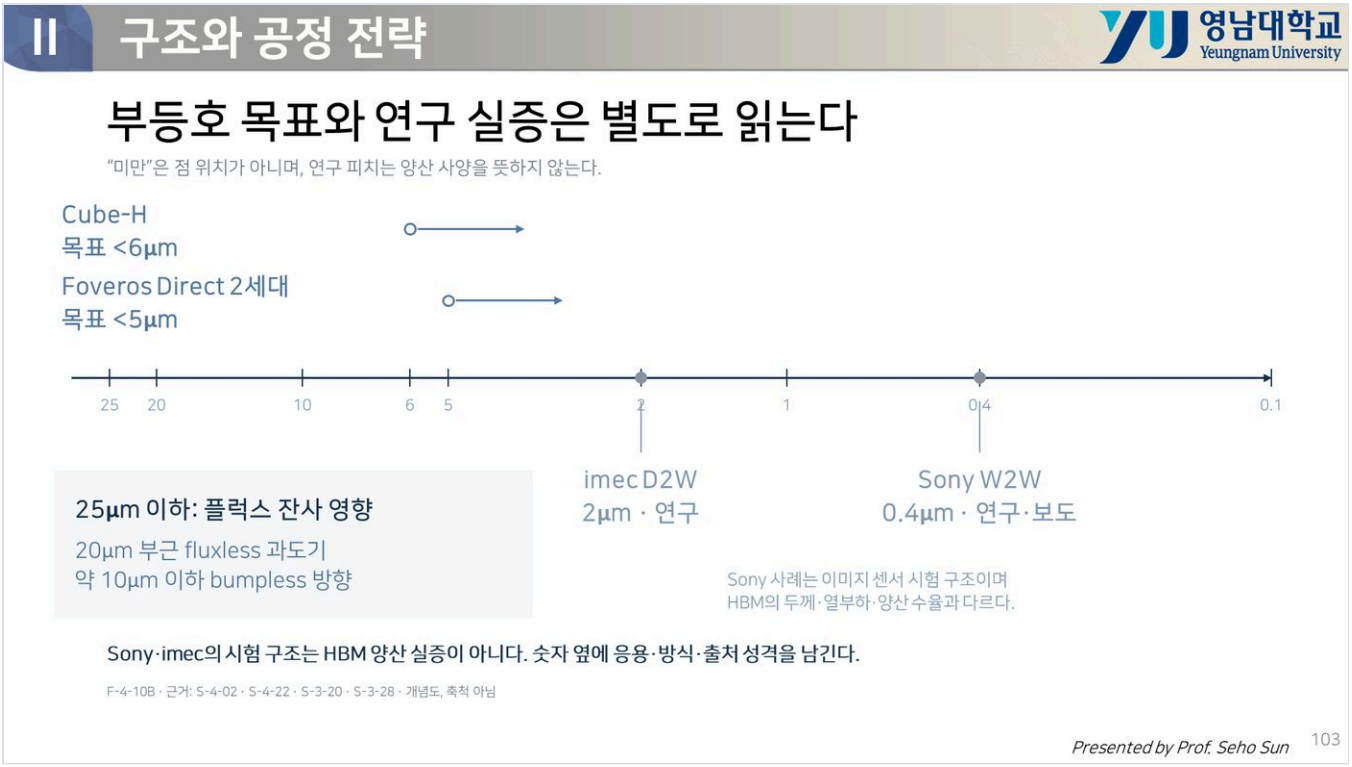
도해 F-4-09D · 접합 후 검사에는 보이지 않는 영역이 남는다 · 근거 S-4-46, S-4-47
검사로 잡기 어려운 결함은 접합 전에 막는다. CMP·세정·계측을 묶어 관리한다.

접합 피치의 스케일링도 전환 시점을 정하는 변수다. 마이크로범프는 솔더가 녹아 퍼지는 특성 때문에 피치를 무한정 좁힐 수 없고, 현행 최선단은 여전히 수십 마이크로미터 구간에 있다. hybrid bonding은 솔더를 쓰지 않으므로 그보다 한 자릿수 아래 영역에서 경쟁력이 생긴다. 리뷰 논문들은 범프 방식과 bumpless 방식의 교차 지점을 이 구간으로 정리한다 [S-4-02].

SK하이닉스는 Hot Chips 2026에서 20단 이상을 위해 접합 피치(보도 표현은 "범프 간격")를 18μm 이하로 줄이겠다고 밝혔다 [S-4-23]. 이 경계선을 겨냥한 목표다. 피치가 좁아질수록 플럭스 잔사와 솔더 브리지의 허용 여유가 사라진다. 그래서 20μm 부근에서 fluxless 공정이 먼저 오고, 그 아래에서 bumpless가 오는 순서가 자연스럽다.



도해 F-4-10A · 접합 피치는 제품·목표·실증을 나누어 놓는다 · 근거 S-4-02, S-4-23, S-3-20, S-3-28, S-3-18
피치 숫자가 같아도 접합 방식과 상태가 같지는 않다. 18μm 목표는 방식 서술의 불일치도 함께 읽는다.



도해 F-4-10B · 부등호 목표와 연구 실증은 별도로 읽는다 · 근거 S-4-02, S-4-22, S-3-20, S-3-28
Sony·imec의 시험 구조는 HBM 양산 실증이 아니다. 숫자 옆에 응용·방식·출처 성격을 남긴다.

두께 예산과 전환 시점

hybrid bonding 도입 시점을 좌우하는 물리적 변수는 높이 예산이다. JEDEC은 HBM 패키지 총두께 상한을 HBM3E의 720μm에서 HBM4의 775μm로 이미 완화했다. 775μm는 300mm 로직 웨이퍼 한 장의 표준 두께에 해당하는 값이다 [S-4-25].

다만 이 값의 근거 등급은 구분해 두어야 한다. 720μm에서 775μm로의 완화는 2024년 3월 JEDEC 위원회 합의를 전한 보도가 최초 출처다 [S-4-49]. 2025년 4월 16일 JESD270-4 발간 보도자료의 헤드라인 스펙에는 패키지 높이 조항이 없다 [S-4-01]. 표준 원문의 어느 조항에 실렸는지, JESD270-4와 개정판 JESD270-4A 가운데 어느 판인지는 확인되지 않았다. 따라서 775μm는 보도 기준 값으로 읽어야 한다.

여기에 HBM4E부터 약 900μm로, HBM5에서는 최대 1,000μm까지 추가 완화하는 방안이 논의되고 있다 [S-4-21]. 높이 예산이 커지면 다이를 한계까지 얇게 깎을 필요가 줄고, 마이크로범프를 유지한 채 단수를 늘릴 여지가 생긴다. 이것이 hybrid bonding 도입을 늦추는 첫 번째 힘이다.

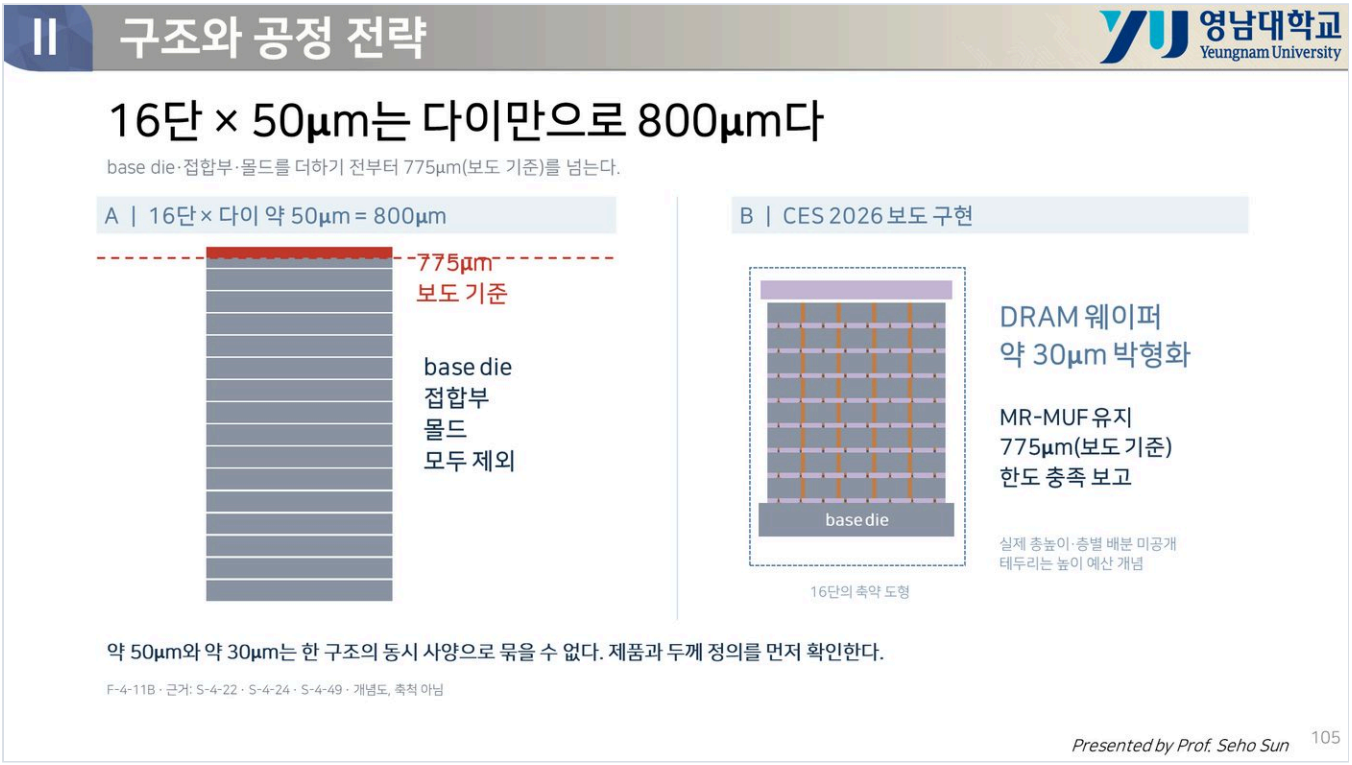
두 번째 힘은 대체 방열 기술이다. SK하이닉스의 iHBM은 열전도성과 전기절연성을 함께 갖춘 실리콘계 냉각요소를 발열이 집중되는 다이 간 인터페이스(D2D, die-to-die) PHY 바로 위에 내장한다. 이 구조는 패키지 내 열저항을 30% 이상 낮추며, 기존 MR-MUF 공정으로 구현할 수 있고 HBM5부터 적용을 목표로 한다 [S-4-41]. 삼성전자의 Heat Path Block은 스택 내부에 추가 열경로를 만들어 열 배출을 개선하는 구조다. 두 기술 모두 hybrid bonding 없이도 열 문제를 일정 부분 해결하므로 전환의 긴급성을 떨어뜨린다. 실제로 hybrid bonding 도입을 늦추는 요인으로 지목된다 [S-4-20].

세 번째 힘은 마이크로범프 자체의 수명 연장이다. SK하이닉스는 2026년 1월 CES에서 16단 48GB HBM4를 공개했다. 이때 DRAM 웨이퍼를 약 30μm까지 박형화해 MR-MUF를 유지한 채 775μm 한도를 충족했다고 밝혔다 [S-4-22]. 다만 2026년 8월 독일 기술매체의 Hot Chips 보도는 16단 HBM4 구성에서 메모리 다이 두께를 약 50μm로 적었다 [S-4-24].

두 값은 동일한 16단·775μm 구조에 동시에 적용될 수 없다. 16단에 다이 두께 50μm를 곱하면 800μm가 되어, base die와 접합부와 몰드를 더하기도 전에 총높이 한도를 넘기 때문이다. 어느 보도값이 어느 제품과 어느 두께 정의를 가리키는지는 원 발표 슬라이드 없이 확정할 수 없다. 따라서 두 값을 하나의 구조 사양으로 묶어 읽으면 안 된다. 대표값은 웨이퍼 박형화 약 30μm(2026.1 CES 보도)이고, 별도 보도의 약 50μm는 대상 제품과 두께 정의가 미확인인 값이다.

도해 F-4-11A · 높이 한도는 확정값과 논의값을 구분한다 · 근거 S-4-49, S-4-25, S-4-21

한도를 완화하면 마이크로범프를 유지할 여유가 생긴다. 논의된 숫자를 확정 표준으로 바꾸어 쓰지 않는다.



도해 F-4-11B · 16단 × 50μm는 다이만으로 800μm다 · 근거 S-4-22, S-4-24, S-4-49

약 50μm와 약 30μm는 한 구조의 동시 사양으로 묶을 수 없다. 제품과 두께 정의를 먼저 확인한다.

도해 F-4-11C · 한도를 올려도 단수가 늘면 층당 예산은 줄어든다 · 근거 S-4-21, S-4-19
높이 예산 완화는 전환을 늦출 수 있다. 단수 증가가 이어지면 얇은 접합부의 요구는 다시 커진다.

한편 플럭스 잔사는 25μm 이하 피치에서 보이드와 신뢰성을 좌우한다. 그래서 플라즈마 활성화로 플럭스를 제거하는 fluxless bonding이 hybrid bonding 이전의 과도기 기술로 평가된다. SK하이닉스는 2025년 4분기에 fluxless bonding을 정식 평가했으나, 성숙도와 비용을 이유로 MR-MUF 지속을 결정했다 [S-4-22].

전환 시점: 양사 최신 발언

주체	발언 시점	내용	성격	출처
SK하이닉스 이강욱 부사장	2026-04	hybrid bonding은 20단 이상 스택에서 필수	임원 발언 인용 보도	[S-4-21]
SK하이닉스 김종훈 TL	2026-04-28	12단 hybrid bonding HBM 검증 완료, 양산 적용 위한 수율 개선 중	컨퍼런스 발언 (보도 경유)	[S-4-38]
삼성전자	2026-03 (GTC 2026)	hybrid bonding 시연. TC 본딩 대비 열저항 20% 이상 개선 주장	전시 시연 (보도 경유)	[S-4-21]
업계 전망	2026-07-07	삼성·SK 모두 도입 시점 재검토, 빨라야 16단 HBM4E	분석기관 보도	[S-4-20]
삼성전자	2026-06	HCB(hybrid copper bonding)가 TC 본딩 대비 스택 높이 15% 이상 감소, 핫스팟 접합 온도 저감. 서지정보 미확정	자사 IEEE 논문(보도 경유)	[S-4-36]
SK하이닉스 이재식 부사장	**2026-08-23 (Hot Chips 2026)**	**HBM4E까지 MR-MUF 유지, hybrid bonding은 빨라야 HBM5. HBM4 12단 양산 중·16단 인증 단계. 20단 이상 적층에 접합 피치 18μm 이하 목표**	**학회 발표 (보도 경유)**	[S-4-23] [S-4-24]
업계 컨센서스	2026-08	대량 채택은 HBM5 20단, 양산은 2029~2030년	분석·보도	[S-4-24] [S-4-36]

전환이 늦춰졌다고 해서 취소된 것은 아니다. 마이크로범프를 유지하는 한 스택 높이의 상당 부분을 범프와 갭필 층이 차지하며, 그 층은 전기적으로도 열적으로도 저항이다. 단수가 20단을 넘어가면 이 저항이 층수만큼 누적되어 신호 지연과 온도 상승이 동시에 한계에 닿는다. 두께 상한을 1,000μm까지 올려도 20단에서 층당 예산은 50μm 아래로 내려간다. 그 두께에서는 솔더 접합을 신뢰성 있게 만들기가 급격히 어려워진다.

SK하이닉스는 20단 이상에서 hybrid bonding이 필수라고 말했다 [S-4-21]. 같은 회사가 Hot Chips에서 20단을 위해 접합 피치 18μm 이하를 목표로 제시한 것도 [S-4-23] 같은 물리적 한계를 가리킨다. 전환 시점은 늦춰졌지만, 단수 증가가 멈추지 않는 한 전환의 방향 자체는 유지될 가능성이 크다.

2026년 7월까지는 "빨라야 16단 HBM4E"가 컨센서스였다. 2026년 8월 23일 Hot Chips 발표를 전한 보도에 따르면 SK하이닉스는 HBM4E까지 MR-MUF를 이어 간다고 설명했다. 이에 따라 SK 트랙의 전환 시점은 한 세대 뒤로 밀린 것으로 보도된다 [S-4-23][S-4-24]. 다만 이는 학회 발표의 2차 보도이며, 회사가 세대별 양산 도입 시점을 확정 발표한 것은 아니다 *[C-4-23]*. 삼성전자는 16단 HBM4E에서 HCB를 TC 본딩과 병행하는 부분 채택을 계획하고, 전면 고수율 양산은 2029~2030년으로 잡는 것으로 보도된다 [S-4-36]. 양사 모두 전면 양산 시점을 2029~2030년으로 보는 점은 일치한다.

> **소재 관점에서 보면**: 전환이 한 세대 밀렸다는 것은 NCF와 액상 EMC의 잔여 수명이 최소 한 세대 연장되었다는 뜻이다. 그사이 단수는 12단에서 16단으로, HBM5에서는 20단으로 늘어난다. 그래서 2028년까지 본딩·갭필 소재의 물량 수요는 오히려 증가한다. 요구 사양은 계속 조여져, 더 얇은 갭과 더 높은 열전도와 더 낮은 warpage를 동시에 만족해야 한다.

반대편에서는 hybrid bonding이 요구하는 소재 목록이 이미 확정되어 있다. 본딩면용 Cu CMP 슬러리, post-CMP 세정액, SiCN 계열 본딩 유전막 전구체, 초평탄 연마 패드다. 삼성SDI는 CMP 슬러리와 EMC를 모두 보유하고 있다. 기존 품목의 수요를 지키는 일과 신규 품목을 새로 등록하는 일을 같은 고객 안에서 동시에 추진할 수 있다는 뜻이다.

다만 제안의 형태는 달라야 한다. 상용 DRAM 실증 논문에서 Cu 디싱 5nm 미만은 슬러리 화학이 아니라 CMP의 압력과 회전수로 맞춘 값이었다. 보이드는 Cu 패드 밀도에 따른 SiCN erosion에서 나왔다 [S-4-03]. 슬러리 조성만으로는 디싱과 보이드를 동시에 해결할 수 없다. 소재사는 물성표가 아니라 압력·회전수·패턴 밀도를 포함한 공정 창을 함께 제시해야 한다. 퀄 윈도우는 2026년부터 2029년 램프 직전까지이며, 그 이후에는 선점 업체가 굳어진다.

4.4 삼성전자 HBM 전략: 학습, 역전, 그리고 턴키

관련 도해: F-4-06A Advanced TC-NCF는 한 장씩 열압착한다 · F-4-06B Advanced MR-MUF는 일괄 접합 뒤 채운다 · F-4-06C 개량 수치는 비교 대상을 붙여 읽는다

삼성전자의 HBM 서사는 HBM3E에서의 지연으로 시작한다. 삼성전자는 2024년 2월 27일 업계 최초로 HBM3E 12단 36GB 개발을 발표했다 [S-4-19]. 그러나 보도에 따르면 NVIDIA 인증까지 약 18개월이 걸렸다. 12단 HBM3E는 2025년 9월에야 검증을 통과해 세 번째 공급사로 합류했다【언론 보도 기준】 [S-4-42]. 이 지연의 기술적 원인으로는 TC-NCF 공정의 한계가 지목되었다. 삼성전자는 재설계를 거치며 NCF 박막화와 범프 설계를 다시 다듬었다.

HBM3E 12단의 문제는 필름 두께, 열압착 조건, 범프 설계, 다이 두께가 서로 맞물린 시스템 문제여서 한 변수만 바꾸어서는 해결되지 않았다. 보도에 따르면 삼성전자는 HBM4 수율을 2026년 2월의 60% 미만에서 8월의 80%까지 끌어올렸다. 이 과정은 메모리와 파운드리와 패키징 조직이 함께 TC-NCF 공정의 한계를 넘

은 결과로 전해진다 [S-4-34]. HBM 소재의 승인은 물성표 제출이 아니라 고객의 공정 조건과 함께 튜닝하는 공동 작업이며, 그 작업에 초대받는 시점이 곧 진입 시점이다.

HBM4에서는 순서가 바뀌었다. 2026년 2월 12일 삼성전자는 HBM4 양산을 개시하고 상용 제품을 고객에게 출하했다고 발표하면서 "업계 최초"를 명시했다 [S-4-09]. 공식 사양은 상시 핀 속도 11.7Gb/s로 JEDEC 표준 8Gb/s 대비 46% 높고, 최대 13Gb/s까지 지원한다. 최대 13Gb/s 동작점 기준 스택당 대역폭은 3.3TB/s로 HBM3E 대비 2.7배다. I/O는 1,024개에서 2,048개로 배증했고, 전력효율은 HBM3E 대비 40%, 열저항은 10%, 방열은 30% 개선되었다.

용량은 12단 24~36GB이며 16단 48GB를 계획한다. 코어는 1c(10nm급 6세대) DRAM이고 base die는 삼성 파운드리 4nm 로직이다 [S-4-09]. 검증된 구공정을 쓰는 관행을 깨고 최선단 코어와 최선단 로직을 동시에 투입한 것이 이 제품의 설계 판단이다.

고객 확인과 수율은 그 뒤를 따랐다. 삼성전자 자신의 1분기 실적 자료에는 NVIDIA Vera Rubin 플랫폼용 HBM4와 SOCAMM2의 업계 최초 양산 판매를 개시했다는 문구가 있다. 고객사 발언보다 앞선 1차 자료로 쓸 수 있는 근거다 *[C-4-09]*. 이어서 2026년 6월 5일 방한 중이던 젠슨 황이 3사의 인증을 확인했다. 삼성·SK하이닉스·Micron 3사 모두 Vera Rubin용 HBM4 인증을 통과했고 양산 중이라는 내용이다 [S-4-33]. NVIDIA 최고경영자의 공개 발언이라는 점에서 공식 확인에 해당한다.

반면 Rubin 물량의 배분 비율을 SK하이닉스 60~70%, 삼성 25~30%, Micron 잔여로 적는 수치는 공급망 애널리스트 추정이다. NVIDIA가 공식 발표한 적은 없으므로 이 둘을 섞지 않아야 한다 [S-4-28]. 수율은 2026년 2월 양산 개시 시점에 60% 미만이었다가 2026년 8월 80%에 도달했다고 보도되었다. 이는 언론 보도 기준이며 회사 공식 수치가 아니다 [S-4-34].

다음 세대와 그다음 세대의 포석도 공개되어 있다. 2026년 5월 29일 삼성전자는 업계 최초로 HBM4E 12단 샘플을 출하했다. 상시 14Gb/s에 최대 16Gb/s, 스택당 3.6TB/s, 12단 48GB이며 8단 32GB와 16단 64GB를 계획한다. 1c DRAM과 4nm base die 조합을 유지하면서 HBM4 대비 속도 20% 이상, 에너지효율 16%, 열저항 14% 이상을 개선했다 [S-4-11].

custom HBM은 2027년부터 고객 요구에 따라 순차 샘플링한다고 공식화했다 [S-4-09]. 2026년 HBM 매출은 전년 대비 3배 이상으로 전망했다 [S-4-09]. 2026년 9월 1일 SEMICON Taiwan 2026에서는 HBM5 로드맵을 공개했다. HBM5는 HBM4E 대비 성능 2배, 와트당 성능 20% 향상, 열저항 20% 감소를 목표로 한다. base die는 자사 2nm로 올리고, 12·16·20단 옵션을 준비한다 [S-4-26].

설비 측면에서 삼성전자는 두 방향으로 동시에 투자한다. 하나는 현행 TC-NCF 기반 HBM 후공정 캐파의 증설이고, 다른 하나는 hybrid bonding 라인의 선행 확보다. 충남 아산 온양캠퍼스에는 약 38만 9,825㎡ 부지에 6조원을 투입하는 HBM 신규 팹을 2026년 하반기에 착공할 예정으로 보도되었다. 착공 시점은 9월설과 10월설이 병존하고, 양산 목표는 2029년 5월이다. 천안에 집중되었던 HBM 첨단 패키징 라인을 이원화하는 성격이다 [S-4-35].

hybrid bonding 쪽에서는 GTC 2026에서 TC 본딩 대비 열저항 20% 이상 개선을 주장하는 시연을 선보였다 [S-4-21]. 2026년 6월에는 HCB가 TC 본딩 대비 스택 높이를 15% 이상 낮추고 핫스팟 접합 온도를 내린다는 IEEE 논문이 보도되었다(서지정보 미확정). 삼성전자는 16단 HBM4E에서 TC 본딩과 병행하는 부분 채택을 계획하고, 전면 고수율 양산은 2029~2030년으로 잡는 것으로 보도된다 [S-4-36]. 두 투자가 겹치는 2026년부터 2029년 사이는 소재사에 기존 품목의 물량 증가와 신규 품목의 초도 퀄이 동시에 일어나는 구간이다.

삼성전자 핵심 수치

항목	값	기준 시점	출처
HBM4 상시 핀 속도	11.7 Gb/s (최대 13 Gb/s)	2026-02-12	[S-4-09]
HBM4 스택당 대역폭	최대 3.3 TB/s (HBM3E 대비 2.7배)	2026-02-12	[S-4-09]
HBM4 전력효율·열저항·방열	HBM3E 대비 40% / 10% / 30% 개선	2026-02-12	[S-4-09]
HBM4 공정 조합	1c DRAM core + 파운드리 4nm base die	2026-02-12	[S-4-09]
HBM4 수율	60% 미만(2026-02) → 80%(2026-08)【언론 보도 기준】	2026-08-10	[S-4-34]
HBM4E 12단 샘플	14 Gb/s(최대 16), 3.6 TB/s, 48GB	2026-05-29	[S-4-11]
HCB 효과	TC 본딩 대비 스택 높이 15% 이상 감소	2026-06	[S-4-36]
HBM5 목표	HBM4E 대비 성능 2배, 와트당 성능 20%↑, 열저항 20%↓, base die 2nm	2026-09-01	[S-4-26]
2026년 HBM 매출	전년 대비 3배 이상 전망	2026-02-12	[S-4-09]

> **소재 관점에서 보면**: 삼성전자가 TC-NCF를 유지하는 한 NCF 필름 수요는 지속된다. 수율을 60%에서 80%로 끌어올린 개선의 상당 부분은 공정 조건과 소재 물성의 동조화에서 나왔다. "수율 개선 프로젝트에 소재사가 초대받는 창"이 실재한다는 뜻이다. 삼성전자는 메모리와 파운드리와 패키징을 한 회사 안에 두고 있어 소재 승인 경로가 하나로 수렴하는 구조다. base die가 자사 4nm 라인에서 나오므로 로직 후공정용 소재까지 같은 구매 조직을 통과할 가능성도 있다. HCB 부분 채택이 16단 HBM4E에서 시작된다면, 그 시점에 본딩면 CMP 슬러리와 세정액의 초도 퀄이 열린다.

4.5 SK하이닉스 HBM 전략: 선도, MR-MUF, 그리고 캐파

관련 도해: F-4-06A Advanced TC-NCF는 한 장씩 열압착한다 · F-4-06B Advanced MR-MUF는 일괄 접합 뒤 채운다 · F-4-06C 개량 수치는 비교 대상을 붙여 읽는다

SK하이닉스는 HBM3(2021년 개발, 2022년 양산)부터 HBM4E 샘플까지 "세계 최초" 타이틀을 연속으로 확보해 왔다. 2024년 9월 세계 최초로 HBM3E 12단 36GB 양산을 개시했고, 2025년 3월에는 HBM4 12단 샘플을 세계 최초로 고객에게 출하했다. 2025년 9월 12일에는 HBM4 개발 완료와 양산 체제 구축을 세계 최초로 발표했다 [S-4-10]. 이 발표문의 사양은 2,048 I/O, 10Gb/s 초과 동작속도, 전세대 대비 대역폭 2배, 전력효율 40% 이상 개선이다. AI 서비스 성능은 최대 69% 향상을 기대하며, 공정은 1bnm DRAM과 Advanced MR-MUF다 [S-4-10]. 세대 전환 주기가 2년에서 1년으로 짧아진 것이 이 타임라인의 가장 큰 특징이다.

MR-MUF는 SK하이닉스의 기술적 정체성이자 공급망 리스크다. 액상 EMC계 언더필의 공급사는 일본 Namics 한 곳이며, 100% 독점 공급 구조로 보도된다 [S-4-22]. 계약 잔여기간을 2026년 1월 기준 약 1년으로 적은 보도가 있으나, 익명 업계 관계자 인용에 기반한 단일 출처 정보다. 따라서 계약 만료 시점은 단정할 수

없고, 확인된 내용은 "독점 공급 구조이며 계약 조건은 공개 확인되지 않는다"는 수준이다. 진입 장벽은 특허와 독점 소재와 공정 동조화의 삼중 구조이며, 경쟁 메모리사는 같은 소재를 구매할 수 없는 것으로 보도된다 [S-4-22][S-4-37].

base die는 TSMC와의 협력으로 해결한다. 2024년 4월에는 TSMC와 MOU를 체결해 HBM4 base die에 TSMC 첨단 로직 공정을 적용하기로 했다. SK하이닉스 HBM과 TSMC CoWoS의 통합 최적화도 함께 추진하기로 했다 [S-4-17]. HBM4의 base die는 TSMC 12nm급이다. HBM4E에서는 base die 공정이 이원화된다고 보도되었다. 주류 서버용은 12nm를 유지하고, NVIDIA 플래그십과 Google TPU향 프리미엄 제품은 TSMC 3nm로 격상한다는 내용이다 [S-4-39].

custom HBM은 2025년 11월 3일 SK AI Summit에서 "Full Stack AI Memory Creator" 비전과 함께 제시되었다. GPU와 ASIC이 수행하던 연산·제어 기능 일부를 HBM base die로 옮겨 시스템 전력과 TCO를 최적화한다는 구상이다. 로드맵은 2026~2028년의 HBM4 16단·HBM4E·custom HBM4E와 2029~2031년의 HBM5/HBM5E·custom HBM으로 나뉜다 [S-4-18].

열관리에서는 iHBM을 내놓았다. 열전도성과 전기절연성을 함께 갖춘 실리콘계 냉각요소를 발열이 집중되는 D2D PHY 바로 위에 내장해 패키지 내 열저항을 30% 이상 낮추는 기술이다. 기존 MR-MUF 공정으로 구현할 수 있고, HBM5부터 적용을 목표로 한다 [S-4-41]. hybrid bonding 없이 열 문제를 푸는 경로를 하나 더 확보한다는 점에서 4.3절의 전환 시점 논의와 직결된다.

캐파 투자는 후공정에 집중된다. 청주 테크노폴리스의 P&T7은 어드밴스드 패키징·테스트 전용 팹으로 19조원 규모이며, 2026년 4월 착공해 2027년 말 완공을 목표로 한다 [S-4-43]. 2분기 실적발표 때도 P&T7을 포함한 중장기 투자계획을 단계적으로 집행한다고 확인했다 [S-4-13].

미국 인디애나 웨스트라피엣에는 SK하이닉스의 어드밴스드 패키징 팹이 들어선다. 2024년 4월 3일 투자 계획 발표 당시에는 38.7억 달러 투자와 2028년 하반기 양산 목표가 제시되었다 [S-4-15]. CHIPS법 직접보조금 최대 4.58억 달러는 2024년 12월 19일 NIST 발표로 확정되었다 [S-4-44]. 이 팹은 **2026년 8월 27일 퍼듀 리서치 파크에서 착공식이 실제로 개최되었다** [S-4-14].

착공식에서 SK하이닉스는 총 투자액이 40억 달러를 넘고, 클린룸을 2028년 10월에 열며, 차세대 HBM 양산을 2029년 하반기에 시작한다고 밝혔다 [S-4-14]. 한국에서 생산한 웨이퍼를 인디애나로 보내 패키징과 테스트를 거치는 구조이며, 생산라인 옆에 어드밴스드 패키징 R&D 테스트베드를 함께 둔다 [S-4-14]. 2024년 4월 3일의 38.7억 달러·2028년 하반기 양산과 착공식 시점의 40억 달러 초과·2029년 하반기 양산은 공표 시점이 다른 두 숫자다. 두 숫자는 날짜로 구분해 읽어야 하며, 두 금액의 차액을 증액분으로 보면 안 된다.

16단 HBM4의 진행 상황은 층위를 나누어 읽어야 한다. 회사 공식 발언 기준으로는 2026년 8월 23일 Hot Chips에서 12단이 양산 중이고 16단은 인증 단계에 진입했다는 것이 가장 최신이다 [S-4-23]. 한편 2026년 9월 공급망 추적 보도는 SK하이닉스가 NVIDIA Vera Rubin용으로 48GB 16단 HBM4를 이미 출하하고 있다고 전한다. 회사 공식 발표보다 한 걸음 앞선 내용이므로 출처 성격을 구분해 읽어야 한다 [S-4-28].

같은 보도는 Micron이 12단 HBM4를 대량 생산 중이며 16단은 샘플 단계라고 전한다. 삼성전자는 16단에 대한 고객 수요가 제한적이어서 상용화 필요성이 낮다는 입장이라고 한다 [S-4-28]. 세 회사가 16단을 대하는 온도차가 이렇게 다르므로, 16단을 전제로 한 소재 수요 예측은 조심스럽게 다루어야 한다.

2026년 2분기 실적발표(2026년 7월 29일)에서는 다음 사실이 확인되었다. 매출 79.32조원, 영업이익 60.54조원, 영업이익률 76%를 기록했다. HBM4는 2분기에 대량 출하를 개시했고 하반기에 본격 램프업한다. HBM4E는 상반기에 샘플 출하를 완료했으며 성숙도가 검증된 최적 공정을 적용했다. 약 10개 고객과 장기

공급계약을 체결했고, P&T7 어드밴스드 패키징 팹과 M17 낸드 생산기지를 포함한 중장기 투자계획을 단계적으로 집행한다 [S-4-13].

이 타임라인의 구조적 변화는 세대 전환 주기의 단축이다. HBM3에서 HBM3E까지는 약 2년이 걸렸지만, HBM4 샘플(2025년 3월)에서 HBM4E 샘플(2026년 6월)까지는 약 15개월이다. 주기가 짧아지면 소재 퀄에 쓸 시간도 함께 줄어든다. 한 세대의 소재 사양을 검증하는 동안 다음 세대의 요구 사양이 이미 확정되는 상황이 반복된다. 따라서 소재사는 현 세대 양산 대응과 차세대 개발을 병렬로 돌려야 한다.

SK하이닉스는 JEDEC 표준 속도 8Gb/s를 상회하는 10Gb/s 초과(HBM4)와 최대 16Gb/s(HBM4E)를 세대마다 제시해 왔다. 표준을 넘는 속도는 그만큼 전력과 발열을 늘린다. 그래서 방열 소재의 요구 사양은 표준이 아니라 고객 요구가 정하는 구조가 된다 [S-4-10][S-4-12].

공급 측 리스크도 함께 보아야 한다. 2026년 8월에는 SK하이닉스 노사의 임금협상이 다섯 차례 결렬되면서 생산 차질 가능성이 업계 이슈로 부각되었다 [S-4-34]. HBM처럼 단일 고객 의존도가 높고 수급이 빡빡한 제품에서는 몇 주의 생산 차질도 고객 배분에 영향을 준다.

반대편에는 대규모 투자 계획이 있다. 2026년 자본지출은 40조원대 후반으로 제시되었고, 약 10개 고객과의 장기공급계약이 그 투자의 수요 측 근거가 된다 [S-4-13]. 소재사에는 두 축이 상반된 신호로 읽힌다. 생산 차질은 단기 발주 변동을 키우지만, 장기공급계약에 기반한 캐파 증설은 소재 물량의 예측 가능성을 높인다.

SK하이닉스 핵심 수치

항목	값	기준 시점	출처
HBM4 I/O·속도·전력효율	2,048 I/O, 10 Gb/s 초과, 전력효율 40% 이상 개선	2025-09-12	[S-4-10]
HBM4 공정 조합	1bnm DRAM core + TSMC 12nm급 base die	2025-09, 2026-03	[S-4-10] [S-4-39]
Advanced MR-MUF EMC	기존 대비 방열 1.6배, chip control로 40% 박형화 칩 warpage 억제	HBM3 12단부터	[S-4-16]
MR-MUF 방열 개선 이력	HBM2E에서 HBM2 대비 36%, HBM3E에서 전세대 대비 10% 추가	기술 해설 기준	[S-4-16]
HBM4E 12단 샘플	48GB, 최대 16 Gb/s, 전력효율 20%↑, 열저항 약 17%↓	2026-06-18	[S-4-12]
iHBM	패키지 내 열저항 30% 이상 저감, HBM5부터 적용 목표	2026-05-26	[S-4-41]
2Q26 실적	매출 79.32조원, 영업이익 60.54조원, 영업이익률 76%	2026-07-29	[S-4-13]
P&T7	어드밴스드 패키징·테스트 전용 팹, 19조원, 2026-04 착공·2027년 말 완공 목표	2026-01 발표	[S-4-43]
인디애나 팹	투자 계획 발표 $3.87B·2028 하반기 양산 목표(2024-04-03), CHIPS 직접보조금 최대 $458M 확정(2024-12-19) → 착공식 기준 $4B 초과·클린룸 2028.10·양산 2029 하반기(2026-08-27). 차액을 증액분으로 보지 않음	2026-08-27	[S-4-15] [S-4-44] [S-4-14]

> **소재 관점에서 보면**: SK하이닉스 쪽 소재 지도의 첫 질문은 단일 공급 구조에 진입할 수 있는가이다. 액상 EMC 계열 갭필 소재의 단일 공급사 체제는 신규 진입 장벽이면서 고객사에도 구조적 리스크다. 소재사가 우선 검토할 지점은 독점 품목의 정면 대체보다 인접 품목이다. 16단·20단 적층이 요구하는 초박형 다이 핸들링 소재, 임시접합·디본딩 소재, 스택 내장 방열 소재가 그것이다. 여기에 P&T7 19조 원과 인디애나 40억 달러 초과라는 후공정 캐파 증설이 2027년부터 2029년 사이에 집중된다. 그 구간에 패키징 소모성 소재의 물량 자체가 크게 늘어난다는 점도 영업 계획에 반영할 만하다.

4.6 base die 파운드리화, custom HBM, 시장 구도

HBM4 세대의 구조 변화를 한 문장으로 압축하면 "base die가 메모리 공정을 떠났다"이다. 채널이 배증하면서 base die의 로직 복잡도가 DRAM 공정으로 감당하기 어려운 수준에 이르렀다. 고객이 요구하는 커스텀 기능을 담으려면 로직 파운드리 공정도 필요해졌다. 3사의 선택은 갈렸다. SK하이닉스는 TSMC에 위탁했고, 삼성전자는 자사 파운드리로 내재화했다. Micron은 HBM4까지 자체 CMOS로 만들고 HBM4E부터 TSMC 위탁을 공식화했다 [S-4-10][S-4-09][S-4-40].

3사 base die 전략 비교

업체	HBM4 core die	HBM4 base die	HBM4E base die	구조적 특징
SK하이닉스	1bnm(10nm급 5세대)	TSMC 12nm급	주류 12nm 유지, 프리미엄은 TSMC 3nm 격상 보도	외부 파운드리 의존, CoWoS 통합 최적화 협력
삼성전자	1c(10nm급 6세대)	자사 파운드리 4nm	4nm 유지, HBM5에서 자사 2nm 목표	메모리·파운드리·패키징 내재화 턴키
Micron	1-beta	in-house advanced CMOS	TSMC 위탁(표준+커스텀), 2027 양산 목표	HBM4E 세대에 외부 위탁으로 전환

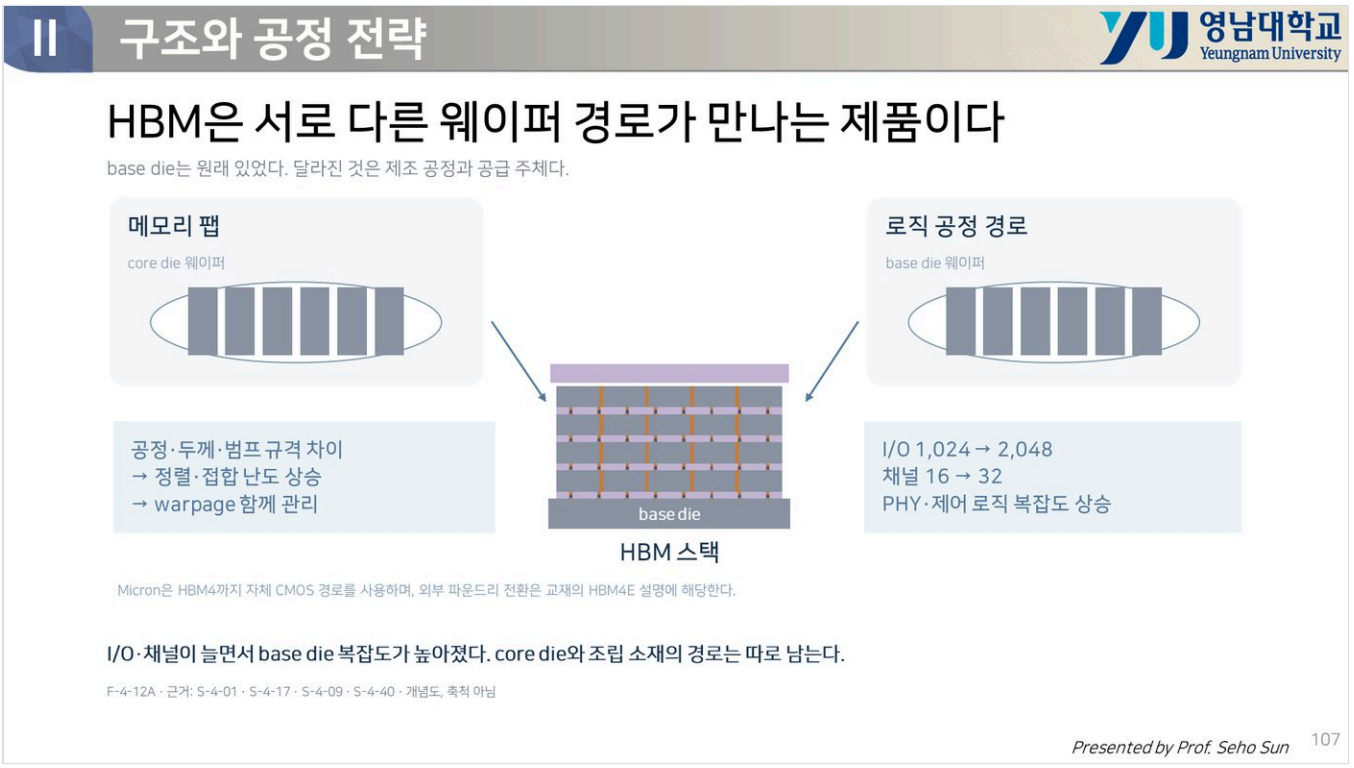
(출처: [S-4-09][S-4-10][S-4-39][S-4-40])

이 변화가 소재 조달에 미치는 파급은 구매 주체의 이동이다. HBM4E 세대에는 3사 모두 base die를 파운드리에서 생산한다. 그러면 base die 웨이퍼의 범핑과 프로브 테스트, 그에 딸린 후공정 소재의 조달 결정권이 메모리사에서 파운드리와 로직 후공정 체인으로 옮겨 간다. 메모리사에 남는 소재 수요는 core die 적층(NCF 또는 액상 EMC), TSV, 스택 테스트로 좁혀진다. 소재사의 영업 대상이 메모리사 한 곳에서 메모리사와 파운드리 두 곳으로 이원화된다는 뜻이다.

지금까지 HBM용 소재의 승인은 메모리사의 패키징 개발 조직과 구매 조직 한 쌍에서 마무리되었다. base die가 파운드리에서 나오면, base die 웨이퍼에 범프를 올리고 프로브 테스트를 하는 공정은 파운드리나 그와 계약한 후공정 업체의 규격을 따른다. 소재사로서는 같은 최종 제품에 들어가는 소재인데 승인 경로가 둘로 갈라지고, 경로마다 검증 기준과 납품 단가 구조가 다르다. 삼성전자처럼 메모리와 파운드리를 한 회사가 가진 경우에는 이 분기의 부담이 사내 조직 간 조정으로 흡수된다. SK하이닉스와 Micron처럼 외부 파운드리를 쓰는 경우에는 소재사가 TSMC 체인에 별도의 접점을 만들어야 한다 [S-4-10][S-4-40].

소재 승인 주체는 제조 주체를 따라 갈린다. 각 사의 승인 절차는 공개되어 있지 않으므로, 다음 설명은 공개된 제조 주체에서 따라 나오는 구조적 추론이다. HBM 한 스택은 core die와 base die와 조립(적층·몰딩·테스트)의 세 구성으로 나뉘며, 구성마다 제조 주체가 다르면 소재를 승인하는 조직도 달라진다. core die는 메모리사의 전공정 라인에서 나오므로 TSV 도금액과 CMP 슬러리와 세정액의 승인은 메모리사 소관이다. base

die는 HBM4부터 로직 파운드리에서 나오므로, 그 웨이퍼에 쓰이는 소재는 파운드리의 공정 표준과 승인 자재 목록을 통과해야 한다. 조립은 현재 메모리사의 후공정 라인이 맡으므로 NCF와 액상 EMC와 언더필의 승인은 다시 메모리사로 돌아온다 [S-4-10][S-4-14].



도해 F-4-12A · HBM은 서로 다른 웨이퍼 경로가 만나는 제품이다 · 근거 S-4-01, S-4-17, S-4-09, S-4-40
I/O·채널이 늘면서 base die 복잡도가 높아졌다. core die와 조립 소재의 경로는 따로 남는다.

도해 F-4-12B · 소재 승인 경로는 세 구성으로 나뉜다 · 근거 S-4-10, S-4-14, S-4-40
같은 HBM에 들어가는 소재라도 core die·base die·조립의 승인 경로를 나누어 보아야 한다.

도해 F-4-12C · base die 제조 경로가 회사별로 다르다 · 근거 S-4-09, S-4-26, S-4-39, S-4-40
삼성은 사내 조정, 외부 파운드리 경로는 별도 접점이 필요하다. 조립 소재는 메모리사 쪽에 남는다.

영업 관점에서 이 갈래는 두 가지를 뜻한다. 첫째, 같은 최종 제품에 들어가는 소재라도 base die 쪽은 파운드리의 검증 체계를, core die 쪽과 조립 쪽은 메모리사의 퀄 체계를 따로 통과해야 한다. 둘째, 삼성전자처럼 메모리와 파운드리를 한 회사가 가진 경우에는 두 체계가 사내 조정으로 이어진다. SK하이닉스와 Micron처럼 외부 파운드리를 쓰는 경우에는 소재사가 두 고객을 따로 관리해야 한다. 어느 쪽이든 core die와 조립 단계의 소재는 메모리사에 남으므로, CMP 슬러리와 EMC의 1차 승인 경로는 여전히 메모리사다.

custom HBM은 그 위에 얹히는 수익 구조다. base die가 로직 공정으로 넘어간 덕분에 GPU와 ASIC이 하던 일부 연산·제어를 HBM 쪽으로 옮길 수 있게 되었다. 3사 모두 2027년 전후를 목표로 커스텀 제품을 준비하고 있다.

삼성전자는 2027년부터 고객 요구 기반 순차 샘플링을 공식화했다 [S-4-09]. SK하이닉스는 2026~2028년에 custom HBM4E를, 2029~2031년에 custom HBM을 로드맵에 올렸다 [S-4-18]. Micron은 2027년 커스텀 제품에서 표준품 대비 높은 마진을 기대한다고 밝혔다 [S-4-40]. 최종 수요처는 Google TPU, AWS Trainium, Microsoft Maia, Meta MTIA 같은 하이퍼스케일러 자체 칩이다.

시장 구도는 판본과 날짜를 구분해서 읽어야 한다. Counterpoint Research의 2026년 HBM4 점유율 전망은 SK하이닉스 54% 이상, 삼성 28%, Micron 18%다. 이 전망은 2026년 7월 30일 보도 기준이다 [S-4-32]. 이와 별개로 같은 기관의 매출 점유율 집계에서는 삼성전자의 HBM 매출 점유율이 2026년 1분기 21%에서 2분기 33%로 올랐다. SK하이닉스(50%)와의 격차를 좁힌 것으로 보도되었다(2026년 9월 3일) [S-4-27].

전자는 HBM4 제품군 전망이고 후자는 HBM 전체 매출 실적이므로 두 수치를 합산해 읽으면 안 된다. NVIDIA Vera Rubin 물량의 3사 배분(SK 60~70%, 삼성 25~30%, Micron 잔여)은 공급망 애널리스트 추정이다. NVIDIA가 공식 발표한 수치는 아니다 [S-4-28].

HBM이 DRAM 산업에서 차지하는 비중은 웨이퍼와 비트로 나누어 보는 편이 정확하다. 상위 3사 기준 HBM 웨이퍼 투입 비중은 2025년 말 18%, 2026년 22%, 2027년 30%로 전망된다. 비트 공급 비중은 같은 기간 8%, 9%, 13%로 전망된다 [S-4-30]. 웨이퍼 투입은 크게 늘리면서 산출 비트는 적게 내는 구조이며, HBM이 범용 DRAM 캐파를 잠식한다는 말의 실체가 이것이다. 수익성에서는 역전이 일어났다. 같은 분석에 따르면 HBM 웨이퍼 매출이 2026년 1분기에 DDR5 64GB RDIMM에 추월당했고, 수익성도 그 시점부터 역전되었다 [S-4-30].

수익성 역전은 소재 수요의 방향에 직접 영향을 준다. HBM은 연초에 가격을 사전 확정하는 장기계약 구조라서 범용 DRAM 현물 가격이 급등해도 그 상승을 따라가지 못한다. 그 결과 2026년 1분기부터 HBM 웨이퍼의 수익성이 DDR5 64GB RDIMM보다 낮아졌다 [S-4-30]. 메모리사가 캐파를 범용 DRAM으로 재배분할 유인이 생기므로, HBM 증설에 연동된 소재 수요에는 하방 변수가 된다. 다만 2027년 공급 협상이 HBM4 계약으로 옮겨 가면서 가격 결정력이 공급사 쪽으로 이동하고 있다는 분석도 함께 나온다. 따라서 이 역전은 구조적 추세가 아니라 계약 주기에서 오는 시차 현상으로 읽는 편이 정확하다 [S-4-30].

가격 격차 전망의 내용은 다음과 같다. HBM3E와 서버 DDR5의 가격 격차는 종전 4~5배에서 2026년 말 1~2배로 축소될 전망이다(TrendForce, 2025년 12월) [S-4-31]. 이는 DDR5 계약가 급등에 따른 격차 축소이며 HBM3E 가격 하락이 아니다. 2026년 HBM3E ASP는 소폭 상승할 전망이다. 원문에 비교 기준 단위가 명시되어 있지 않으므로 비트당 같은 단위를 임의로 붙여 읽으면 안 된다 [S-4-31].

HBM5의 시점은 두 회사가 비슷하게 잡는다. 삼성전자는 2026년 9월 1일 SEMICON Taiwan 2026에서 HBM5를 HBM4E 대비 성능 2배, 와트당 성능 20% 향상, 열저항 20% 감소로 제시했다. 12·16·20단 스택 옵션과 자사 2nm base die를 준비하며 양산을 2028년 전후로 잡았다 [S-4-26]. SK하이닉스는 2025년 11월 SK AI Summit 로드맵에서 HBM5/HBM5E와 custom HBM을 2029~2031년 구간에 배치했다 [S-4-18]. 따라서 HBM5는 "2028년 전후 양산 진입, 본격 확산은 2029~2030년"으로 폭을 두고 보는 편이 안전하다.

시장·구조 핵심 수치

항목	값	기준 시점·판본	출처
2026년 HBM4 점유율 전망	SK하이닉스 54%+, 삼성 28%, Micron 18%	Counterpoint, 2026-07-30 보도	[S-4-32]
HBM 매출 점유율(실적)	삼성 21%(1Q26) → 33%(2Q26), SK하이닉스 50%	Counterpoint, 2026-09-03 보도	[S-4-27]
Vera Rubin HBM4 배분 【애널리스트 추정】	SK 60~70%, 삼성 25~30%, Micron 잔여	2026-09	[S-4-28]
HBM 웨이퍼 투입 비중(상위 3사)	18%(2025 말) → 22%(2026) → 30%(2027)	TrendForce, 2026-06-02	[S-4-30]
HBM 비트 공급 비중	8%(2025 말) → 9%(2026) → 13%(2027)	TrendForce, 2026-06-02	[S-4-30]
HBM3E 대 서버 DDR5 가격 격차	4~5배 → 2026년 말 1~2배로 축소 전망(단위 원문 미명시)	TrendForce, 2025-12-18	[S-4-31]

> **소재 관점에서 보면**: base die의 파운드리화는 소재 영업 조직도를 바꾼다. 지금까지는 메모리사의 패키징 개발 조직 한 곳의 승인을 받으면 HBM 소재를 판매할 수 있었다. HBM4E부터는 파운드리와 로직 후공정 체인에 별도의 접점을 만들어야 한다. 삼성전자는 두 조직이 같은 회사 안에 있어 이원화의 부담이 상대적으로 작고, SK하이닉스와 Micron은 TSMC 체인에 대한 접근이 별도 과제가 된다. 한편 HBM 웨이퍼 투입 비중이 2027년 30%까지 오른다는 전망은 HBM용 소재 수요가 웨이퍼 기준으로 DRAM 전체의 3분의 1에 육박한다는 뜻이다. HBM 소재를 소량 다품종이 아니라 대량 단일 규격 사업으로 다루어야 한다는 신호다.

4.7 최신 동향 (2026년 8월 22일 이후)

관련 슬라이드: 40쪽 · 112쪽

관련 도해: F-3-12 SAINT와 H-Cube는 Cube 5종과 별도 트랙이다 · F-4-11A 높이 한도는 확정값과 논의값을 구분한다 · F-4-11B 16단 × 50μm는 다이만으로 800μm다 · F-4-11C 한도를 올려도 단수가 늘면 층당 예산은 줄어든다

2026년 8월 22일 조사 이후 2026년 9월 19일까지 확인된 변화는 열 건이고, 2026년 9월 27일까지 새로 확인한 일곱 건을 더하면 열일곱 건이다. 각 항목의 날짜가 그 수치의 기준 시점이다.

- **Hot Chips 2026의 SK하이닉스 발언(2026년 8월 23일)**: SK하이닉스 아메리카 패키지 엔지니어링 담당 이재식 부사장이 HBM4E 세대에는 hybrid bonding을 적용하지 않고 Advanced MR-MUF를 이어 간다고 설명한 것으로 보도되었다. hybrid bonding을 쓰는 가장 이른 세대는 HBM5이며 전면 양산은 2029~2030년으로 전망된다. 같은 자리에서 HBM4 12단은 양산 중이고 16단은 인증 단계에 진입했다고 밝혔다. 16단을 넘어 20단 이상으로 가려면 hybrid bonding으로 접합 피치를 18μm 이하로 줄여야 한다는 설명도 나왔다 [S-4-23][S-4-24]. 2026년 7월까지의 "빨라야 16단 HBM4E" 컨센서스를 한 세대 뒤로 미룬다는 점에서 이번 갱신의 가장 큰 변화다. 다만 출처가 학회 발표의 2차 보도이므로, 회사가 세대별 양산 도입 시점을 확정 발표한 것으로 읽으면 안 된다 *[C-4-23]*.
- **두께 상한 완화의 영향(2026년 8월 23일, 같은 자리)**: JEDEC이 HBM 패키지 총두께 상한을 720μm에서 775μm로 올린 것이 hybrid bonding을 서두를 필요를 줄였다는 설명이 제시되었다. 775μm는 300mm 로직 웨이퍼 한 장의 표준 두께에 해당한다 [S-4-24][S-4-25]. HBM4E 약 900μm, HBM5 최대 1,000μm 완화 논의는 여전히 논의 단계이며 확정된 표준이 아니다 [S-4-21].
- **인디애나 팹 착공식(2026년 8월 27일)**: SK하이닉스가 미국 인디애나 웨스트라피엣 퍼듀 리서치 파크에서 어드밴스드 패키징 팹 착공식을 실제로 개최했다. 인디애나 주지사, 연방 상원의원, 퍼듀대 총장 직무대행, 곽노정 CEO, 주미대사가 참석했다. 총 투자액은 40억 달러를 넘고, 클린룸은 2028년 10월에 열며, 차세대 HBM 양산은 2029년 하반기를 목표로 한다. 가동 시 약 1,000명을 고용하며, 생산라인 옆에 어드밴스드 패키징 R&D 테스트베드를 둔다 [S-4-14]. 2024년 4월 3일 투자 계획 발표의 38.7억 달러와 당시의 2028년 하반기 양산 목표는 그 시점 수치다. 두 숫자는 발표 날짜로 구분해 읽어야 하며, 차액을 증액분으로 보면 안 된다 [S-4-15].
- **삼성전자 메모리 로드맵(2026년 9월 1일)**: SEMICON Taiwan 2026에서 삼성전자가 차세대 메모리 로드맵을 공개했다. HBM5는 HBM4E 대비 성능 2배, 와트당 성능 20% 향상, 열저항 20% 감소를 목표로 하며, 12·16·20단 스택을 준비하고 base die를 자사 2nm로 올린다. 양산은 2028년 전후로 제시되었다. 그 너머로는 메모리를 프로세서 위에 직접 쌓는 zHBM을 제시했다. zHBM의 목표는 HBM4E 대비 성능 8배, 와트당 성능 3배, 열저항 75~90% 감소이며, 2029년 이후 출시를 목표로 한다 [S-4-26].

- **HBM 매출 점유율 집계(2026년 9월 3일 보도)**: Counterpoint Research 집계로 삼성전자의 HBM 매출 점유율이 2026년 1분기 21%에서 2분기 33%로 올랐다. SK하이닉스(50%)와의 격차는 17%p로 좁혀졌다고 보도되었다 [S-4-27]. 4분기에 40%에 근접할 수 있다는 증권사 전망도 함께 보도되었으나 이는 추정치다.
- **16단 HBM4 출하 보도(2026년 9월)**: 공급망 추적 보도에서 SK하이닉스가 NVIDIA Vera Rubin용으로 48GB 16단 HBM4를 출하하고 있다는 내용이 나왔다 [S-4-28]. 회사의 공식 발표(8월 23일 Hot Chips의 "16단 인증 단계")보다 한 걸음 앞선 내용이다. 따라서 "회사 공식 발언 기준 16단 인증 단계(2026.8.23), 공급망 추적 보도 기준 16단 출하(2026.9)"처럼 두 층위를 구분해야 한다. 같은 보도는 Micron이 12단 HBM4를 2026년 3월부터 대량 생산 중이고 48GB 16단 샘플을 출하했으나 16단 양산은 발표하지 않았다고 전했다. 삼성전자는 16단에 대한 고객 수요가 제한적이라 상용화 필요성이 낮다는 입장이라고 한다 [S-4-28].
- **Micron HBM4 양산 시점(회사 공식 발표 기준 2026년 1분기)**: Micron은 2026년 3월 16일 NVIDIA Vera Rubin용 36GB 12단 HBM4의 달력 기준 2026년 1분기 대량 출하를 발표했다 [S-4-45]. 연말까지 월 6만장 규모로 캐파를 확대한다는 계획은 2026년 9월 4일 국내 보도에서 나온 별도의 보도상 계획이므로 양산 개시 시점과 구분해 읽어야 한다 [S-4-29]. 2026년 6월 24일 Micron은 1-gamma DRAM 기반 HBM4E 개발이 진행 중이며 2027년 양산을 목표로 한다고 밝혔다 [S-4-29].
- **SK하이닉스·Intel 탐색적 논의 보도(2026년 9월 16일)**: 로이터는 SK하이닉스와 Intel이 미국 내 메모리 생산을 두고 오하이오 시설 공간 임차를 포함한 탐색적 논의를 하고 있다고 보도했다. SK하이닉스는 확정된 계획이나 합의가 없다고 밝혔다 [S-4-29]. 확정 사항이 아니므로 "보도 단계"의 정보로만 보아야 한다. 한편 삼성전자는 충남 아산 온양캠퍼스에 6조원을 투자하는 HBM 신규 팹을 2026년 하반기에 착공할 예정이다. 부지는 약 38만 9,825㎡이며, 2026년 8월 19일 충남도 도시계획위원회 의결로 9월 착공안이 보도되었으나 10월 착공설도 병존한다. 2026년 9월 27일 보도도 온양 신규 팹(약 6조원)이 8월에 인허가를 마치고 "9월 착공을 앞두고 있다"고만 적어, 이 날짜 기준으로도 착공식 개최는 확인되지 않았다(2026년 9월 27일 추가 확인) [S-4-60]. 양산 목표는 2029년 5월로 보도되었다 [S-4-35].
- **SK하이닉스 뉴스룸 기고(2026년 8월 25일)**: hybrid bonding을 다룬 기술 기고가 게재되었다. HBM4E 또는 HBM5, 그리고 그보다 높은 적층에서 본격 도입될 가능성을 논하면서 시점의 불확실성을 함께 인정하는 내용이다. 저자가 사내 임원이 아니라 외부 교수이므로 회사의 채택 일정 확약이 아니라 공개 설명 자료로 읽어야 한다 *[C-4-24]*.
- **삼성전자 HBM 혼합 수율 추정 보도(2026년 8월 31일)**: 국내 증권사가 삼성전자의 HBM 혼합 수율과 제품 믹스 개선을 추정한 보고서가 보도되었다. 2분기 전체 HBM 혼합 수율이 전분기 대비 5%p 이상 개선되고 HBM4 믹스가 약 5%에서 35%로 올라간다는 내용이다. 이는 HBM4 단독의 절대 수율을 새로 측정한 값이 아니다 *[C-4-14]*. 8월 10일 보도된 80%와 더하거나 HBM4 단독 개선폭으로 읽으면 안 된다.

9월 19일 이후 추가 확인 (2026년 9월 27일 기준)

- **NVIDIA NVHBM 발표(2026년 8월 26일)**: NVIDIA가 NVLink Fusion 확장으로 NVHBM을 발표했다. NVIDIA의 맞춤 메모리 컨트롤러를 HBM base die에 통합하는 방식이다. 표준 HBM4E 대비 메모리 대역폭 최대 30% 향상, HBM 전력 15% 절감, XPU 연산 다이 면적 최대 25% 확보를 제시했고, 첫 협업사는 Amazon의 Annapurna Labs다 [S-4-50]. 4.6이 메모리 3사의 custom HBM 로드맵을 다룬 데 비해, 이 발표는 GPU 고객이 base die 사양을 직접 정의하는 흐름을 보여 준다. 양산 시점과 base die 공정은 공개되지 않았다.

- **삼성전자 custom HBM base die 투트랙 검토 보도(2026년 9월 16일)**: 국내 매체가 해외 IT 매체의 9월 15일 보도를 인용해, 삼성전자가 custom HBM base die를 자사 4nm 공정과 TSMC 공정 가운데 고객 요구에 따라 고르는 투트랙을 검토한다고 전했다. 커스텀 제품 샘플은 2027년 고객 공급이 목표로 제시되었다 [S-4-51]. 원출처(새미팬즈)는 최종 납품 계약이 아닌 조건부 검토 단계라고 선을 그었고, 삼성전자의 입장은 없다. 4.6의 "삼성전자는 자사 파운드리로 내재화" 서술은 회사 공식 발표에 근거하므로 그대로 두고, 이 내용은 보도 단계의 상충 정보로만 다룬다.
- **hybrid bonding 도입 조건 패널 발언 보도(2026년 9월 20일)**: 헤럴드경제는 SK하이닉스 아메리카 김지훈 시니어 디렉터가 9월 9일 새너제이 SEMI "AI 컴퓨팅의 미래" 콘퍼런스 패널에서 한 발언을 보도했다. 그는 hybrid bonding 도입 조건으로 "90~98%의 수율"과 "3~5년의 수명"을 타협할 수 없는 기준으로 제시했다 [S-4-52]. 이는 패널 발언의 보도이며, 회사가 공식 로드맵으로 확정한 기준이나 도입 세대가 아니다. 같은 기사의 "HBM4E 16단 또는 HBM5 20단부터 도입" 전망은 업계 전망으로 적혀 있어 발언자에게 귀속하지 않는다. 2026년 9월 27일 기준으로도 JEDEC의 HBM4E 표준이나 패키지 두께 완화 문서 발행은 확인되지 않았다.
- **삼성전자 HBM 웨이퍼 투입 확대 보도(2026년 9월 20일)**: 서울경제는 업계 소식통을 인용해 삼성전자가 HBM 웨이퍼 투입을 월 약 18만장(2026년)에서 약 25만장(2027년)으로 늘리고, HBM4·HBM4E 출하 비중을 40%에서 약 80%로 올린다고 보도했다. 박형 웨이퍼를 지지하는 유리 캐리어의 외주 세정 물량도 월 2만장에서 5만장으로 늘어난다고 전했다 [S-4-53]. 같은 날 다른 기사는 HBM4E 샘플의 신뢰성 평가 단계 수율이 70%를 넘었다고 전했는데, 이는 양산 수율이 아니다 [S-4-54]. 보도에 따르면 이 수치들은 모두 업계 전언이며, 회사는 확인하지 않았다.
- **TrendForce의 Rubin 증산 지연·8단 주류 전망(2026년 9월 21일, 9월 22일)**: TrendForce는 2026년 9월 21일 HBM4 저수율이 칩 출하를 제약해 NVIDIA Rubin의 본격 증산이 2027년으로 넘어간다고 분석했다. 공급사들이 12단에서 8단 HBM4·HBM4E로 구성을 바꾸는 방안을 평가하고 있다고도 적었다 [S-4-55]. 이튿날 9월 22일 TrendForce는 2027년 HBM 가격 전망을 상향하면서 8단이 2027년 출하의 주류가 되고 Gb당 가격은 12단보다 높을 것으로 보았다 [S-4-56]. 두 자료는 분석기관의 전망이며 NVIDIA의 공식 사양 변경이 아니다. 4.5의 "16단을 전제로 한 소재 수요 예측은 조심스럽게"라는 결론을 뒷받침하는 근거가 하나 더 생긴 셈이다.
- **삼성전자 HCB 장비 협력 보도(2026년 9월 23일)**: 시사저널e는 삼성전자가 Applied Materials와 Besi의 D2W 통합 시스템 Kinex를 중심으로 hybrid bonding(HCB) 장비 협력을 강화하고, HBM4E부터 HCB를 적용한다는 목표를 유지한다고 보도했다 [S-4-57]. 보도에 따르면 내년 3월을 주요 개발 시점으로 두고 화성에 약 130명의 개발 인력을 모았다. HBM용 HCB 수율은 양산 전환 기준으로 보는 60%에 못 미치는 50%대다. 이 수치는 모두 익명 업계 관계자의 전언이며 회사는 확인하지 않았다. 4.4의 "16단 HBM4E 부분 채택" 서술과 방향은 같지만, 현재 수율이 전언 기준 50%대라는 단서를 함께 읽는 편이 정확하다.
- **삼성전자 D0a 방식 전환 보도(2026년 9월 23일)**: 같은 날 지디넷코리아는 삼성전자가 차세대 DRAM D0a를 수직 트랜지스터(VCT) 방식에서 B1b 방식으로 바꿨다고 보도했다. B1b는 셀과 주변회로를 다른 웨이퍼에서 만든 뒤 W2W hybrid bonding으로 붙이는 방식이다. 양산 투자 결정은 2027년 중반, 상용화는 약 2년 뒤로 전망되었고, B1b를 HBM에 적용해 2029년경 HBM5 양산을 목표로 한다는 내용도 담겼다 [S-4-58]. 익명 관계자 발언 보도이며 회사 입장은 확인되지 않았다. 이 경로가 실현되면 본딩면 CMP와 세정 수요가 HBM 적층용 D2W보다 범용 DRAM의 W2W 접합에서 먼저 열릴 수 있다.

추가된 일곱 건 가운데 소재 관점에서 무게가 큰 것은 hybrid bonding 도입 조건 발언 보도와 TrendForce의 8단 주류 전망이다. SK하이닉스 쪽 hybrid bonding 전환 신호가 세대 이름이 아니라 수율과 신뢰성 임계로 제시되었다. 고객 쪽에서는 8단 중심 전망이 나와, 스택당 본딩 소재 사용량이 줄어드는 대신 스택 수가 늘

어나는 시나리오가 함께 열렸다. 삼성전자의 HCB 50%대 수율과 D0a의 W2W 전환은 모두 전언이지만, CMP 슬러리와 세정액의 평가 시점을 추적할 때 참고할 신호다.

앞의 열 건 가운데 소재 관점에서 가장 무거운 것은 Hot Chips 발언과 두께 상한 완화 설명이다. hybrid bonding 전환이 HBM5로 밀리고 두께 규격이 완화되면서, NCF와 액상 EMC 계열 본딩 소재의 잔여 수명이 최소 한 세대 연장되었기 때문이다. 동시에 CMP 슬러리와 세정액의 퀄 윈도우도 그만큼 뒤로 밀렸다. 준비 일정에 여유가 생긴 것이지 기회가 사라진 것은 아니다.

이 자료의 최신 동향 기준 시점은 2026년 9월 27일이다. Hot Chips 발언(8월 23일), 인디애나 착공식(8월 27일), SEMICON Taiwan 로드맵(9월 1일), 점유율 집계(9월 3일)는 각 날짜를 기준 시점으로 삼아 읽는다. 16단 출하 소식과 Micron 캐파 확대 계획은 공급망 추적과 국내 매체 보도이므로 "보도 기준" 정보로 읽는다. SK하이닉스와 Intel의 논의 보도는 회사가 확정을 부인했으므로 판단 근거로 삼지 않는 편이 안전하다. 뉴스룸 기고와 증권사 수율 추정은 각각 외부 기고와 증권사 추정이므로 회사 확약과 구분해 읽어야 한다. 인디애나 팹의 CHIPS법 직접보조금은 최대 4.58억 달러이며, 2024년 12월 19일 NIST 발표로 확정된 수치다 [S-4-44]. 9월 19일 이후 추가분 가운데서는 NVHBM 발표(NVIDIA, 8월 26일), hybrid bonding 도입 조건 패널 발언 보도(9월 9일 발언, 9월 20일 보도), TrendForce의 8단 주류 전망(9월 22일)을 날짜와 함께 인용할 만하다. 앞의 두 건은 각각 회사 1차 발표와 패널 발언의 보도라는 층위를 구분해 읽는다. 추가분 가운데 삼성전자 관련 전언(base die 투트랙, 웨이퍼 투입 확대, HCB 장비 협력, D0a 방식 전환)은 "보도 기준, 회사 미확인"이라는 단서 없이는 인용하지 않는다.

4.8 핵심 정리

번호	문장	출처
1	HBM4의 가장 큰 구조 변화는 인터페이스가 1024-bit에서 2048-bit로 두 배 넓어진 것이다. 그 결과 base die가 DRAM 공정을 떠나 로직 파운드리 공정으로 넘어갔다. JEDEC JESD270-4 표준은 2025년 4월 16일에 발간되었고 2048-bit, 핀당 8Gb/s, 스택당 2TB/s, 최대 64GB를 규정한다.	[S-4-01]
2	HBM4의 '최초'는 두 회사의 기준이 서로 다르다. SK하이닉스는 2025년 9월 12일에 개발 완료와 양산 체제 구축을 세계 최초로 발표했고, 삼성전자는 2026년 2월 12일에 양산과 상용 출하를 업계 최초로 발표했다. 둘 다 자사 발표 기준이다.	[S-4-09] [S-4-10]
3	SK하이닉스의 Advanced MR-MUF는 기존 EMC 대비 방열 특성이 1.6배 개선된 신세대 EMC와, 40% 박형화된 칩의 휨을 억제하는 chip control 기술을 함께 쓴다. 삼성전자의 Advanced TC-NCF는 필름을 얇게 만들어 칩 사이 갭을 7마이크로미터까지 줄였다.	[S-4-16] [S-4-19]
4	2026년 8월 23일 Hot Chips 발표를 전한 보도에 따르면, SK하이닉스는 HBM4E까지 MR-MUF를 유지하고 hybrid bonding은 빨라야 HBM5부터로 본다. 같은 보도는 두께 상한이 720마이크로미터에서 775마이크로미터로 완화된 것이 전환을 서두를 필요를 줄였다고 전한다.	[S-4-23] [S-4-24]
5	SK하이닉스는 2026년 8월 27일 인디애나에서 어드밴스드 패키징 팹 착공식을 열었다. 총 투자 40억 달러 초과, 클린룸 2028년 10월, 차세대 HBM 양산 2029년 하반기가 착공식 시점 기준 일정이다.	[S-4-14]

4.9 자기 점검 퀴즈

관련 도해: F-4-06A Advanced TC-NCF는 한 장씩 열압착한다 · F-4-06B Advanced MR-MUF는 일괄 접합 뒤 채운다 · F-4-06C 개량 수치는 비교 대상을 붙여 읽는다

문 1. HBM4에서 base die가 로직 파운드리 공정으로 이관된 가장 직접적인 이유는 무엇인가?

A. 스택 총높이 상한이 720μm에서 775μm로 완화되면서 base die의 두께 예산에 여유가 생겨 로직 공정을 쓸 수 있게 되었기 때문 B. 인터페이스가 1024-bit에서 2048-bit로 배증하면서 base die의 PHY·제어 로직 복잡도가 DRAM 공정으로 감당하기 어려워졌기 때문 C. JEDEC이 JESD270-4에서 base die의 제조 공정 노드를 로직 파운드리로 규정하여 3사가 이를 따를 수밖에 없었기 때문 D. hybrid bonding의 Cu recess 1~5nm 요건을 맞추려면 base die 표면 평탄도를 로직 공정 수준으로 올려야 했기 때문

문 2. MR-MUF가 TC-NCF 대비 방열에서 유리한 이유로 가장 정확한 설명은?

A. 액상 EMC의 열전도가 금속 수준이어서 TSV를 대체하기 때문 B. 일괄 리플로우로 접합하므로 접합부 계면 저항 자체가 존재하지 않기 때문 C. 액상 갭필이 필름보다 열전도가 좋고, 열 배출용 더미 범프를 TC-NCF 대비 최대 4배까지 배치할 수 있기 때문 D. MR-MUF는 다이 사이에 유기물 층이 전혀 없기 때문

문 3. 2026년 9월 기준으로 hybrid bonding 전환 시점에 관한 서술 중 가장 정확한 것은?

A. SK하이닉스는 16단 HBM4E부터 hybrid bonding을 전면 적용한다고 2026년 8월에 확정 발표했다 B. SK하이닉스는 2026년 8월 Hot Chips에서 HBM4E까지 MR-MUF를 유지하고 hybrid bonding은 빨라야 HBM5부터라고 밝혔다 C. JEDEC이 HBM4E 두께 상한을 900μm로 확정 발간하면서 hybrid bonding 도입이 취소되었다 D. 삼성전자는 HBM4부터 이미 hybrid bonding을 양산에 적용하고 있다

문 4. HBM3E와 서버 DDR5의 가격 격차에 관한 서술로 가장 정확한 것은?

A. 비트당 가격 기준으로 종전 4~5배에서 2026년 말 1~2배로 좁혀지며, 축소의 원인은 HBM3E 공급 확대에 따른 단가 하락이다 B. 종전 4~5배에서 2026년 말 1~2배로 축소될 전망이며, HBM3E ASP 하락이 원인이고 비교 단위는 스택당으로 원문에 명시되어 있다 C. 종전 4~5배에서 2026년 말 1~2배로 축소될 전망이며, DDR5 계약가 급등에 따른 축소이고 비교 단위는 원문에 명시되어 있지 않다 D. 스택당 가격 기준으로 2026년 1분기에 이미 격차가 1배 이하로 역전되었으며, 2027년에는 HBM이 더 싸질 전망이다

문 5. SK하이닉스 인디애나 팹에 관한 서술 중 2026년 9월 시점에서 가장 정확한 것은?

A. 2026년 8월 27일 착공식이 열렸고, 착공식 시점 기준으로 투자 40억 달러 초과, 클린룸 2028년 10월, 양산 2029년 하반기가 제시되었다 B. 2026년 8월 27일 착공식이 열렸고, 2024년 4월 투자 계획 발표의 38.7억 달러와 2028년 하반기 양산 일정이 그대로 재확인되었다 C. 2026년 8월 22일 기준으로 이미 건설이 진행 중이었고, 착공식은 공사 진척을 알리는 행사로 2028년 상반기 양산이 확정되었다 D. 착공식은 2026년 8월 27일에 열렸으나 CHIPS법 직접보조금이 최대 4.58억 달러에서 증액되면서 양산 목표가 2027년으로 앞당겨졌다

서술형 1. TC-NCF와 MR-MUF의 소재·공정 차이를 각각 두 문장으로 설명하고, 두 방식이 16단 적층에서 부딪히는 서로 다른 한계를 쓰시오.

서술형 2. hybrid bonding 전환이 2026년 들어 늦춰진 이유를 세 가지로 정리하고, 그것이 소재 수요에 주는 함의를 쓰시오.

정답과 해설

아래는 위 문항의 해설이다. 먼저 스스로 답한 뒤 이 상자를 펼쳐 보듯 읽는다.

문항 1

정답: B

채널이 16개에서 32개로, I/O가 1,024개에서 2,048개로 배증하면서 base die 안의 물리계층과 제어 로직의 면적·복잡도가 함께 늘었고, DRAM 공정으로 구현하면 면적과 전력이 모두 불리해진다. 그래서 3사 모두 base die를 로직 공정으로 옮겼다 [S-4-01][S-4-09][S-4-10].

A는 인과가 뒤집혔다. 720μm에서 775μm로의 완화는 실재하지만, 그것은 마이크로범프의 수명을 늘려 hybrid bonding 도입을 늦추는 요인이지 base die 공정 전환의 이유가 아니다. C는 표준의 역할을 잘못 읽은 것이다. JESD270-4는 인터페이스·속도·채널·용량·전압·신뢰성 기능을 규정할 뿐 base die의 제조 공정 노드를 규정하지 않으며, 실제로 3사의 선택이 4nm·12nm·자체 CMOS로 갈렸다. D는 시점이 맞지 않는다. Cu recess 1~5nm는 hybrid bonding 접합면 CMP의 조건부 사례값이며, HBM4는 여전히 마이크로범프를 쓰므로 base die 공정 전환과 무관하다.

문항 2

정답: C

SK하이닉스 기술 해설 기준으로 MR-MUF는 열더미범프를 TC-NCF 대비 최대 4배 배치할 수 있고, 액상 EMC가 필름보다 열전도가 좋다. HBM2E에서 HBM2 대비 방열 36% 개선, Advanced MR-MUF 적용 후 HBM3E에서 전세대 대비 10% 추가 개선이 보고되었다 [S-4-16].

A는 과장이다. 에폭시 기반 열경화성 폴리머의 열전도는 금속과 비교할 수준이 아니며 TSV를 대체하지도 않는다. B는 틀렸다. 일괄 리플로우는 공정 시간을 줄이는 이점이지 계면 저항을 없애지 않는다. D는 hybrid bonding의 특징을 MR-MUF에 잘못 붙인 것이다. MR-MUF는 액상 EMC라는 유기물 층으로 갭을 채운다.

문항 3

정답: B

2026년 8월 23일 Hot Chips 2026에서 SK하이닉스 이재식 부사장이 HBM4E 세대에는 hybrid bonding이 준비되지 않으며 HBM5가 가장 이른 적용 세대라고 밝힌 것으로 보도되었다 [S-4-23] [S-4-24]. 전면 양산 2029~2030년은 부사장 발언이 아니라 업계 전망을 전한 2차 보도다 [S-4-24] [S-4-36].

A는 방향이 반대다. 2026년 7월까지의 "빨라야 16단 HBM4E" 전망을 SK하이닉스가 한 세대 뒤로 미룬 것이 8월 발언의 요지다. C는 두 가지가 틀렸다. 900μm는 논의 단계이지 확정 발간이 아니며, 도입이 취소된 것이 아니라 지연된 것이다. D는 사실이 아니다. 삼성전자의 HBM3E와 HBM4 양산은 Advanced TC-NCF 기반이며, HCB는 16단 HBM4E에서의 부분 채택이 계획 단계로 보도된다.

문항 4

정답: C

원출처인 TrendForce 2025년 12월 18일 자료는 격차가 4~5배에서 2026년 말 1~2배로 좁혀진다고만 적었고 비트당 또는 스택당 같은 단위를 명시하지 않았다. 원인은 DDR5 계약가 급등이며 HBM3E ASP 자체는 2026년 소폭 상승 전망이다 [S-4-31].

A와 B는 원문에 없는 단위를 붙이고 인과를 뒤집었다. 원인은 HBM3E 단가 하락이 아니라 서버 DDR5 계약가 급등이며, 2026년 HBM3E ASP는 소폭 상승할 전망이다. D는 다른 지표를 가격 격차로 바꿔 읽은 오류다. 2026년 1분기에 역전된 것은 HBM 웨이퍼 매출과 수익성이 DDR5 64GB RDIMM에 밀린 것이지 스택당 판매가가 역전된 것이 아니다.

문항 5

정답: A

2026년 8월 27일 퍼듀 리서치 파크에서 착공식이 실제로 개최되었고, 곽노정 CEO가 총 투자 40억 달러 초과, 클린룸 2028년 10월, 차세대 HBM 양산 2029년 하반기를 밝혔다 [S-4-14].

B는 날짜만 맞고 수치가 틀렸다. 38.7억 달러와 2028년 하반기 양산은 2024년 4월 3일 투자 계획 발표 기준 값이며, 착공식에서는 40억 달러 초과와 2029년 하반기 양산으로 갱신되었다. C는 사실과 다르다. 2026년 8월 22일 시점에는 아직 착공 전이었고 착공식이 8월 27일로 예정되어 있었으며, 양산 목표도 2028년 상반기였던 적이 없다. D는 보조금과 일정을 모두 지어낸 것이다. CHIPS 직접보조금 최대 4.58억 달러는 2024년 12월 19일 NIST 발표로 확정된 값으로 증액된 바 없고, 양산 목표는 앞당겨진 것이 아니라 2029년 하반기로 미루어졌다.

서술형 1

TC-NCF는 칩마다 비전도성 접착 필름을 끼운 뒤 열과 압력으로 한 장씩 순차 접합하는 방식이며, 필름이 접착과 갭필을 동시에 맡는다. 삼성전자와 Micron이 채택했고, 삼성전자는 필름을 얇게 만들어 칩 사이 갭을 7μm까지 줄인 Advanced TC-NCF를 HBM3E 12단부터 적용했다 [S-4-19].

MR-MUF는 적층한 전체 스택의 솔더 범프를 한 번의 리플로우로 일괄 접합한 뒤 액상 EMC로 간극 충전과 몰딩을 동시에 수행하는 방식이다. SK하이닉스가 채택했고, Advanced MR-MUF는 방열 1.6배 개선 EMC와 chip control 기술을 함께 쓴다 [S-4-16].

16단에서의 한계는 서로 다르다. TC-NCF는 접합 사이클이 칩 수만큼 반복되므로 단수가 늘수록 공정 시간이 비례하여 늘고, 필름을 더 얇게 만드는 데 물리적 한계가 있다. MR-MUF는 일괄 접합이라 시간 문제는 덜하지만, 다이가 얇아질수록 액상 몰딩 중 warpage와 칩 손상 제어가 어려워지고 좁아진 간극을 보이드 없이 채우기가 까다로워진다 [S-4-16][S-4-37]. 두 한계가 모두 "더 얇게, 더 많이"라는 같은 요구에서 나온다는 점이 hybrid bonding 논의의 출발점이다.

서술형 2

첫째, 두께 예산이 완화되었다. JEDEC이 HBM 패키지 총두께 상한을 HBM3E의 720μm에서 HBM4의 775μm로 올렸고, HBM4E 약 900μm와 HBM5 최대 1,000μm 완화가 논의되고 있다. 높이 여유가 생기면 다이를 극단적으로 얇게 깎지 않아도 단수를 늘릴 수 있으므로 마이크로범프의 수명이 연장된다 [S-4-21][S-4-24][S-4-25].

둘째, 대체 방열 기술이 확보되었다. SK하이닉스의 iHBM은 실리콘계 냉각요소를 D2D PHY 바로 위에 내장하여 패키지 내 열저항을 30% 이상 낮추면서도 기존 MR-MUF 공정으로 구현할 수 있고, 삼성전자의 Heat Path Block은 스택 내 추가 열경로로 열 배출을 개선한다. hybrid bonding 없이 열 문제를 일부 해결할 수 있으면 전환의 긴급성이 떨어진다 [S-4-20][S-4-41].

셋째, 수율과 투자비가 아직 부담이다. SK하이닉스는 12단 hybrid bonding 검증을 2026년 4월에 완료했다고 밝혔으나 양산 수율 확보를 이유로 MR-MUF 병행을 유지했고, 2026년 8월 Hot Chips에서는 HBM4E까지 MR-MUF로 간다고 확인했다. 전면 양산 시점은 양사 모두 2029~2030년으로 본다 [S-4-38][S-4-23][S-4-38].

소재 수요 함의는 두 방향이다. 방어 측면에서는 NCF와 액상 EMC의 잔여 수명이 최소 한 세대 연장되었고, 12단에서 16단, 나아가 20단으로 가는 동안 접합면 수가 늘어 단기 물량은 오히려 증가한다. 공격 측면에서는 본딩면용 Cu CMP 슬러리, post-CMP 세정액, SiCN 계열 본딩 유전막 전구체, 초평탄 연마 패드의 쿨 윈도우가 그만큼 뒤로 밀렸을 뿐 사라지지 않았다. 요구 사양의 자릿수는 이미 공개되어 있으므로(약 400°C 어닐 조건에서 Cu recess 1~5nm, 달성 가능한 SiCN post-CMP RMS 0.10nm) 준비 기간이 늘어난 것으로 읽는 편이 정확하다. 다만 이 값들은 조건부 사례이므로 피치·패드 구조·유전막·어닐 조건별로 목표를 다시 정해야 한다 [S-4-08].

4.10 용어 사전

용어(영문)	한 문장 정의	처음 나온 절
base die (logic die)	HBM 스택 최하단에서 호스트와의 물리계층(PHY)과 제어 로직을 담당하는 다이로, HBM4부터 로직 파운드리 공정으로 제조된다	4.1
core die	HBM 스택에서 실제 DRAM 셀 어레이를 담는 다이로, 4단에서 16단까지 쌓인다	4.1
TSV (Through Silicon Via)	실리콘 다이를 수직으로 관통하는 전극으로, 적층된 다이 사이의 신호와 전원을 잇는다	4.1
pseudo-channel	하나의 물리 채널을 두 개의 준독립 영역으로 나누어 뱅크 충돌을 줄이고 유효 대역폭을 높이는 구조	4.1
인터포저 (interposer)	다이와 기판 사이에서 다이 간 고밀도 배선을 맡는 중간 기판. 실리콘형(TSV)과 유기 RDL형이 있으며 HBM 문맥에서는 주로 실리콘형	4.1
JESD270-4	JEDEC이 2025년 4월 16일 발간한 HBM4 표준 문서 번호	4.2
DRFM (Directed Refresh Management)	JESD270-4가 도입한 row hammer 완화 기능으로, 특정 행을 지정해 재생(refresh)을 유도한다	4.2
TC-NCF	칩마다 비전도성 접착 필름을 끼우고 열압착으로 순차 접합하는 적층 방식	4.3
NCF (Non-Conductive Film)	TC-NCF에서 접착과 갭필을 동시에 맡는 필름형 비전도성 접착 소재	4.3
MR-MUF	전체 스택을 일괄 리플로우로 접합한 뒤 액상 EMC로 갭필과 몰딩을 동시에 수행하는 방식	4.3
Advanced MR-MUF	방열 1.6배 개선 EMC와 chip control 기술을 더한 MR-MUF 개량형으로 HBM3 12단부터 적용되었다	4.3
chip control	적층 중 각 칩에 순간적 고열을 가해 박형화된 칩의 warpage를 억제하는 기법	4.3
hybrid bonding	구리 패드와 유전막을 동시에 직접 접합하는 무범프 접합. 약 10μm 이하 피치 영역의 해법(로직 SoIC 6μm 양산, Foveros Direct 1세대 약 10μm에서 2세대 5μm 미만)	4.3
HCB (hybrid copper bonding)	삼성전자가 자사 hybrid bonding 기술에 붙인 명칭	4.3
Cu recess (디싱)	hybrid bonding 접합면에서 구리 패드가 유전막보다 낮게 내려앉은 깊이. 약 400°C 어닐 조건의 사례값이 1~5nm이며, 목표치는 피치·패드 구조·유전막·어닐 조건별로 정한다	4.3
fluxless bonding	플라즈마 활성화로 플럭스를 대체하는 열압착 접합으로, hybrid bonding 이전의 과도기 기술로 평가된다	4.3
iHBM	SK하이닉스가 실리콘계 냉각요소를 D2D PHY 바로 위에 내장하여 패키지 내 열저항을 30% 이상 낮춘 구조	4.3
Heat Path Block (HPB)	삼성전자가 스택 내부에 추가 열경로를 만들어 열 배출을 개선한 구조	4.3
custom HBM	GPU·ASIC이 수행하던 연산·제어 일부를 HBM base die로 옮겨 고객별로 설계하는 HBM	4.6

용어(영문)	한 문장 정의	처음 나온 절
zHBM	삼성전자가 메모리를 프로세서 위에 직접 적층하는 구조로 제시한 차차세대 개념	4.7

4.11 더 읽을 자료

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-4-01	표준·로드맵	JEDEC and Industry Leaders Collaborate to Release JESD270-4 HBM4 Standard	JEDEC	2025-04-16	HBM4 헤드라인 스펙의 1차 출처. 2048-bit·8Gb/s·2TB/s·64GB·32채널의 근거	OA
S-4-09	기업발표	Samsung Ships Industry-First Commercial HBM4	삼성전자 뉴스룸	2026-02-12	삼성 HBM4 사양과 "업계 최초" 원문 문구를 확인하는 1차 자료	OA
S-4-10	기업발표	SK hynix Completes World's First HBM4 Development and Readies Mass Production	SK하이닉스 뉴스룸	2025-09-12	SK "세계 최초"의 한정어 원문. 2,048 I/O·10Gb/s 초과 ·Advanced MR-MUF 근거	OA
S-4-16	기업발표	Rulebreakers' Revolutions: MR-MUF Unlocks HBM Heat Control	SK하이닉스 뉴스룸	기술 해설	방열 1.6배 EMC, chip control 40% 박형화, 열더미범프 4배의 1차 출처	OA
S-4-23	뉴스	SK하이닉스 "HBM4 12단 양산·16단 인증 중", 하이브리드 본딩으로 20단 이상 준비	헤럴드경제	2026-08-24	Hot Chips 2026 이재식 부사장 발언의 국문 1차 보도. 18μm 범프 간격 수치 포함	OA
S-4-24	기술블로그	SK hynix: HBM4E remains with MR-MUF, HBM5 with Hybrid Bonding	igor'sLAB	2026-08-27	같은 발언의 영문 상세. 775μm 근거와 16단 다이 두께 수치 확인용	OA
S-4-14	기업발표	SK hynix Holds Groundbreaking Ceremony for HBM Production Base in Indiana	SK하이닉스 뉴스룸	2026-08-28	착공식 서술의 근거. 투자·클린룸·양산 일정의 갱신 수치	OA

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-4-26	분석기관	Samsung Unveils Memory Roadmap at SEMICON: HBM5 Targets 2× HBM4E, zHBM 8×	TrendForce	2026-09-01	HBM5·zHBM 목표치의 최신 공개 로드맵	OA
S-4-02	논문	Current Advances and Outlooks in Hybrid Bonding	J. H. Lau, IEEE T-CPMT 15(4), 651-681, DOI 10.1109/TCPMT.2025.3533926	2025-04	ECTC 2024 발표를 기업별로 묶은 31쪽 조사 리뷰. Sony 0.4μm 피치, imec Cu recess 수 nm, 상온 접합 화학, W2W 대 D2W 장단 표	구독 (전문 확인)
S-4-03	논문	Wafer to Wafer Hybrid Bonding for DRAM Applications	Park et al., ECTC 2022, pp.126-129, DOI 10.1109/ECTC51906.2022.00030	2022	Cu 디싱 5nm 미만을 CMP 압력·회전수로 맞춘 실증. 보이드가 Cu 패드 밀도(SiCN erosion)에 의존한다는 기구와 SiCN 채택 근거	구독 (전문 확인)
S-4-04	논문	Thermal Issues Related to Hybrid Bonding of 3D-Stacked HBM: A Comprehensive Review	Lee, Kim, Lee, Rhi, Electronics 14(13):2682, DOI 10.3390/electronics14132682	2025	HBM 적층 열 문제를 hybrid bonding 관점에서 종합한 OA 리뷰	OA
S-4-05	논문	3D Integrated Process and Hybrid Bonding of High Bandwidth Memory (HBM)	Lee et al., Electronic Materials Letters 21(3) 395-419, DOI 10.1007/s13391-025-00557-9	2025	HBM 3D 집적 공정 전체를 소재 관점에서 정리한 리뷰 (참고문헌 144편)	구독
S-4-06	논문	Thermal Characterization of HBMs Integrated via Hybrid Bonding	Feng et al., ECTC 2025, pp.1621-1627, DOI 10.1109/ECTC51687.2025.00276	2025-05	ANSYS Icepak 시뮬레이션(실측 아님). 상부 몰드가 스택 열저항의 병목이며 EMC 열전도율 8.7 W/m·K에서 최고 칩 온도 62.0→31.6°C	구독 (전문 확인)
S-4-08	논문	A Review on CMP Challenges in Hybrid Wafer Bonding and Wafer Level Packaging	G. B. Basim (Intel), NCCAVS CMPUG	2023-09-13	본딩면 CMP의 1차 기술자료. Cu recess 1~5nm는 약 400°C 어닐 조건의 사례값이고 1패스 후 5~25nm 사례도 함께 실려 있으며, SiCN RMS 0.10nm는 달성 가능한 값으로 제시된다	OA

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-4-30	분석기관	Tight DRAM Supply Gives Suppliers Greater Pricing Power in HBM	TrendForce	2026-06-02	HBM 웨이퍼 투입·비트 공급 비중과 DDR5 수익성 역전의 근거	OA

DAY 5 · 예상 소요 2.5시간

Day 5. 소재 전지도 I: 몰딩, 언더필, 본딩, 열관리

선수 지식 Day 2의 요소 공정(언더필 4방식·몰딩·warpage)과 Day 4의 HBM 본딩 3트랙

학습 목표: 이 Day를 마치면 다음 세 가지를 할 수 있다.

1. EMC, 언더필/NCF/NCP, 솔더·플럭스, TIM의 화학 구성과 요구 물성 수치를 공정 지점별로 설명할 수 있다.
2. 각 소재 카테고리의 현직 공급사와 점유율 추정치를 출처·판본과 함께 설명하고, 한국 참여 상태를 확보·진입 중·공백으로 구분할 수 있다.
3. 삼성SDI가 공표한 고방열 EMC 적용 실적의 범위를 정확히 구분하고, 필러·TIM·스택 내장 방열재로 이어지는 확장 순서와 각 단계의 관문을 설명할 수 있다.

선수 지식: Day 2의 언더필 4방식과 CTE 부정합 물리, Day 4의 MR-MUF 대 TC-NCF 대비 / **예상 소요**: 2.5시간

5.0 한눈에 보기

슬라이드 52쪽 · Ⅲ 소재와 공정 창: 소재는 이름이 아니라 자리로 읽는다

Day 5에서 다루는 네 카테고리는 하나의 물리 문제를 공정 지점별로 나눠 맡는다. 그 문제는 발열과 열팽창이다. 칩이 만든 열을 밖으로 빼내야 하고, 열이 만든 치수 변화가 접합부를 깨뜨리지 않아야 한다. EMC는 구조를 고정하면서 열을 전달하고, 언더필과 NCF는 좁은 갭을 채워 접합부 응력을 분산한다. 솔더와 플럭스는 전기적 연결을 만들고, TIM은 패키지 밖으로 나가는 마지막 계면 저항을 줄인다.

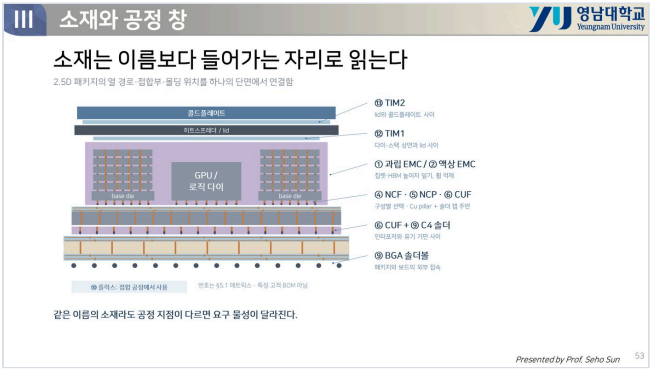
EMC와 여러 언더필은 에폭시 수지와 무기 필러라는 배합 체계를 공유한다. 그래서 한쪽에서 확보한 필러 분산 역량이 다른 쪽으로 이전되고, 일부 폴리머계 TIM에도 같은 분산 기술을 옮길 수 있다. 반면 솔더와 금속계 TIM, 플럭스는 금속 합금과 활성제 화학에 속하므로 별도의 화학·공정 역량이 필요하다.

2026년 기준으로 이 축의 수요는 두 방향에서 동시에 커지고 있다. AI 가속기의 소비전력이 1kW를 넘어서며 열전도 요구가 올라갔다. HBM 스택 단수와 마이크로범프 밀도도 올라가 갭은 좁아지고 무보이드 충전은 어려워졌다. 2026년 9월 2일 보도된 TSMC의 5μm급 마이크로범프 개발 요구는 두 방향이 겹치는 사례다. 업계 관계자는 어려운 쪽이 범프가 아니라 그 범프를 보증할 언더필이라고 말했다 [S-5-36].

공급 구도는 카테고리마다 일본 기업 한두 곳이 과점하는 형태다. EMC는 Sumitomo Bakelite가 선두이고, MR-MUF용 액상 언더필은 Namics가 SK하이닉스에 독점 공급한다 [S-5-35]. NCF는 Resonac·Henkel·Namics 3사가 약 99%를 점유한다는 단일 조사기관 추정치가 있다 [S-5-34]. 한국은 EMC와 솔더볼에서 자리를 확보했고, 언더필·NCF·서버급 TIM1에서는 공백 상태다.

삼성SDI의 위치는 공개 자료 범위 안에서만 판단해야 한다. 삼성SDI는 2025년 4분기에 고방열 EMC를 고객 신제품에 최초 적용했고, 그 적용처는 모바일 AP·메모리 패키징용으로 명시되어 있다 [S-5-47]. 2026년 주요 고객사 양산 진입은 전망으로 제시된 단계다 [S-5-03]. 2026년 1분기 컨퍼런스콜의 문구는 "최근 글로벌 반도체사에 패키징 소재 신규 진입 등 해외 고객 다변화에 집중하고 있다"이며, 고객이 메모리사로 특정되어 있지 않다 [S-5-02]. Day 5의 내용은 다음 확장 대상이 어디이고, 그곳에 들어가려면 어떤 수치를 증명해야 하는지를 가리킨다.

5.1 AP 소재 전지도: 공정 지점 × 소재 매트릭스



슬라이드 53쪽 · 소재는 이름보다 들어가는 자리로 읽는다

슬라이드 54쪽 · HBM·팬아웃에서는 수지의 역할이 달라진다

슬라이드 55쪽 · 소재의 소멸은 패키지가 아니라 전환된 층 기준이다

그 밖의 관련 슬라이드: 7쪽 · 8쪽 · 9쪽 · 10쪽 · 11쪽 · 20쪽 · 30쪽 · 56쪽 · 79쪽 · 84쪽 · 85쪽 · 90쪽 · 91쪽 · 103쪽 · 104쪽 · 105쪽

관련 도해: F-2-01 네 단면을 같은 순서로 읽는다 · F-2-01A FC-BGA: 유기 기판이 배선을 맡는다 · F-2-01B CoWoS-S: 두 접합부와 두 언더필 · F-2-01C HBM 12H: 스택을 층 단위로 해부한다 · F-2-01D FO-WLP: 몰드와 RDL이 기능을 나눈다 · F-2-02A 같은 EMC라도 들어가는 자리가 다르다 · F-2-02B PID는 남는 층, CMP는 그 층을 만드는 공정이다 · F-3-03A CoWoS-L 한 장을 아홉 개 층으로 나눈다 · F-3-03B CoWoS-L 상부: 열 경로 · 몰드 · 접합면 · F-3-03C CoWoS-L 하부: RDL · LSI · FC-BGA의 소재 · F-6-06A 유리 코어·유리 인터포저·캐리어는 다른 부품이다 · F-6-10A Cu CMP 슬러리는 네 성분과 pH로 기능을 나눈다 · F-6-10B BTA와 H_2O_2는 함량비만 아니라 전위 창으로 맞춘다 · F-6-10C 본딩면에서는 선택비와 디싱을 함께 조정한다 · F-6-11A 본딩면에서는 Cu·배리어·SiCN이 동시에 드러난다 · F-6-11B 후세정은 입자뿐 아니라 잔사·금속·손상 상태를 다룬다 · F-6-11C 세정이 끝난 뒤부터 접합까지의 시간도 공정 변수다 · F-6-11D 리세스 목표는 어닐 온도와 한 쌍으로 정한다 · F-7-01A 보유 소재는 패키지의 네 공정 지점에 닿는다 · F-7-01B EMC와 PID는 완성 패키지의 서로 다른 층에 남는다 · F-7-01C 접합면과 박형화는 완성 단면 밖의 공정으로 확대한다

소재 지도를 읽는 첫 번째 원칙은 같은 이름의 소재라도 공정 지점이 다르면 요구 물성이 달라진다는 점이다. EMC는 HBM 스택에서 얇은 오버몰드로 쓰인다. fan-out에서는 재구성 웨이퍼 자체를 이루는 구조재가 되고, 2.5D에서는 대형 인터포저와 여러 칩렛을 한 번에 덮는다. 몰딩 면적이 커질수록 CTE 부정합으로 생기는 warpage가 지배 변수가 된다. 그래서 같은 EMC라도 fan-out용 등급은 low-CTE와 저수축 쪽으로, HBM용 등급은 고열전도와 미세 갭 침투 쪽으로 설계 축이 갈라진다.

두 번째 원칙은 hybrid bonding 전환이 카테고리를 소멸시키거나 신설한다는 점이다. Cu-Cu 직접 접합은 솔더 캡, 플럭스, 갭필용 언더필을 동시에 대체하므로 전환된 층에서 이 세 카테고리는 사라진다. 대신 본딩 면 평탄화용 CMP 슬러리, post-CMP 세정액, SiCN 본딩 유전막 전구체가 신설된다.

다만 2026년 9월 현재 전환 시점은 계속 뒤로 밀려 있다. JEDEC HBM4 패키지 높이 상한이 775µm로 정해지면서 마이크로범프의 수명이 연장되었다. TSMC는 HBM 부착에 당분간 마이크로범프를 유지하면서 공급사에 5µm급 스케일링을 요구하는 쪽을 택한 것으로 보도되었다 [S-5-36].

세 번째 원칙은 상류 종속이다. EMC와 언더필의 물성을 실제로 결정하는 것은 수지가 아니라 필러다. 구상 용융 실리카와 구상 알루미나는 일본 기업이 과점한다. 그래서 한국 소재사가 배합 단계에서 확보한 경쟁력은 원가와 개발 속도에서 다시 제약을 받는다.

네 번째 원칙은 퀄 장벽의 성격이 카테고리마다 다르다는 점이다. 슬러리나 세정액 같은 소모성 화학품은 물성 데이터와 웨이퍼 평가로 채택이 결정되므로 장벽이 상대적으로 낮다. 반면 본딩 소재는 점도와 침투 거동이 가압 설비의 온도·압력 프로파일과 맞물려 있다. 그래서 소재를 바꾸면 공정 조건 전체를 다시 잡아야 하고, 여기에 독점 계약과 특허가 겹치면 기술이 준비되어도 구매 자체가 막힌다. 같은 일본 과점으로 묶여 있어도 진입 방법이 다르므로, 진입 전략은 카테고리별 장벽 분류에서 출발해야 한다.

아래 매트릭스는 22개 소재 카테고리를 네 개의 공정 지점에 대응시킨 것이다. 셀 내용은 그 지점에서의 사용 형태이고, 마지막 두 열은 대표 공급사와 한국 참여 상태다.

도해 F-5-01A · 소재는 이름보다 들어가는 자리로 읽는다 · 근거 S-5-13
같은 이름의 소재라도 공정 지점이 다르면 요구 물성이 달라진다.

도해 F-5-01B · HBM·팬아웃에서는 수지의 역할이 달라진다 · 근거 S-5-40, S-5-13
필러는 EMC·언더필의 내부 성분이며, 독립된 패키지 층이 아니다.

III 소재와 공정 창
영남대학교 Yeungnam University

도해 F-5-01C · 소재의 소멸은 패키지가 아니라 전환된 층 기준이다
스택 내부가 범프리스가 되어도 하단 범프·C4·BGA와 패키지 몰딩은 남는다.

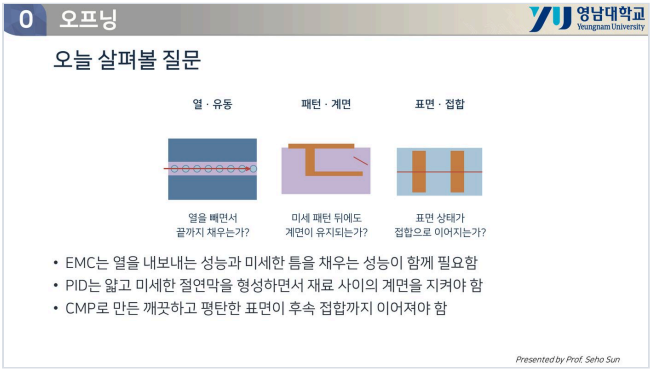
#	소재 카테고리	HBM 스택	2.5D CoWoS	Fan-out(FO-WLP/PLP)	Hybrid bonding 전환 후	대표 공급사	한국 참여
1	과립 EMC(GMC)	스택 오버몰드	인터포저·칩렛 오버몰드	재구성 몰드 (구조재)	유지	Sumitomo Bakelite, Resonac, Panasonic	확보 (삼성SDI·KCC)
2	액상 EMC(LMC)	MR-MUF 겸용	국소 봉지	패널 레벨 봉지	축소	Nagase ChemteX, Resonac, KCC	진입 중
3	MR-MUF 액상 언더필	갭필과 몰딩 동시	미사용	미사용	소멸	Namics(SK하이닉스향 독점)	공백
4	NCF	TC 본딩 칩간 접합	미세피치 TCB 일부	미사용	소멸	Resonac, Henkel, Namics	진입 중 (LG화학)
5	NCP	미세피치 TCB	칩렛 선도포	일부	소멸	Namics, Henkel	공백
6	CUF(모세관 언더필)	베이스 다이와 인터포저	인터포저와 기판	일부 칩렛	부분 유지	Namics, Henkel, Panasonic	공백
7	구상 용융 실리카 필러	EMC·언더필 골격	동일	동일	유지	Denka, Admatechs, Tatsumori	공백 (석경에이티 초기)
8	고열전도 필러 (알루미나·BN·AlN)	고방열 EMC	오버몰드	방열 패널	증가	Denka, Resonac, Admatechs	공백
9	마이크로 솔더볼·범프 솔더	마이크로범프 솔더캡	C4 범프	패키지 볼	소멸	덕산하이메탈, Senju Metal, MK전자	확보
10	솔더 페이스트·플럭스	리플로우·잔사 제어	실장	실장	소멸	Senju, MacDermid Alpha, Heraeus	공백
11	DAF(다이접착필름)	일부 적층	미사용	일부	부분 유지	Resonac, Nitto Denko, Lintec	공백(이녹스 일부)
12	TIM1(금속계·솔더·인듐)	스택 상면과 리드	GPU 다이와 리드	모바일 방열	증가	Indium Corporation, Henkel	공백
13	TIM1.5·TIM2(PCM·겔·퍼티)	리드와 콜드플레이트	동일	보드 레벨	증가	Honeywell, Parker Chomerics, Laird, Dow	공백(나노팀 전장 중심)
14	그래파이트 방열 시트	스택 측면 확산	리드 상면	모바일 확산	유지	Resonac, Laird, Dexerials	부분
15	스택 내장 방열재 (ICE·HPB류)	D2D PHY 직상	미사용	미사용	증가	메모리 3사 자체 개발 단계	공백(신설)
16	감광성 유전체 (PID·PSPI)	재배선 일부	RDL 인터포저	RDL 핵심	유지	HD MicroSystems, Toray, Asahi Kasei	보유(삼성SDI 등재)

#	소재 카테고리	HBM 스택	2.5D CoWoS	Fan-out(FO-WLP/PLP)	Hybrid bonding 전환 후	대표 공급사	한국 참여
17	후막 PR	범프·pillar 패터닝	동일	동일	축소	TOK, JSR, Fujifilm	부분 (동진쎄미켐)
18	Cu 도금액	TSV·pillar 충전	TSV·RDL	RDL·pillar	유지	MKS Atotech, MacDermid Alpha	공백
19	CMP 슬러리	TSV Cu	인터포저 평탄화	패널 평탄화	본딩면 평탄화로 급증	Entegris/CMC, DuPont, Fujimi, Fujifilm	확보·국산화 진행
20	post-CMP 세정액	TSV 후세정	동일	동일	파티클 제로화로 급증	Entegris, Kanto Chemical	공백
21	본딩 유전막(SiCN) 전구체	미사용	미사용	미사용	신설	특수가스·전구체 업체 (공개 실명 미확인)	공백(신설)
22	임시접합 접착제·글라스 캐리어	코어 다이 박형화	인터포저 박형화	재구성 캐리어	유지	Brewer Science, TOK, SCHOTT, Corning	공백(상위 5사 약 40% 점유)

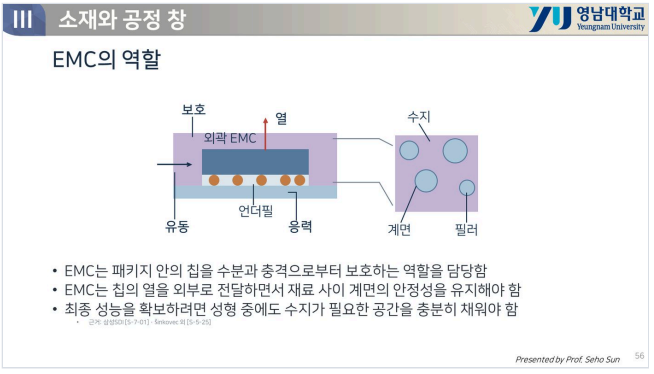
이 매트릭스에서 삼성SDI가 이미 서 있는 항목은 1번, 16번, 19번이다. 재료 화학이 인접한 항목은 2번, 8번, 12번, 13번이다. 3번과 4번은 독점 계약과 공정 동조화라는 이중 장벽 때문에 우선순위가 낮다.

> **소재 관점에서 보면**: 열 방향으로 읽으면 포트폴리오 확장 경로가 나오고, 행 방향으로 읽으면 카테고리 수명이 나온다. 한 공정 지점에 진입한 공급사는 같은 지점의 인접 소재를 함께 제안할 수 있다. 반대로 hybrid bonding 전환 열에서 소멸로 표시된 카테고리는 장기 투자를 회수하기 어렵다. 삼성SDI 관점의 우선순위는 전환 후에도 유지 또는 증가이면서 기존 자산과 인접한 항목이다. 이 조건을 모두 만족하는 것이 고방열 EMC와 고열전도 필러, 그리고 그 연장선의 TIM이다.

5.2 EMC: 화학, 네 개의 기술 축, 공급 구도

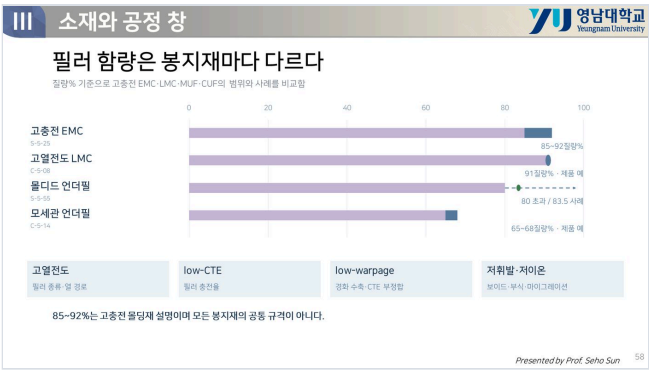


슬라이드 4쪽 · 오늘 살펴볼 질문



슬라이드 56쪽 · EMC의 역할

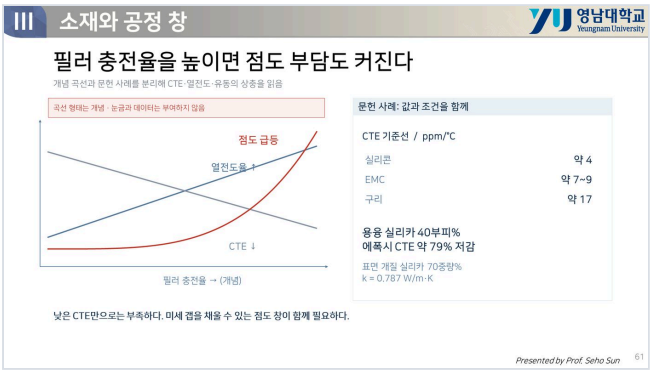
슬라이드 57쪽 · EMC는 고충전 필러와 가교 수지의 조합이다



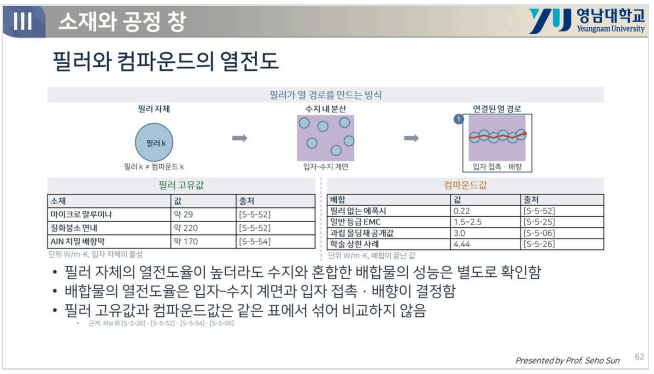
슬라이드 58쪽 · 필러 함량은 봉지재마다 다르다

슬라이드 59쪽 · 구형의 충전과 판상의 연결을 결합한다

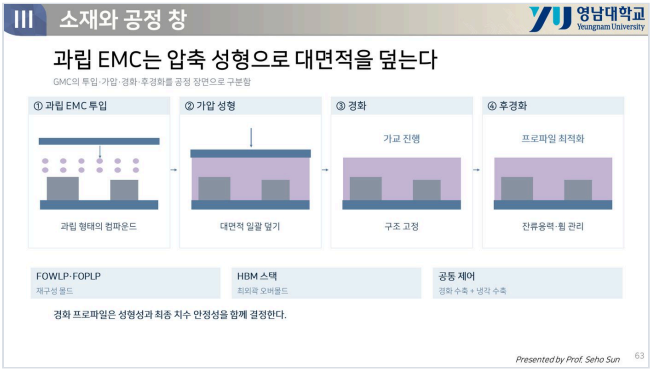
슬라이드 60쪽 · 입도 분포와 표면 처리는 서로 다른 설계 손잡이다



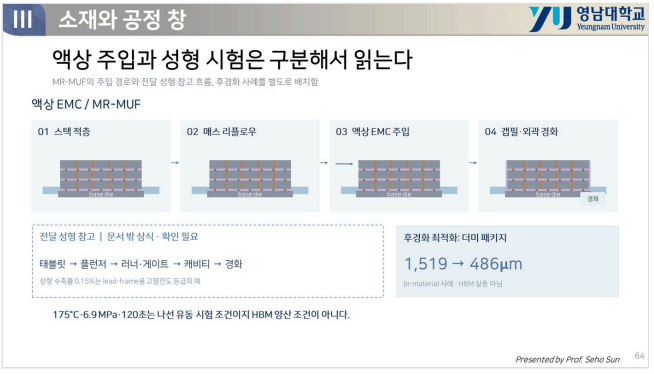
슬라이드 61쪽 · 필러 충전율을 높이면 점도 부담도 커진다



슬라이드 62쪽 · 필러와 컴파운드의 열전도



슬라이드 63쪽 · 과립 EMC는 압축 성형으로 대면적을 덮는다



슬라이드 64쪽 · 액상 주입과 성형 시험은 구분해서 읽는다

그 밖의 관련 슬라이드: 42쪽 · 43쪽 · 92쪽

관련 도해: F-2-12A 휨은 냉각 중의 수축 차이가 고정된 결과다 · F-2-12B 조립 창은 온도 대 휨 곡선으로 읽는다 · F-2-12C 실측 휨과 가상 최적화 결과를 구분한다 · F-2-13A CTE 사다리: 필러로 수지를 Si 쪽으로 이동시킨다 · F-2-13B Tg를 넘으면 더 팽창하면서 동시에 물러진다 · F-3-06 팬아웃 die shift: 배선 위치와 칩 위치가 어긋난다 · F-3-14A CoWoS 파괴 해석: 계면 박리가 먼저, 몰드 균열이 뒤따른다 · F-3-14B EMC는 인터포저 · 기판 · 스티프너와 함께 설계한다 · F-4-05A 열 해석에서는 상부 몰드가 병목이었다 · F-4-05B

같은 모델에서 몰드를 바꾸면 온도가 달라진다 · F-5-13A 나선 유동은 유동성과 경화 속도를 함께 본다 · F-5-13B 점도와 DSC는 같은 승온 조건과 함께 제출한다 · F-5-13C Tg 전후의 CTE와 모듈러스를 따로 기록한다 · F-5-13D Warpage는 온도 프로파일 위에서 측정한다 · F-7-02A EMC 공급 사슬의 앞단에는 필러와 반제품이 있다 · F-7-02B 과점 지점마다 패키지에서 맡는 위치가 다르다 · F-8-08A 경계선을 따라가면 박리, 금속 조직을 가로지르면 균열이다 · F-8-08B 관측한 파괴 경로에 맞추어 대조 인자를 고른다

EMC(Epoxy Molding Compound, 에폭시 몰딩 컴파운드)는 열경화성 에폭시 수지에 무기 필러를 대량 충전한 복합재다. 고충전 조성에서 무기 필러는 전체의 85~92질량%를 차지한다. 나머지는 에폭시 수지, 경화제, 경화촉진제, 커플링제, 이형제, 착색제, 난연제가 차지한다 [S-5-25]. 다만 이 비율은 고충전 몰딩재의 설명이며 MUF·CUF·NCF를 포함한 모든 봉지재의 공통 규격은 아니다. 공개된 모세관 언더필 제품의 필러 함량은 65~68질량%이고 *[C-5-14]*, 고열전도 액상 몰딩재는 91질량%에 이른다 *[C-5-08]*.

수지 화학은 고분자 전공자에게 익숙한 구조다. 주 수지는 o-크레졸 노볼락 에폭시(epoxy equivalent weight 약 210 g/eq)가 표준이다. 저흡습·고Tg 등급에는 비페닐형이나 다관능 방향족 에폭시를 섞는다. 경화제는 페놀 노볼락(hydroxyl equivalent weight 약 105 g/eq)이 지배적이다. 경화촉진제로는 2-메틸이미다졸이나 트리페닐포스핀 계열을 소량 쓴다 [S-5-25]. 페놀 수산기가 에폭사이드 고리를 개환하며 3차원 망상 구조를 만들고, 그 가교밀도가 Tg와 모듈러스를 결정한다.

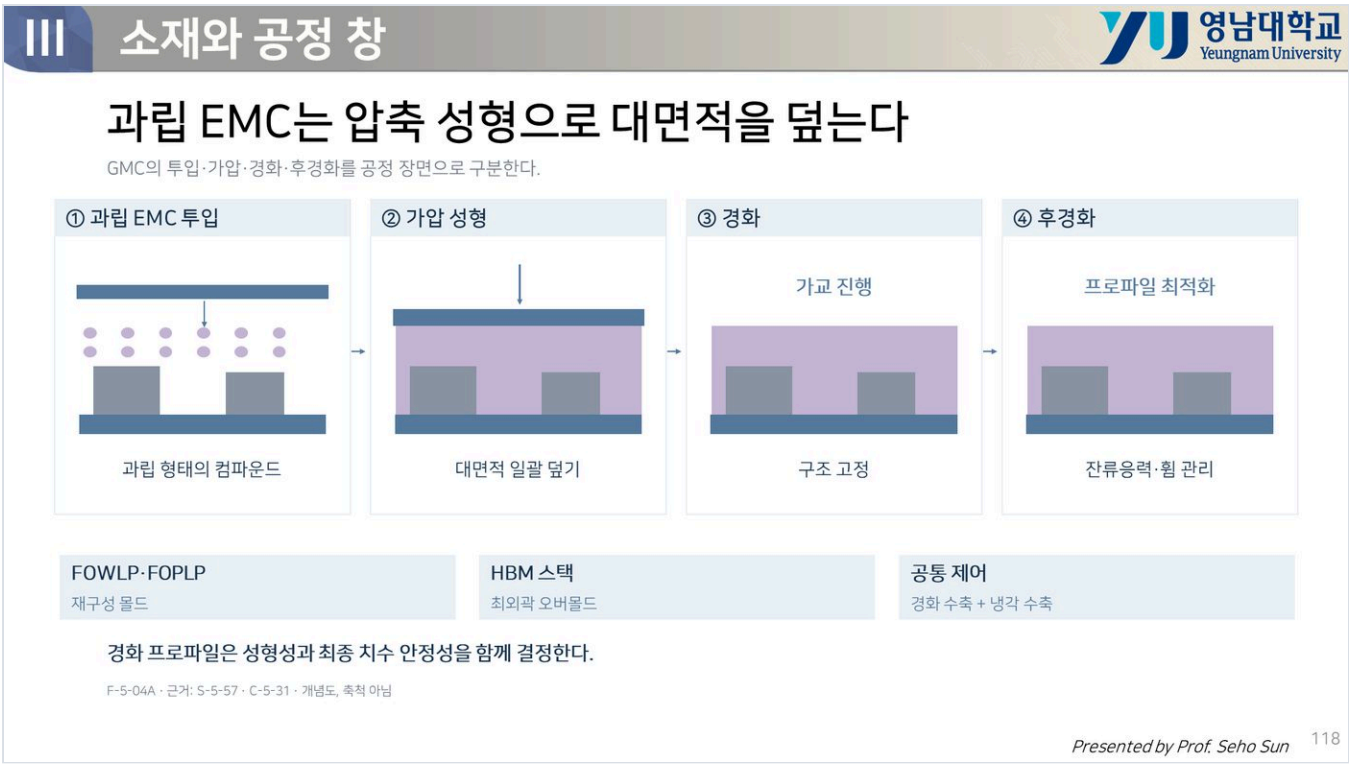
도해 F-5-02A · EMC는 고충전 필러와 가교 수지의 조합이다 · 근거 S-5-25
필러의 골격과 수지의 가교망, 계면 결합을 함께 설계한다.

도해 F-5-02B · 필러 함량은 봉지재마다 다르다 · 근거 S-5-25, S-5-55, *C-5-08*, *C-5-14*
85~92%는 고충전 몰딩재 설명이며 모든 봉지재의 공통 규격이 아니다.

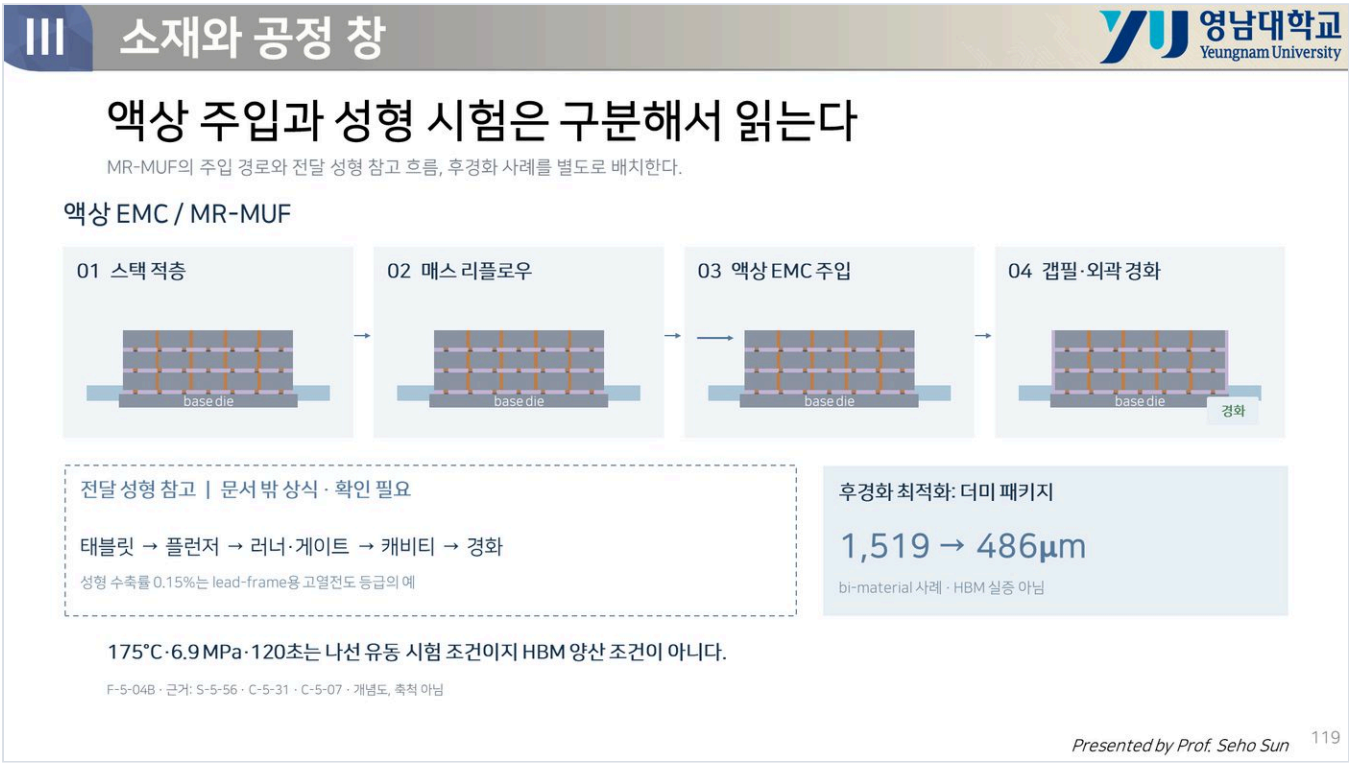
필러와 수지의 계면을 결합시키는 것이 실란 커플링제이며, 그 영향은 정량적으로 확인되어 있다. 실리케이트 충전 EMC에 네 종류의 오르가노실란을 3.7wt% 적용한 실험에서 Tg는 163.56~180.17°C로 갈렸다. 3-아미노프로필트리에톡시실란 처리가 가장 높았다. 나선 유동 길이는 19.6~38.5 inch로 두 배 가까이 벌어졌고, 에폭시실란이 아미노실란보다 유동성이 좋았다. 아미노실란은 가교 반응 시간을 약 50% 단축하는 대신 용융 점도 토크를 2~3배 높였다 [S-5-25].

커플링제 하나로 유동성과 경화 속도가 반대로 움직인다. EMC 개발이 단일 지표 최적화가 아니라 다변수 절충이라는 뜻이다. 이형제로 쓰는 고급 지방산·왁스류는 금형 이형성을 준다. 그러나 표면으로 확산되면 접착을 떨어뜨리므로 첨가량 허용 창이 좁다.

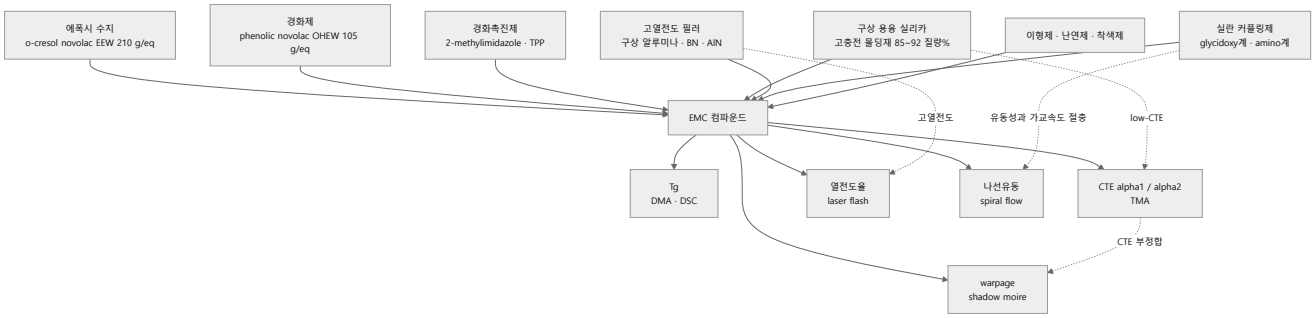
EMC는 형태에 따라서도 분화한다. 과립형 GMC(Granular Molding Compound)는 compression molding 장비에 투입되어 대면적을 한 번에 덮는다. 그래서 FOWLP·FOPLP와 HBM 스택 오버몰드에 쓰인다. 액상 LMC(Liquid Molding Compound)는 미세 갭 침투가 필요한 곳과 패널 레벨 봉지에 쓰인다. MR-MUF용 언더필은 기능상 LMC 계열의 특수 등급으로 볼 수 있다.



도해 F-5-04A · 과립 EMC는 압축 성형으로 대면적을 덮는다 · 근거 S-5-57, *C-5-31*
경화 프로파일은 성형성과 최종 치수 안정성을 함께 결정한다.



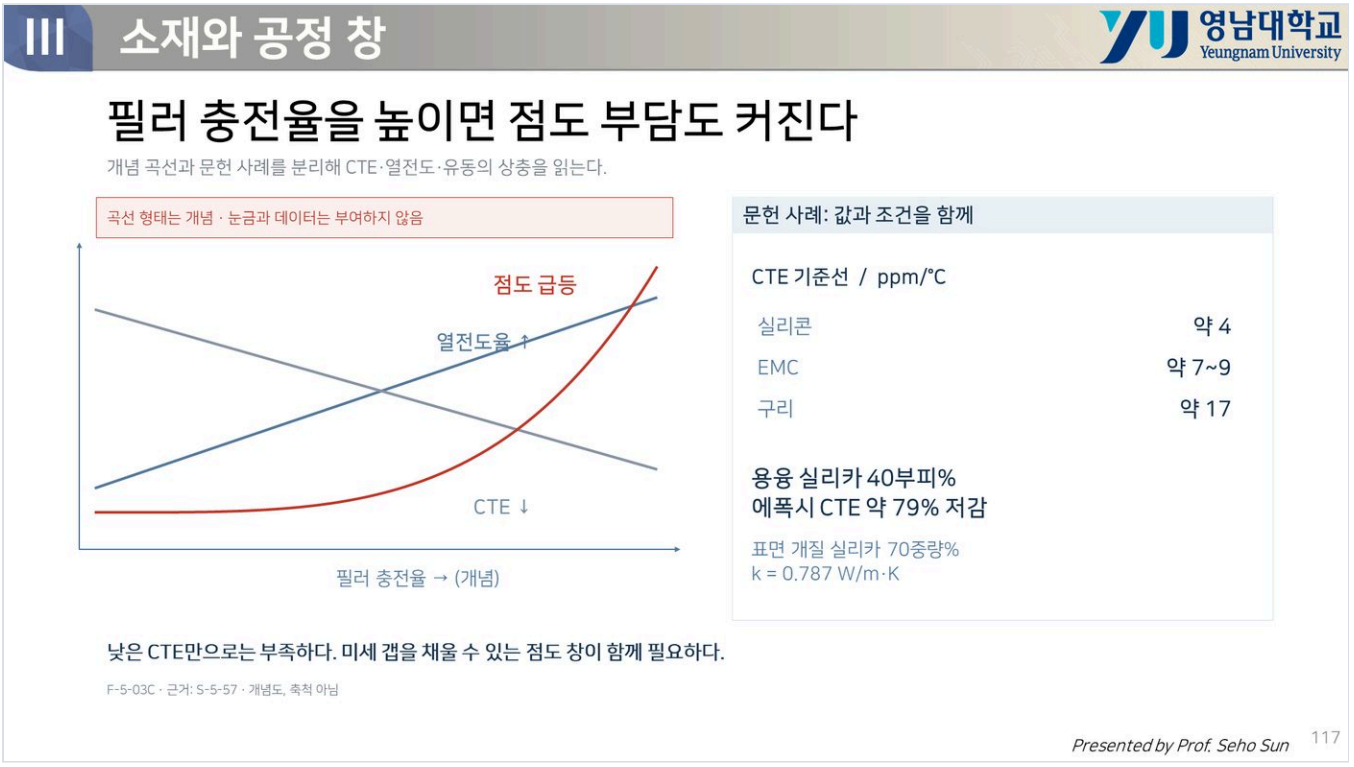
도해 F-5-04B · 액상 주입과 성형 시험은 구분해서 읽는다 · 근거 S-5-56, *C-5-31*, *C-5-07*
175°C·6.9 MPa·120초는 나선 유동 시험 조건이지 HBM 양산 조건이 아니다.



EMC의 기술 축은 고열전도, low-CTE, low-warpage, 저휘발·저이온의 네 가지다. 고열전도 축에서 일반 EMC의 열전도율은 1.5~2.5 W/m·K 수준이다. Resonac은 첨단 패키지용 과립 EMC에서 3.0 W/(m·K)를 공식 기술 자료로 제시하면서, 좁고 복잡한 갭 침투로 보이드를 억제한다고 설명한다 [S-5-06]. 학술 검증치로는 구상 알루미나 68.82 vol%에 판상 BN 5.32 vol%를 더한 에폭시 복합재가 4.44 W/m·K를 기록했다. BN을 넣지 않으면 2.77 W/m·K에 머물렀다. 구형 필러의 충전율과 판상 필러의 경로 형성이 결합할 때 상승 효과가 난다는 뜻이다 [S-5-26].

도해 F-5-03A · 구형의 충전과 판상의 연결을 결합한다 · 근거 S-5-26, S-5-52
4.44 W/m·K는 재료 시편 연구 결과다. HBM 온도 저감률로 바꾸어 읽지 않는다.

도해 F-5-03B · 입도 분포와 표면 처리는 서로 다른 설계 손잡이다 · 근거 S-5-55, S-5-25
유동성·경화 속도·Tg를 동시에 확인해야 배합의 공정 창을 설명할 수 있다.



도해 F-5-03C · 필러 충전율을 높이면 점도 부담도 커진다 · 근거 S-5-57
낮은 CTE만으로는 부족하다. 미세 갭을 채울 수 있는 점도 창이 함께 필요하다.

열전도율에서는 필러의 고유 열전도도와 배합이 끝난 컴파운드의 열전도율을 반드시 구분해야 한다. 두 값은 한두 자릿수 차이가 나며 같은 축에 놓고 비교할 수 없다. 필러 쪽을 보면 마이크로 알루미나가 약 29 W/m·K, 질화붕소가 면내 약 220 W/m·K다 [S-5-52]. AlN은 치밀하고 배향된 막에서 약 170 W/m·K까지 보고되며 [S-5-54], 600nm급 스퍼터 박막에서는 증착 조건에 따라 36~104 W/m·K로 갈린다 [S-5-53].

반면 같은 필러를 수지에 채운 컴파운드는 한두 자릿수 낮은 값에 머문다. 입자와 매트릭스 사이의 계면 열저항과 필러 간 접촉 부족 때문이다. 순수 에폭시는 0.22 W/m·K이고, 알루미나와 BN을 80질량% 채운 언더필용 복합재도 1.72 W/m·K에 그쳤다 [S-5-52]. 알루미나 29 W/m·K와 고방열 EMC 4 W/m·K를 한 문장에 나란히 놓으면 두 값을 같은 종류의 스펙으로 오해하기 쉽다. 아래 표는 두 층위를 분리한 것이다.

구분	소재·조성	열전도율 (W/m·K)	비고	출처 ID
필러 고유값	마이크로 알루미나(Al_2O_3)	약 29	입자 자체의 물성	S-5-52
필러 고유값	질화붕소(h-BN), 면내	약 220	판상 이방성이라 관통 방향은 면내보다 낮음	S-5-52
필러 고유값	AlN, 치밀·배향막 상한	약 170	결정성에 따라 2~170으로 크게 갈림	S-5-54
필러 고유값	AlN, 600nm급 스퍼터 박막	36~104	반응성 스퍼터 조건 의존	S-5-53
컴파운드값	순수 에폭시(필러 없음)	0.22	기준선	S-5-52
컴파운드값	Al_2O_3+BN 80wt% 언더필용 에폭시	1.72	고유값 대비 두 자릿수 낮음	S-5-52
컴파운드값	Al_2O_3 68.8 vol% + BN 5.3 vol% 에폭시	4.44	학술 상한 사례	S-5-26
컴파운드값	Resonac 과립 EMC(첨단 패키지용)	3.0	공급사 공개값	S-5-06
컴파운드값	Nagase 고열전도 LMC(필러 91wt%)	4.2	전력·전자부품용 등급	C-5-08
컴파운드값	AlN+BN 하이브리드 75wt% 언더필	10.18	리뷰가 재인용한 실험값, HBM 갭 미검증	S-5-21

배합이 끝난 EMC를 고객이 실제로 쓰려면 경화 거동을 숫자로 제시해야 한다. 성형성을 가르는 지표는 나선 유동, 겔 타임, 경화 개시·피크 온도의 세 가지다. 나선 유동은 ASTM D3123과 업계 관행인 EMMI-1-66이 규정한다. 금형 온도 175°C, 이송 압력 6.9 MPa, 경화 시간 120초 조건에서 나선형 금형을 흘러간 길이를 잰다 [S-5-56]. 같은 필러계에서도 커플링제만 바꾸면 이 값이 19.6 inch에서 38.5 inch까지 벌어진다. 그래서 나선 유동은 단일 물성이 아니라 유동성과 경화 속도를 합친 지표로 읽어야 한다 [S-5-25].

겔 타임은 175°C 열판에서 컴파운드를 개어 겔화에 이르는 시간으로 측정한다. 다만 등급별 대표 범위는 이번 조사의 공개 데이터시트에서 단일 값으로 확인되지 않았다. 경화 개시와 피크 온도는 DSC 곡선을 승온 속도와 함께 기록해 얻는다. 겔 타임을 줄이면 성형 사이클은 짧아지지만 유동 창이 함께 좁아진다. 그러면 미충전과 보이드가 늘어나며, 이것이 세 지표의 상충 구조다.

경화 수축은 warpage의 두 원인 가운데 하나다. 몰딩과 후경화 단계의 warpage는 가교 반응에서 오는 화학적 경화 수축과 냉각 중 CTE 부정합에서 오는 열적 수축이 겹쳐 생긴다 [S-5-57]. 성형 수축률의 공개 실례로는 lead frame용 고열전도 등급이 0.15%를 표기한다 *[C-5-07]*.

CTE 정합의 기준선도 같은 리뷰가 준다. 실리콘 약 2.6~4 ppm/°C(온도 범위에 따라 다르며 상온 약 2.6)와 구리 약 17 ppm/°C 사이에서 EMC는 약 7~9 ppm/°C에 놓인다. 40부피%의 용융 실리카와 유리 분말과 광물 실리카는 에폭시의 CTE를 각각 약 79%, 66%, 70% 낮춘다 [S-5-57]. 다만 같은 리뷰에서 표면 개질 실리카

를 70중량% 넣은 조성의 열전도율은 0.787 W/m·K에 그쳤다. 실리카 단독계로는 1 W/m·K 문턱을 넘기 어렵다는 뜻이다 [S-5-57].

요점: EMC의 성형성은 ASTM D3123 나선 유동으로 본다. 시험 조건은 175°C, 6.9 MPa, 120초다. 같은 필러 계라도 커플링제만 바꾸면 흐름 길이가 두 배 가까이 갈린다. 경화를 빨리 걸면 사이클은 줄지만 유동 창이 같이 좁아진다.

자주 묻는 질문: 경화 시간을 줄이면 무엇이 나빠지는가? 유동 창이 좁아져 미충전과 보이드가 는다. 화학적 경화 수축이 국소적으로 몰려 warpage도 커진다 [S-5-57].

low-CTE 축에서 EMC는 CTE가 약 2.6 ppm/K인 실리콘과 15~17 ppm/K인 유기 기판 사이에서 응력을 중재한다. CTE를 낮추는 수단은 사실상 필러 충전율을 올리는 것뿐이다. 그런데 충전율이 올라가면 점도가 급등하여 미세 갭 침투가 어려워진다. 이 상충이 EMC 설계의 핵심 문제다.

low-warpage 축에서는 몰딩 후 냉각 과정의 수축과 CTE 부정합이 패널 전체를 휘게 만든다. 대면적 FOPLP에서는 이 휨이 최대 수율 변수가 된다. 300mm 웨이퍼에서 허용되던 수축률 편차가 패널에서는 누적되어 후속 리소그래피의 오버레이 오차로 직결된다. 그래서 패널용 등급에서는 열전도율보다 경화 수축률과 수축의 등방성을 먼저 검토한다.

저휘발·저이온 축에서 경화 중 휘발분은 보이드를 만들고, 잔류 염소·나트륨 이온은 고온고습 바이어스에서 마이그레이션과 부식을 일으킨다. 그래서 스택 하나가 폐기되면 손실이 큰 제품에서는 ppm 단위 이온 관리가 표준 요구가 된다. 메모리용 EMC에는 저알파 등급 요구가 추가로 붙는다. 필러의 미량 방사성 불순물이 내는 알파 입자로 인한 soft error를 막기 위해서다.

등급은 적용처에 따라서도 달라진다. HBM 스택에서는 MR-MUF용 액상 EMC가 갭필과 몰딩을 동시에 수행하므로 점도와 침투성이 1순위다. TC-NCF 스택의 최외곽 오버몰드에서는 열전도와 warpage가 1순위다. CoWoS 오버몰드는 여러 칩렛과 HBM의 높이차를 덮으면서 인터포저 휨을 억제해야 한다. fan-out 컴프레션과 패널에서는 재구성체의 치수 안정성과 die shift 억제가 관건이다.

공급 구도를 보면 Sumitomo Bakelite가 EMC 전체 매출 1위이지만, 점유율 추정치는 판본에 따라 크게 다르다. 같은 조사기관 계열의 판본만 놓아도 2025년판은 약 18.2%, 2026년판은 약 20%로 갈린다 [S-5-32]. 다른 조사기관의 2026년 1월판은 약 40%를 제시한다 *[C-5-12]*. 세 값 모두 추정치이고 집계 범위가 공개되어 있지 않으므로, 선두 업체의 점유율은 약 18%에서 40%까지의 범위로 보아야 한다. 값마다 판본을 확인해야 하며, 어느 값도 HBM용 점유율이 아니다. Advanced Packaging용으로 좁히면 Resonac, Sumitomo Bakelite, Panasonic 3사 합산이 약 40%라는 별도의 추정치가 있다 [S-5-32].

Nagase ChemteX는 LMC와 언더필 계열을 맡고, Kyocera와 Shin-Etsu가 뒤를 따른다. 대만 Chang Chun과 Eternal Materials는 후발 추격 중이다. 한국에서는 삼성SDI가 EMC를 공식 패키징 소재로 등재하고 있다 [S-5-05]. KCC는 1985년부터 EMC를 연구해 왔고, 글로벌 메모리 업체 품질 검증을 거친 DDR5용 첨단 EMC를 2025년 10월부터 양산 공급하고 있다 [S-5-09]. 공급 능력 측면에서는 Sumitomo Bakelite가 2026년 6월 쑤저우 법인의 봉지재 생산능력을 약 30% 확대한다고 공표했다. 가동 목표는 2028년 12월경이다 [S-5-07].

시장 규모 수치는 집계 범위와 판본이 서로 달라 하나로 합칠 수 없다.

지표	값	기준 시점·판본	출처 ID
Advanced Packaging용 EMC 시장	약 $654M, CAGR 6.4%(2025~2033)	시장조사 추정, 요약 페이지만 확인	S-5-32
봉지용 EMC 시장 (다른 판본)	2026년 $580M~$780M, CAGR 3.2~6.2%	Prof Research 2026년 1월판, 범위 추정	C-5-12
Advanced Packaging 소재 전체	2026년 $13.9B → 2036년 $39.4B, CAGR 11.0%	리셀러 보도자료 기준 2차 추정, 원 조사기관 미표기	S-5-31
EMC 선두 단독 점유율	Sumitomo Bakelite 약 18.2~20%(Market Report Analytics 2025~2026판) 대 약 40%(Prof Research 2026년 1월판)	모두 조사기관 추정이며 HBM용 점유율 아님. 3사 합산값과 단독값은 서로 다른 지표	S-5-32, C-5-12
AP용 EMC 3사 합산	Resonac·Sumitomo Bakelite·Panasonic 약 40%	시장조사 추정	S-5-32
Sumitomo Bakelite 쑤저우 증설	생산능력 약 30% 확대, 2028년 12월경 가동	2026년 6월 공표	S-5-07

삼성SDI의 고방열 EMC 위치는 네 번의 공개 자료로 추적된다. 삼성SDI는 2025년 3분기 컨퍼런스콜에서 메탈 슬러리 포트폴리오 확대와 함께 AP용 고방열 EMC의 신규 고객 진입을 추진한다고 밝혔다 [S-5-04]. 2025년 4분기에는 고방열 EMC 소재를 고객 신제품에 최초 적용했으며, 그 적용처는 실적 자료에 모바일 AP·메모리용으로 명시되어 있다 [S-5-47]. 같은 컨퍼런스콜에서 2026년 고방열 EMC와 메탈 슬러리의 주요 고객사 양산 진입을 통한 매출 성장은 전망으로 제시되었다 [S-5-03].

2026년 1분기 컨퍼런스콜은 "최근 글로벌 반도체사에 패키징 소재 신규 진입 등 해외 고객 다변화에 집중하고 있다"와 "메탈 슬러리, 고방열 패키징 소재의 매출 확대로 시장수요 이상의 성장을 추진하고 있다"로 적고 있다 [S-5-02]. 여기의 글로벌 반도체사는 메모리사로 특정되지 않는다. 그러므로 IR52 자료의 해외 메모리 업체 수출과는 별개의 서술로 읽어야 한다. 2026년 2분기 전자재료 부문 매출은 2,498억원, 영업이익은 445억원으로 전년 동기 대비 각각 14.5%와 34.8% 증가했다 [S-5-01]. 2026년 9월 19일 뉴스룸은 모바일용 고방열 EMC의 IR52 장영실상 37주차 수상을 게시했다. 뉴스룸은 이 소재가 모바일 AP와 DRAM 등 초박형·고집적 반도체에 적용된다고 밝혔다 [S-5-45].

여기서 성격이 다른 두 서술을 구분해야 한다. 하나는 모바일용 제품의 공급 실적이며 근거는 언론 보도다. 2026년 9월 17일 매일경제 보도는 삼성SDI가 필러를 실리카에서 세라믹인 알루미나로 바꾸는 데 세계 최초로 성공했다고 전했다. 같은 보도에 따르면 삼성SDI는 2025년 상반기에 국내 반도체 제조사 두 곳에서 양산 승인을 받아 단독 공급하고 있고, 2026년부터는 해외 메모리 업체로도 수출한다 [S-5-48]. 다른 하나는 신규 고객을 대상으로 한 전망이며 근거는 컨퍼런스콜이다. 2026년 주요 고객사 양산 진입을 통한 매출 성장은 확정된 실적이 아니라 회사가 제시한 계획이다 [S-5-03].

앞의 것은 모바일 패키징용 제품에 대한 보도 기준 공급 상태이고, 뒤의 것은 아직 실현되지 않은 계획이다. 따라서 두 서술은 같은 사실로 묶을 수 없다. 같은 보도는 회사 설명 기준으로 D램용 소재의 방열이 경쟁사 대비 15% 이상, AP용 소재가 3배 이상 우수하다고 전했다 [S-5-48]. 그러나 제목의 방열 3배는 기자 표현이고, 두 수치는 경쟁사 대비 상대값이어서 절대 열전도율로 바꿀 수 없다. 공개 자료 어디에도 삼성SDI 고방열 EMC의 열전도율·CTE·Tg·필러 함량은 없고, 확인된 적용처는 모바일 AP와 DRAM이다. 그러므로 이 실적을 HBM용 양산 채택으로 확대 해석하지 않아야 한다 [S-5-47][S-5-45].

소재 관점에서 보면: EMC는 삼성SDI의 기존 사업이고, 고방열 등급은 모바일 패키징용에서 최초 적용 실적을 확보한 단계다. 여기서 구분할 것은 진입 여부가 아니라 적용처와 등급이다. 일반 등급 1.5~2.5 W/m·K에서 고방열 4 W/m·K 이상으로 가는 구간은 필러 화학이 실리카에서 알루미나·BN으로 바뀌는 구간이다. 상류 필러가 일본 과점이라는 제약이 바로 이 구간에서 작동한다. 2026년 3월에는 삼화페인트가 EMC 제조용 반제품인 MMB를 삼성SDI에 공급하기로 했다는 보도가 나왔다 [S-5-10]. 국내에서도 상류 공급망이 형성되기 시작한 사례다.

5.3 언더필, NCF, NCP: 세 가지 갭 충전 방식

슬라이드 41쪽 · 접합과 충전의 순서

슬라이드 65쪽 · 갭 충전재는 도포 시점부터 다르다

슬라이드 66쪽 · CUF는 옆에서 스며들고, MR-MUF는 갭과 외곽을 채운다

슬라이드 67쪽 · NCF는 다섯 기능을 한 필름에 넣은 소재다

슬라이드 68쪽 · 최소 점도 창과 경화 창을 함께 맞춘다

슬라이드 69쪽 · 갭을 정하면 허용 필러 입경도 정해진다

그 밖의 관련 슬라이드: 23쪽 · 42쪽 · 43쪽 · 44쪽 · 57쪽 · 58쪽 · 59쪽 · 60쪽 · 61쪽

관련 도해: F-2-11A 언더필 4방식: 도포 시점이 구조와 공정을 가른다 · F-2-11B CUF와 MUF: 접합 뒤 채우는 두 경로 · F-2-11C NCP와 NCF: 먼저 깔고 열압착한다 · F-4-04A 본딩 세 방식은 다이 사이 재료가 다르다 · F-4-04B 다이 간 갭필의 기능이 접합면으로 이동한다 · F-4-06A Advanced TC-NCF는 한 장씩 열압착한다 · F-4-06B Advanced MR-MUF는 일괄 접합 뒤 채운다 · F-4-06C 개량 수치는 비교 대상을 붙여 읽는다 · F-5-02A EMC는 고충전 필러와 가교 수지의 조합이다 · F-5-02B 필러 함량은 봉지재마다 다르다 · F-5-03A

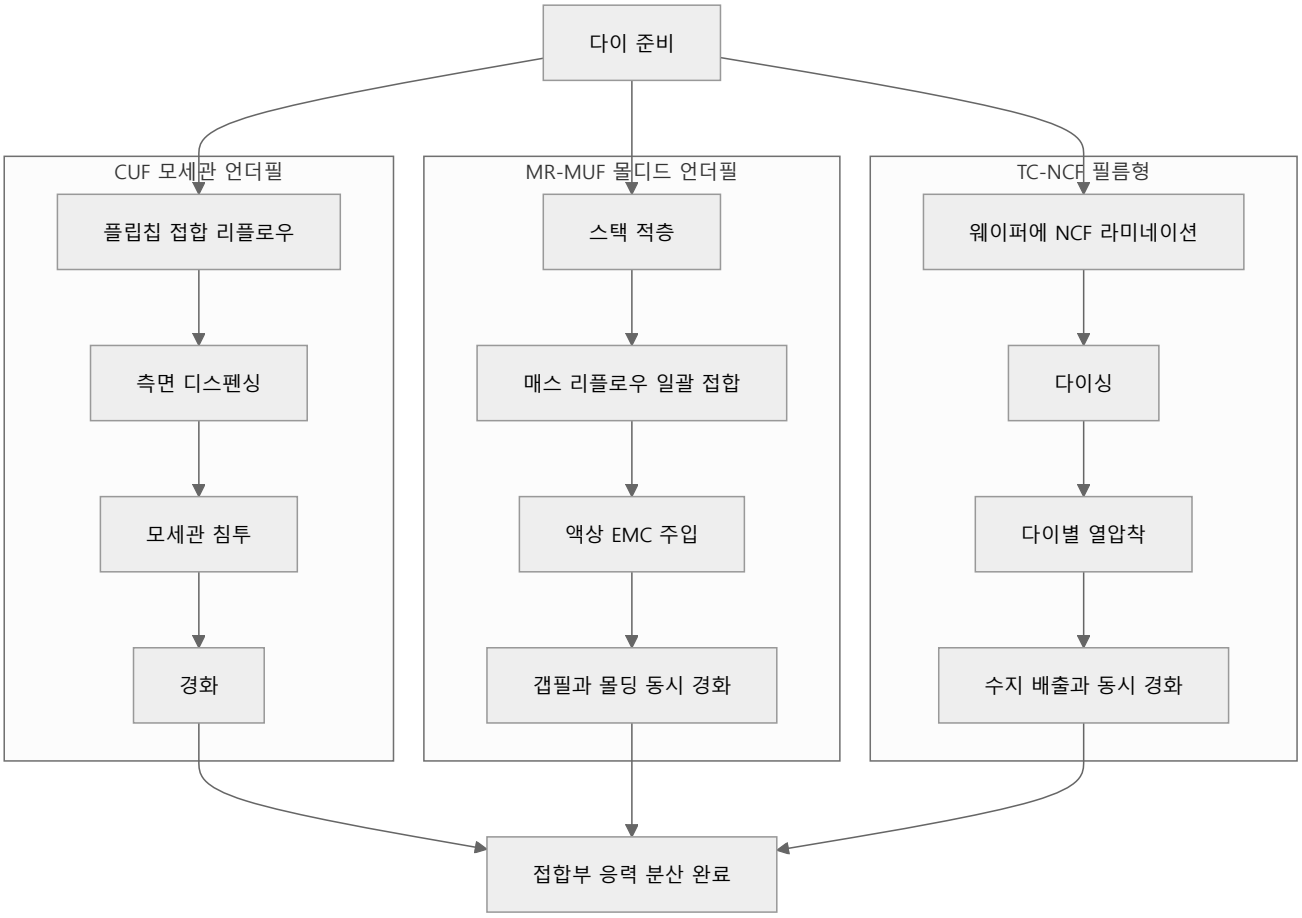
구형의 충전과 판상의 연결을 결합한다 · F-5-03B 입도 분포와 표면 처리는 서로 다른 설계 손잡이다 · F-5-03C 필러 충전율을 높이면 점도 부담도 커진다 · F-7-09A NCF와 MR-MUF는 수지의 공급 형태와 접합 순서가 다르다 · F-7-09B NCF는 별도 평가하고, MR-MUF는 접근 가능한 수요처를 확인한다 · F-8-08A 경계선을 따라가면 박리, 금속 조직을 가로지르면 균열이다 · F-8-08B 관측한 파괴 경로에 맞추어 대조 인자를 고른다

언더필은 칩과 기판 사이 또는 칩과 칩 사이의 좁은 공간을 채우는 소재다. 솔더 접합부의 열기계적 응력을 분산하는 것이 역할이며, 채우는 방식에 따라 세 가지로 나뉜다. 아래 그림은 세 방식의 공정 순서를 나란히 놓은 것이다.

도해 F-5-05A · 갭 충전재는 도포 시점부터 다르다 · 근거 S-5-28, S-5-55
완성 단면의 자리는 비슷해도 도포 순서가 다르면 공정 창과 결함이 달라진다.

도해 F-5-05B · CUF는 옆에서 스며들고, MR-MUF는 갭과 외곽을 채운다 · 근거 *C-5-14*, S-5-55, S-5-18
CUF의 충전 속도는 구동압뿐 아니라 점도·갭 형상·유동 거리가 함께 결정한다.

도해 F-5-05C · NCF·NCP는 전기 접촉 전에 수지를 배치한다 · 근거 S-5-28
NCF의 수지가 접합부 밖으로 밀려나야 범프와 패드가 전기적으로 닿는다.



첫째는 CUF(Capillary UnderFill, 모세관 언더필)다. 칩을 먼저 붙인 뒤 옆면에 액상 수지를 디스펜싱하면 모세관력으로 갭에 빨려 들어간다. 모세관 구동압은 Δp = 2γcosθ/h로, 표면장력 γ와 접촉각의 코사인에 비례하고 갭 높이 h에 반비례한다. 따라서 젖음이 성립하는 범위에서 접촉각이 커질수록 구동압은 오히려 줄어든다. 충전 속도는 이 구동압과 점도, 갭 형상, 유동 거리가 함께 결정한다.

필러 크기가 갭에 비해 크면 갭으로 들어가는 지점에서 필러가 걸러지는 필터링이 생긴다. 그러면 수지와 필러 조성이 흐름 방향으로 달라지고, 국소 CTE가 변해 응력이 집중된다. 공개된 상용 제품의 실례로 Henkel의 모세관 언더필 한 등급은 필러 65~68질량%, 점도 17,000 mPa·s를 표기한다. 같은 등급의 물성은 TMA Tg 135°C, CTE 27 ppm/°C, 흡수율 1.5%(24시간 비등)다 *[C-5-14]*.

시뮬레이션 쪽에서는 석영 필러 최대 입경 1.5μm, 필러 67wt%의 언더필을 214~600μm 갭에서 VOF로 해석한 결과가 있다. 이 해석은 실측 대비 1.48~3.34% 편차로 유동을 재현했다. 저전단 영역의 비뉴턴 점도를 반영하지 않으면 유동 속도를 두 배까지 과대 예측한다는 점도 보고되었다 [S-5-24]. 카탈로그의 단일 점도 값으로는 미세 갭 충전을 예측할 수 없다는 뜻이다. 전단속도 의존 레올로지와 시간 의존 접촉각을 함께 제출해야 한다.

둘째는 MUF(Molded UnderFill)다. 갭필과 몰딩을 한 번의 액상 EMC 주입으로 동시에 수행하며, SK하이닉스의 MR-MUF가 대표 구현이다. 매스 리플로우로 스택 전체를 한 번에 접합한 뒤 액상 소재를 넣으므로 단수가 늘어도 접합 시간이 거의 늘지 않는다. 얇은 다이가 휘어 있어도 리플로우 중 솔더가 스스로 정렬하는 self-alignment가 작동한다.

ServeTheHome은 SK하이닉스의 Hot Chips 2026 공개 내용을 보도했다. 이 보도에 따르면 MR-MUF는 얇은 다이의 warpage 대응에 유리한 반면 열저항이 높고 갭필 공정창이 좁다. 같은 보도에서 TC-NCF는 생산성이 높고 열저항이 낮은 대신 칩 warpage에 민감한 방식으로 정리되었다 [S-5-18].

자주 인용되는 14°C 수치에는 조건이 붙는다. 이 값은 동일한 DRAM 동작 조건에서 MR-MUF를 적용한 메모리 칩의 최대 접합 온도가 14°C 낮아졌다는 결과다. 기준량은 계면 열저항이 아니라 칩 최대 접합 온도다. 원출처는 8단 HBM을 실증한 IEEE ECTC 2023의 Lee 등이고 [S-5-49], Electronics 리뷰는 이를 재인용한 것이다 [S-5-22]. 측정 대상이 다르므로 앞의 Hot Chips 트레이드오프 서술과 나란히 볼 때는 두 값의 기준이 다르다는 점을 감안해야 한다.

셋째는 NCF(Non-Conductive Film, 비전도성 필름)와 NCP다. NCF는 에폭시계 열경화성 조성물을 필름으로 만들어 웨이퍼에 미리 라미네이션한 뒤 열압착으로 접합하고, NCP는 같은 기능을 페이스트로 선도포한다. NCF 조성의 기본 골격은 필름 형태를 유지하는 고분자량 film-forming resin과 접합 시 경화되는 에폭시 수지다. 여기에 압착 온도에서 활성화되는 잠재성 경화제(이미다졸·아민·산무수물 계열)와 솔더 표면 산화막을 환원하는 산성 플럭스 성분이 더해진다. 필러는 평균 입경 100nm 수준의 나노 실리카를 쓴다 [S-5-28].

도해 F-5-08A · NCF는 다섯 기능을 한 필름에 넣은 소재다 · 근거 S-5-28
나노 실리카의 분산과 잠재성 경화제의 안정성이 필름의 공정 창을 만든다.

도해 F-5-08B · NCF 설계 지침과 1세대 실측값을 분리한다 · 근거 S-5-28, *C-5-14*
조성 설명과 연구 지침은 고객 승인 규격이 아니다. 시험법·조건을 함께 제출한다.

마이크로범프 갭이 좁아진 상황에서는 마이크로미터급 필러를 쓸 수 없다. 그래서 NCF는 애초에 나노 필러를 전제로 설계된 소재다. 페이스트인 NCP는 설비 부담이 적고 도포량 조절이 유연한 반면 두께 편차가 문제다. 필름인 NCF는 두께 재현성이 뛰어난 대신 제막 공정과 저온 보관 물류가 필요하고, 잠재성 경화제의 저장 안정성이 제품 수명을 결정한다. 수십 개 다이가 한 스택에 들어가면 두께 편차가 누적되어 전체 높이 규격을 넘긴다. 필름 쪽이 선택된 이유가 여기에 있다.

NCF가 만족해야 하는 조건은 서로 충돌한다. 압착 과정에서 수지가 솔더 접합부 밖으로 밀려나야 전기적 접촉이 생긴다. 경화가 너무 빨리 진행되면 수지가 갇혀 접합 불량이 되고, 너무 느리면 필러가 접합부에 끼어들어간다. 필러가 솔더 사이에 갇히는 확률은 미세피치일수록 올라가며, 이것이 필러를 나노 크기로 유지하는 이유다. 동시에 나노 필러는 비표면적이 커서 같은 부피 분율에서도 점도를 크게 올린다. 그래서 분산제와 표면 처리 설계가 핵심 자산이 된다.

TC-NCF 열압착 공정 창

NCF의 공정 창은 라미네이션, 열압착, 경화의 세 단계로 나뉘며, 각 단계의 대표값은 공개 학회 자료로 확인된다. 라미네이션은 진공 라미네이터에서 상하판 온도 80°C, 진공 30초, 가압 30초, 압력 0.5 MPa 조건으로 300mm 웨이퍼에 필름을 붙인 사례가 있다. 더 미세한 범프를 쓴 시험 구조에서는 필름 두께 20μm에 온도 75°C, 진공 30초, 가압 60초, 압력 0.5 MPa를 적용했다. 이때 NCF가 솔더 캡 위로 3~5μm만 남도록 조건을 잡았다 [S-5-28]. 라미네이션 온도를 낮게 잡는 이유는 이 단계에서 경화가 진행되면 뒤의 압착에서 수지가 밀려나지 않기 때문이다.

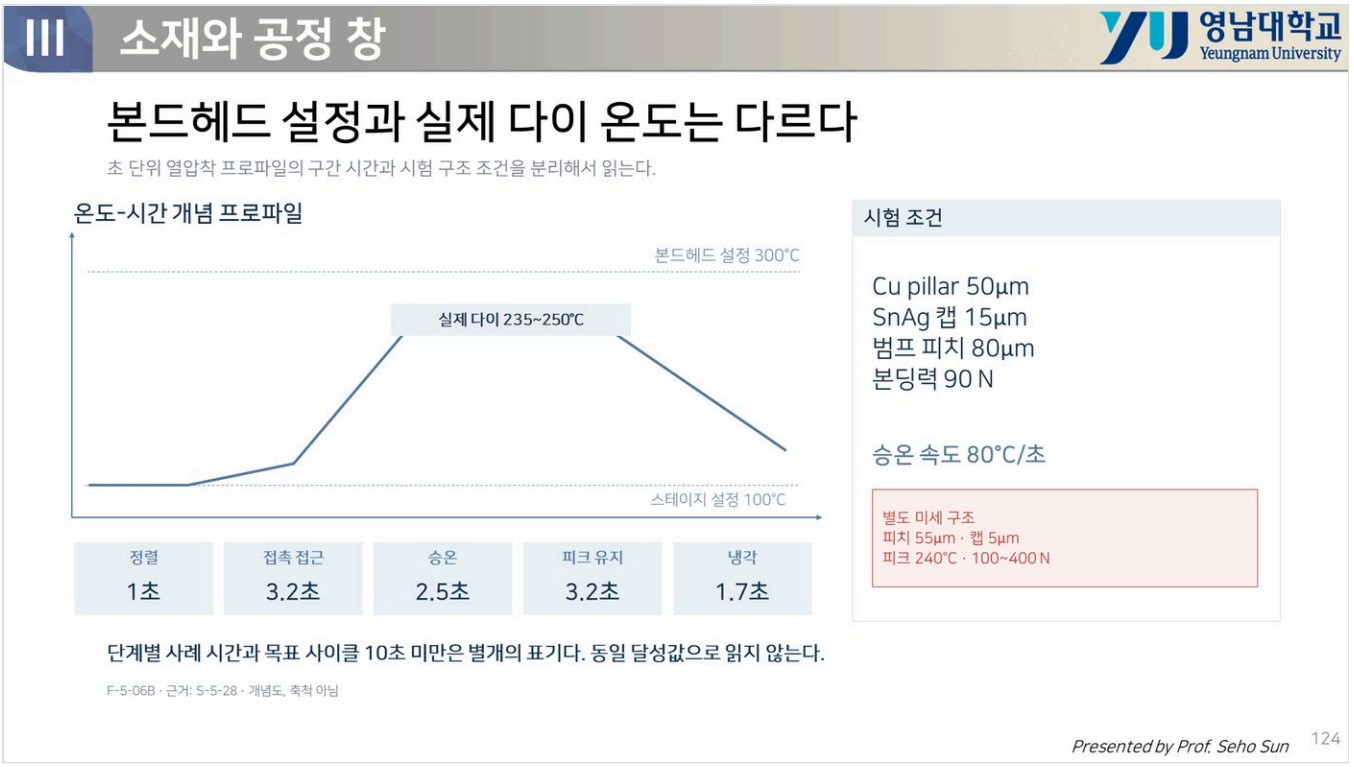
열압착은 승온·유지·냉각을 한 프로파일로 끝낸다. 시험 구조는 Cu pillar 50μm에 SnAg 캡 15μm, 범프 피치 80μm였다. 이 구조에서 본드헤드 설정 온도는 300°C, 스테이지 설정 온도는 100°C, 본드헤드 압력은 90 N이었다. 실제 다이 온도는 중앙 250°C와 가장자리 235°C로 분포했다. 단계별 시간은 정렬 1초, 접촉 접근

3.2초, 초당 80°C로 승온 2.5초, 피크 유지 3.2초, 냉각 1.7초로 합이 약 11.6초이고, 목표 사이클은 10초 미만이다 [S-5-28].

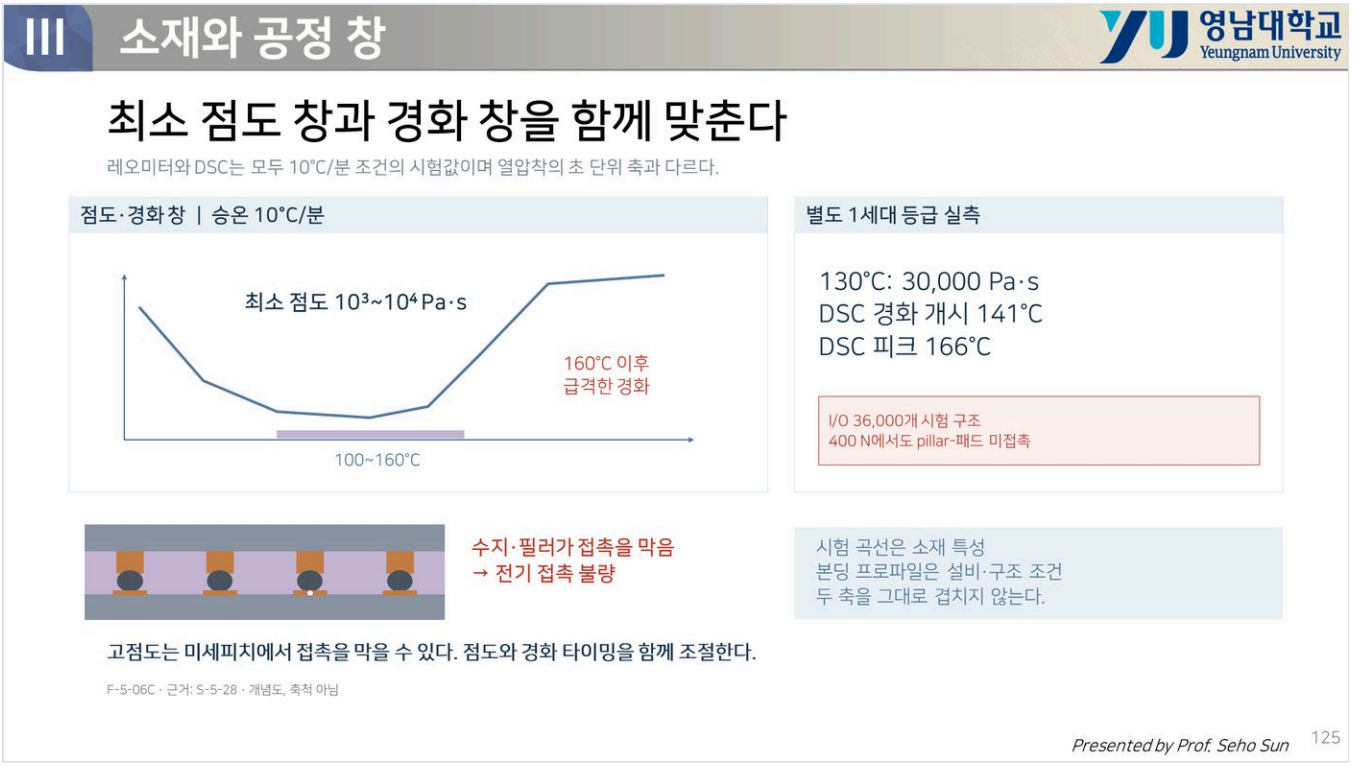
범프 피치 55μm에 SnAg 캡 5μm인 더 미세한 구조에서는 접합부 피크 온도를 240°C로 잡아 솔더 용융점 217°C를 넘겼다. 본딩력은 100 N에서 400 N까지 바꿔 가며 평가했다 [S-5-28]. 이 프로파일에서 가장 중요한 구간은 피크 유지 구간이다. 이 시간 동안 범프가 NCF를 뚫고 패드에 닿아야 리플로우가 유효해진다.

점도 곡선은 이 프로파일과 맞물려 설계된다. 승온 속도 10°C/분 기준으로 NCF의 최소 점도는 100~160°C 구간에서 나타나고, 그 값은 10^3~10^4 Pa·s 수준이다. 160°C를 넘으면 급격히 경화한다 [S-5-28]. 공개된 1세대 등급의 실측값은 130°C에서 최소 점도 30,000 Pa·s, DSC(10°C/분) 경화 개시 141°C와 피크 166°C였다. 나머지 물성은 TMA Tg 122°C, CTE α1 28 ppm/°C, 모듈러스 5.8 GPa였다. 같은 자료는 설계 지침으로 CTE 30 ppm/°C 미만, Tg 120°C 초과, 모듈러스 5~8 GPa를 제시한다 [S-5-28].

도해 F-5-06A · 라미네이션에서는 필름을 붙이고 경화는 억제한다 · 근거 S-5-28
라미네이션에서 수지가 먼저 굳으면 뒤의 열압착에서 배출되기 어렵다.



도해 F-5-06B · 본드헤드 설정과 실제 다이 온도는 다르다 · 근거 S-5-28
단계별 사례 시간과 목표 사이클 10초 미만은 별개의 표기다. 동일 달성값으로 읽지 않는다.



도해 F-5-06C · 최소 점도 창과 경화 창을 함께 맞춘다 · 근거 S-5-28
고점도는 미세피치에서 접촉을 막을 수 있다. 점도와 경화 타이밍을 함께 조절한다.

점도가 높으면 보이드에는 강하지만 미세피치에서는 역효과가 난다. I/O 36,000개 구조에서는 이 1세대 등급의 높은 점도 때문에 400 N을 걸어도 pillar와 패드가 닿지 않았다 [S-5-28]. 점도 설계가 미세피치 확장의 직접적인 한계선이라는 뜻이다.

저장 안정성과 신뢰성 시험 조건도 함께 제시해야 한다. NCF는 잠재성 경화제를 쓰므로 라미네이션 후 상온에서 경화가 진행되지 않는 안정성과 다이싱 공정을 견디는 특성이 요구된다 [S-5-28]. 다만 냉장 보관 온도와 가사 시간의 구체적 수치는 이번 조사의 공개 자료에서 대표값을 확인하지 못했다. 접합 후 신뢰성 평가는 MSL3A(60°C·60%RH·40시간) 전처리와 260°C 리플로우 3회로 시작했다. 이어 온도 사이클 B(-55~125°C) 2,000 사이클과 가속 고온 방치 180°C 500시간을 적용했다. 그 결과 전기 저항이 안정했고, 박리와 솔더·다이 균열이 없었다 [S-5-28].

요점: TC-NCF는 승온·유지·냉각을 한 프로파일로 끝낸다. 본드헤드 설정 300°C, 스테이지 100°C, 압력 90 N에서 다이 실제 온도는 235~250°C다. 단계별 시간은 정렬 1초, 접근 3.2초, 초당 80°C 승온 2.5초, 피크 유지 3.2초, 냉각 1.7초로 합이 약 11.6초이고, 목표 사이클은 10초 미만이다.

자주 묻는 질문: 열압착 온도와 시간은 얼마인가? 본드헤드 설정 300°C에 다이 실온도는 235~250°C다. 단계별 시간의 합은 약 11.6초이고 목표 사이클은 10초 미만이며, 피크 유지는 3.2초다 [S-5-28].

자주 묻는 질문: 필름이 밀려나는 창은 어떻게 재는가? 승온 속도를 명시한 레오미터 점도 곡선으로 최소 점도 구간(100~160°C, 10^3~10^4 Pa·s)을 제시한다. 여기에 DSC 경화 개시·피크 온도(141°C와 166°C)를 함께 제출한다. 이 두 자료로 솔더가 녹는 구간에서 수지가 아직 흐르는지를 본다 [S-5-28].

MR-MUF 액상 EMC 공정 창

MR-MUF의 공정 창은 갭 충전 능력이 먼저 정하고 몰딩 조건이 뒤따른다. 가장 널리 쓰이는 설계 규칙은 필러 최대 입경을 갭 높이의 3분의 1 이하로 두는 것이다. 표면 거칠기를 고려해 3대 1을 권고하는 서술과, 이상 조건에서는 갭이 최대 입경의 2.1배면 흐른다는 서술이 함께 제시된다 [S-5-55]. 이 규칙을 HBM에 대입하면, 다이 간 갭이 7μm 수준일 때 필러 최대 입경은 2μm 남짓이어야 한다. NCF가 평균 100nm급 나노 실리카를 쓰는 이유도 같은 계산에서 나온다 [S-5-28].

도해 F-5-07A · 갭을 정하면 허용 필러 입경도 정해진다 · 근거 S-5-55, S-5-28
d_max ≤ h/3은 거칠기를 고려한 권고다. 갭 7μm의 예에서는 약 2μm가 기준이 된다.

도해 F-5-07B · 입경·갭·피치·검출 크기는 다른 기준량이다 · 근거 S-5-28, S-5-24, S-5-55, S-5-36, S-5-37, *C-5-08*
47µm LMC와 50µm MUF 사례는 HBM 미세 갭 등급이 아니다.

몰디드 언더필 쪽 실적을 보면 진공 보조 몰딩으로 무결함 충전이 확인된 최소 갭은 50µm다. 실리카 함량은 80중량%를 넘는 수준까지 올라간다. 입도 분포를 최적화하면 83.5중량% 충전을 유지하면서 점도를 최대 70%까지 낮출 수 있다 [S-5-55].

몰딩 조건은 전달 몰딩 계열의 표준 시험 조건을 대리 지표로 쓴다. ASTM D3123과 EMMI-1-66의 나선 유동 조건인 금형 175°C, 이송 압력 6.9 MPa, 경화 120초가 그것이다. 실제 양산 조건은 패키지 형상과 등급에 따라 달라진다 [S-5-56].

점도는 단일 값으로 쓸 수 없다. 모세관 유동 해석에서 저전단 영역의 비뉴턴 거동을 반영하지 않으면 유동 속도를 두 배까지 과대 예측하기 때문이다. 그래서 전단속도 의존 점도 곡선과 시간 의존 접촉각을 함께 제출해야 한다 [S-5-24]. 참고로 모세관 언더필 쪽은 예열 70~100°C와 최종 경화 최대 160°C가 대표 범위로 제시된다 [S-5-55]. MR-MUF의 주입 압력과 몰딩 온도의 HBM 전용 대표값은 이번 조사의 공개 자료에서 확인하지 못했다.

필러 입경 규칙은 검사 한계와 맞물려 있다. 현행 음향 검사로 검출 가능한 보이드는 10µm 이상이다 [S-5-37]. 따라서 갭이 10µm대로 좁아진 구조에서는 갭을 가로막을 크기의 보이드가 이미 검출 한계 부근에 놓인다. 필러 입경 규칙을 지키는 것이 사후 검사가 아니라 사전 설계로 보이드를 막는 유일한 수단이 되는 이유다.

요점: 언더필 설계의 첫 규칙은 필러 최대 입경을 갭의 3분의 1 이하로 두는 것이다. 다이 간 갭이 7µm면 필러는 2µm대여야 한다. NCF가 100nm급 실리카를 쓰는 이유가 여기에 있다.

자주 묻는 질문: 7µm 갭에는 몇 µm 필러까지 들어가는가? 3분의 1 규칙으로 약 2µm가 상한이다. 표면 거칠기를 감안하면 더 보수적으로 잡는다 [S-5-55].

자주 묻는 질문: 몰딩 온도는 몇 도인가? 나선 유동 표준 조건인 금형 175°C, 이송 압력 6.9 MPa, 경화 120초가 대리 지표다. HBM 전용 양산 조건의 대표값은 공개 자료에서 확인되지 않았다 [S-5-56].

항목	요구 수준	근거·비고	출처 ID
HBM3E 마이크로범프 피치	30~20μm	현행 양산 기준	S-5-37
HBM3E·HBM4 범프 높이	HBM3E 15~25μm, HBM4 약 10μm	피치가 아니라 높이 기준	S-5-36
HBM4 마이크로범프 피치 전망	10μm 방향으로 압축	전망치	S-5-37
웨이퍼 박형화	전망 20μm(SemiEngineering) 대 SK하이닉스 HBM4 적용 30μm	기준이 다른 두 수치	S-5-37, S-5-35
TSMC 차기 요구	5μm급 범프와 그에 맞는 언더필, 2028년 하반기 양산 추정	보도 기준(전자신문 원보도 "내후년 하반기")	S-5-36, S-5-58
언더필 필러 입경	CUF 상용 예 최대 1.5μm, NCF는 평균 100nm급	필터링·필러 갇힘 방지	S-5-24, S-5-28
HBM4 패키지 높이	775μm	JEDEC 규격, 720μm에서 상향되었다는 서술은 보도 기준	S-5-36, S-5-17
HBM4 접속 규모	TSV 20,000개 이상, 베이스 마이크로범프 16,148개	12.8 × 11mm, 48GB, 2TB/s 이상	S-5-18
보이드 검출 한계	현행 음향 검사로 10μm 이상	그 이하 보이드는 미검출	S-5-37

공급 구도는 카테고리별로 잠겨 있다. MR-MUF용 액상 언더필은 Namics가 SK하이닉스에 독점 공급하고 있다 [S-5-35]. 독점 계약의 잔여 기간이 1년가량 남았다는 내용은 딜사이트 2026년 1월 12일 기사에서 익명 업계 관계자가 말한 것으로, 단일 출처의 전언이다 [S-5-44]. 같은 기사는 SK하이닉스가 fluxless bonding 평가 결과가 기대치에 미치지 못해 기존 Advanced MR-MUF 공정을 계속 쓰기로 했다고 보도했다. 이 역시 익명 관계자 발언에 근거한다 [S-5-44][S-5-35].

HBM용 NCF는 Resonac, Henkel, Namics 상위 3사가 약 99%를 점유한다는 수치가 있다. 그러나 QYResearch 단일 조사기관 추정치이고 원출처가 확인되지 않아 보류 대상이다 [S-5-34]. Resonac은 자사 자료로 글로벌 1위 지위를 밝히면서, NCF와 TIM에 150억엔을 투자하여 생산능력을 3.5~5배 확대한다고 공표했다 [S-5-08]. 한국에서는 LG화학이 삼성전자와 차세대 NCF를 공동 개발하는 것으로 보도되어 있다 [S-5-42].

> **소재 관점에서 보면**: 언더필 축은 화학적으로 EMC와 연속이지만 진입 장벽의 성격이 다르다. EMC가 물성 스펙 경쟁이라면 HBM용 언더필은 독점 계약, 특허, 공정 동조화의 삼중 장벽이다. 소재를 바꾸면 가압과 온도 프로파일을 다시 잡아야 한다. 다만 TSMC가 5μm급 언더필을 공급사에 요구했다는 사실은 이 카테고리가 기술적으로 미해결 상태라는 뜻이기도 하다. 일본 공급사들이 15μm 이하에서 품질 보증이 어렵다고 판단해 왔다는 서술도 있다 [S-5-36]. 기존 강자도 확립된 해법이 없는 영역이 열렸다고 볼 수 있다.

5.4 솔더, 플럭스, fluxless 본딩

슬라이드 70쪽 · 플럭스는 산화막을 없애지만 잔사가 남을 수 있다

슬라이드 117쪽 · 솔더는 세 층위에 남아 있다

그 밖의 관련 슬라이드: 21쪽 · 69쪽

관련 도해: F-2-03A 범프 3계급: 구조와 치수는 겹치는 분류다 · F-2-03B 범프 하나를 세우는 여섯 단계 · F-2-08A 접합 3방식: 무엇을 녹이고 무엇을 맞대는가 · F-2-08B 피치 축소는 소재의 교체가 아니라 중첩을 만든다 · F-5-07A 갭을 정하면 허용 필러 입경도 정해진다 · F-5-07B 입경·갭·피치·검출 크기는 다른 기준량이다

솔더는 전기적 연결을 만드는 소재이므로 앞의 두 절과 성격이 다르다. Advanced Packaging에서 솔더가 쓰이는 지점은 세 층위다. 패키지와 보드를 잇는 BGA 볼, 인터포저와 기판을 잇는 C4 범프, 칩과 칩을 잇는 마이크로범프의 솔더 캡이다. 합금 조성도 층위마다 다르다. BGA와 C4에는 SAC 계열(Sn-Ag-Cu)이 표준이고 마이크로범프에서는 Cu pillar 위에 얇은 SnAg 캡을 올리는 구조가 지배적이다. 별도로 제조한 솔더볼과 웨이퍼에서 도금으로 형성한 솔더 캡은 공급망이 다르므로 혼동하지 않아야 한다.

피치가 좁아질수록 솔더 체적이 줄어 Cu와의 금속간화합물(IMC)이 접합부 전체를 차지하게 된다. Sn과 Cu가 만나면 계면에 Cu6Sn5가 먼저 생기고, 시간이 지나면 그 아래에 Cu3Sn이 자란다. Cu3Sn과 Cu 사이에는 공극이 생기기 쉬워 이 계면이 기계적 약점이 된다. 마이크로범프에서는 접합 직후 이미 전체가 IMC로 변환되는 경우가 있다. 그러면 연성이 사라져 열사이클에서 균열이 계면을 따라 진행한다.

언더필이 해야 할 일은 이 균열 구동력을 낮추는 것이다. 그래서 언더필의 모듈러스와 CTE는 단독으로 낮거나 높다고 좋은 것이 아니라, 솔더와 실리콘 사이에서 응력을 나눠 받도록 조율되어야 한다. 전류밀도는 J = I/A이므로 같은 전류에서 접합 단면적에 반비례하고, 원형 접합의 직경이 절반이 되면 네 배가 된다. 전류밀

도가 오르면 일렉트로마이그레이션으로 인한 공극 축적이 빨라진다. 다만 실제 고장 수명은 별도의 수명 모델과 시험 조건으로 판단해야 한다.

저온 솔더는 별도의 축이다. 리플로우 온도를 낮추면 warpage가 줄고 기판 손상이 적어지지만, Bi나 In을 넣어 융점을 낮춘 합금은 연성과 크리프 저항이 떨어진다. 대면적 패키지에서 warpage와 신뢰성 중 어느 쪽을 택할지는 패키지 형상에 따라 갈린다.

플럭스는 솔더 표면의 산화막을 화학적으로 제거하여 젖음을 만드는 소재다. 반도체용은 세정 공정을 줄이기 위해 no-clean 타입이 일반적이다. 그런데 잔사가 남으면 언더필이 그 위로 흐르면서 계면 접착이 떨어지고, 잔사가 보이드의 핵이 된다. 피치가 내려가면 잔사 한 덩어리의 상대적 크기를 무시할 수 없게 되므로, 잔사 문제는 미세피치에서 원리적 한계가 된다.

그래서 플라즈마 활성화로 산화막을 제거하는 fluxless 본딩이 hybrid bonding 이전의 중간 기술로 부상했다. 다만 SK하이닉스는 2025년 4분기 평가 뒤 이 기술을 시기상조로 판단하고 MR-MUF를 유지할 것으로 보도되었다 [S-5-44][S-5-35]. 검증된 공정을 대체하는 일은 성능만으로 결정되지 않는다는 사례다.

도해 F-5-09A · 솔더는 세 층위에 남아 있다
Hybrid bonding이 대체하는 것은 적용된 층의 솔더 캡이다. C4·BGA의 소멸을 뜻하지 않는다.

도해 F-5-09B · 플럭스는 산화막을 없애지만 잔사가 남을 수 있다 · 근거 S-5-35, S-5-44
플럭스 잔사 → 언더필 보이드 → 국소 열저항 → 스택 불량의 연쇄를 관리한다.

도해 F-5-09C · 작은 솔더 접합부에서는 계면과 전류밀도가 중요해진다
IMC·공극·전류밀도는 균열과 저항 변화를 만드는 서로 다른 경로다.

TSMC가 2026년 9월 공급사들에 제시한 5μm급 과제는 세 문제를 함께 묶어 놓았다. 무보이드 언더필 충전, 플럭스 잔사 제어, 본딩 정렬 정밀도가 그것이다. 현행 HBM4 범프 높이는 약 10μm이고 HBM3E는 15~25μm다. 여기서 5μm급으로 내려가려면 세 가지가 동시에 해결되어야 하며, 양산 시점은 2028년 하반

기로 추정된다(2026년 9월 2일 원보도의 "내후년 하반기", 보도 기준) [S-5-36][S-5-58]. 검사 쪽 제약도 함께 봐야 한다. 현재 음향 검사로 검출 가능한 보이드 크기가 10μm 이상이므로, 5μm급 접합의 결함은 기존 검사 체계의 사각지대에 놓인다 [S-5-37].

솔더볼은 한국이 공급 구도에서 자리를 확보한 카테고리다. 덕산하이메탈은 초미세 30μm급 기술을 포함한 솔더볼과 마이크로솔더볼을 생산한다. 회사 IR 자료는 덕산하이메탈이 일반 솔더볼에서 국내 점유율 약 70%로 국내 1위를 유지하고, 마이크로솔더볼에서는 글로벌 최고 수준의 기술력을 보유한 것으로 기술한다 [S-5-39]. 경쟁사는 일본 Senju Metal이고, 국내에서는 MK전자가 본딩와이어 중심으로 솔더볼을 병행한다.

다만 정확히 구분해야 할 사실이 있다. 덕산하이메탈 대표는 2025년 11월 17일 인터뷰에서 HBM에는 자사 솔더볼이 쓰이지 않으며, HBM 내부의 미세 접합은 직접 솔더 도금 방식이라고 밝혔다 [S-5-38]. 따라서 덕산하이메탈이 HBM 범프용 솔더볼을 개발했다는 서술은 대표의 설명과 맞지 않는다. 원 보도가 말하는 국산화의 대체 대상도 일본·대만 과점이 아니라 일본 의존이다.

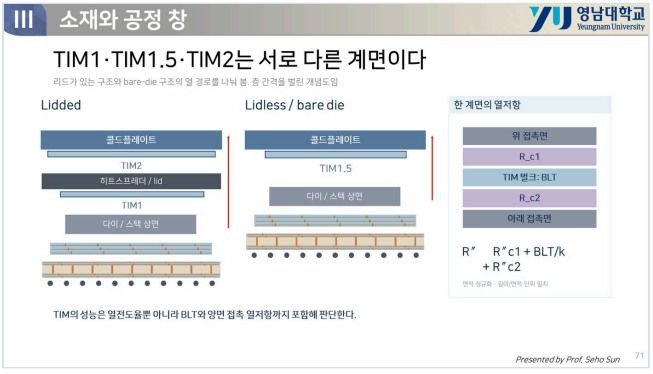
실적은 기준을 구분해야 한다. 2026년 1분기 별도 기준으로 매출 426억원(전년 동기 대비 약 63% 증가), 영업이익 23억원이다. 제품별로는 일반 솔더볼 254억원, 마이크로·코어드 솔더볼 104억원이다 [S-5-39]. 2026년 2분기는 연결 기준 잠정치로 매출 907억원(전년 동기 대비 58.1% 증가), 영업이익 101억원(전년 동기 대비 290.6% 증가), 순이익 124억원이다. 1분기 연결 영업손실에서 흑자로 전환했다 [S-5-46]. 회사 1분기 IR 자료를 보면 1분기 연결 영업이익은 -7억원이고 별도 영업이익은 23억원이므로, 연결 적자는 본업이 아니라 자회사 일회성 비용에서 나온 것이다 [S-5-50].

hybrid bonding으로 전환되는 층에서는 이 카테고리가 사라진다. Cu-Cu 직접 접합이 솔더 캡, 플럭스, 갭필 언더필을 동시에 제거하기 때문이다. 다만 소멸은 층 단위로 일어나며 패키지 단위로 일어나지 않는다. HBM 스택 내부가 전환되어도 스택과 인터포저를 잇는 범프, 인터포저와 기판을 잇는 C4, 패키지와 보드를 잇는 BGA 볼은 남는다. 따라서 솔더 수요 총량이 즉시 급감한다는 서술은 과장이다.

항목	값	기준 시점	출처 ID
덕산하이메탈 국내 점유율	일반 솔더볼 국내 약 70%, 국내 1위(회사 IR 자료 기준)	2026년 8월 자료	S-5-39
덕산하이메탈 2026년 1분기	별도 매출 426억원(+63% YoY), 별도 영업이익 23억원	2026년 1분기	S-5-39
제품별 구성	일반 솔더볼 254억원, 마이크로·코어드 104억원	2026년 1분기 별도	S-5-39
덕산하이메탈 2026년 2분기	연결 매출 907억원(+58.1%), 영업이익 101억원(+290.6%), 흑자 전환, 잠정치	2026년 8월 6일 공시 보도	S-5-46
HBM 적용 여부	자사 솔더볼 HBM 미사용, 내부는 직접 솔더 도금(회사 대표 발언)	2025년 11월 17일	S-5-38
5μm급 범프 양산 추정	2028년 하반기(원보도 "내후년 하반기")	2026년 9월 2일 보도	S-5-36, S-5-58
음향 검사 보이드 검출 한계	10μm 이상	2025년 11월 11일	S-5-37

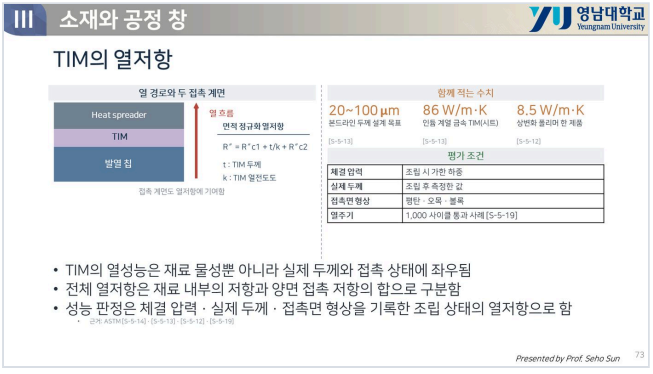
> **소재 관점에서 보면**: 솔더와 플럭스는 삼성SDI의 인접 카테고리가 아니다. 이 카테고리를 알아야 하는 이유는 진입 대상을 찾기 위해서가 아니라, 언더필과 TIM의 요구 스펙이 어떻게 정해지는지를 이해하기 위해서다. 플럭스 잔사는 언더필 보이드를 만들고, 보이드는 국소 열저항을 만들며, 국소 열저항은 스택 폐기로 이어진다. 이 연쇄를 이해해야 언더필 스펙 논의에 대등하게 참여할 수 있다.

5.5 열관리 소재: TIM1부터 스택 내장 방열재까지



슬라이드 71쪽 · TIM1·TIM1.5·TIM2는 서로 다른 계면이다

슬라이드 72쪽 · 폴리머 TIM은 순응성과 충전율을 함께 설계한다



슬라이드 73쪽 · TIM의 열저항

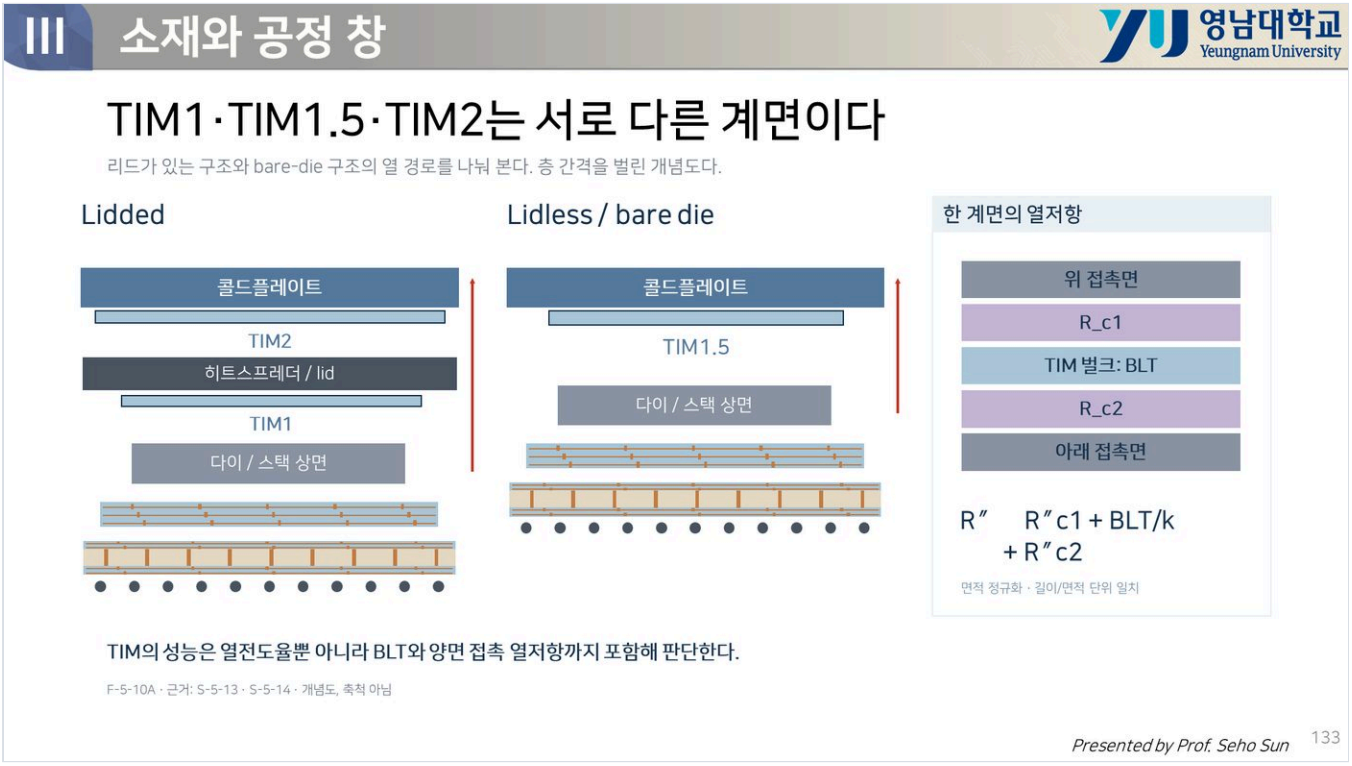
그 밖의 관련 슬라이드: 12쪽 · 59쪽 · 60쪽 · 61쪽 · 74쪽 · 87쪽 · 100쪽 · 110쪽

관련 도해: F-1-02 무어의 세 약속, 남은 것과 깨진 것 · F-4-05A 열 해석에서는 상부 몰드가 병목이었다 · F-4-05B 같은 모델에서 몰드를 바꾸면 온도가 달라진다 · F-5-03A 구형의 충전과 판상의 연결을 결합한다 · F-5-03B 입도 분포와 표면 처리는 서로 다른 설계 손잡이다 · F-5-03C 필러 충전율을 높이면 점도 부담도 커진다 · F-5-12A 벌크 열전도율과 계면 열저항은 다른 시험으로 본다 · F-5-12B D5470의 기울기는 k가 아니라 1/k다 · F-6-13A CPO는 광 변환을 ASIC 가까이 끌어들인다 · F-6-13B 광엔진의 도파로·접착제·FAU는 서로 다른 자리에 있다 · F-6-13C CPO 소재는 다섯 카테고리의 검증 항목으로 나뉜다 · F-6-13D 광통합에서는 열 안정화가 광학 특성의 일부가 된다 · F-8-07A 불량 여섯 가지를 패키지의 서로 다른 자리에 표시한다 · F-8-07B 보이드·박리·균열은 이름보다 위치를 먼저 묻는다 · F-8-07C 휨·접촉 불량·열저항 상승은 조건과 시점을 먼저 묻는다

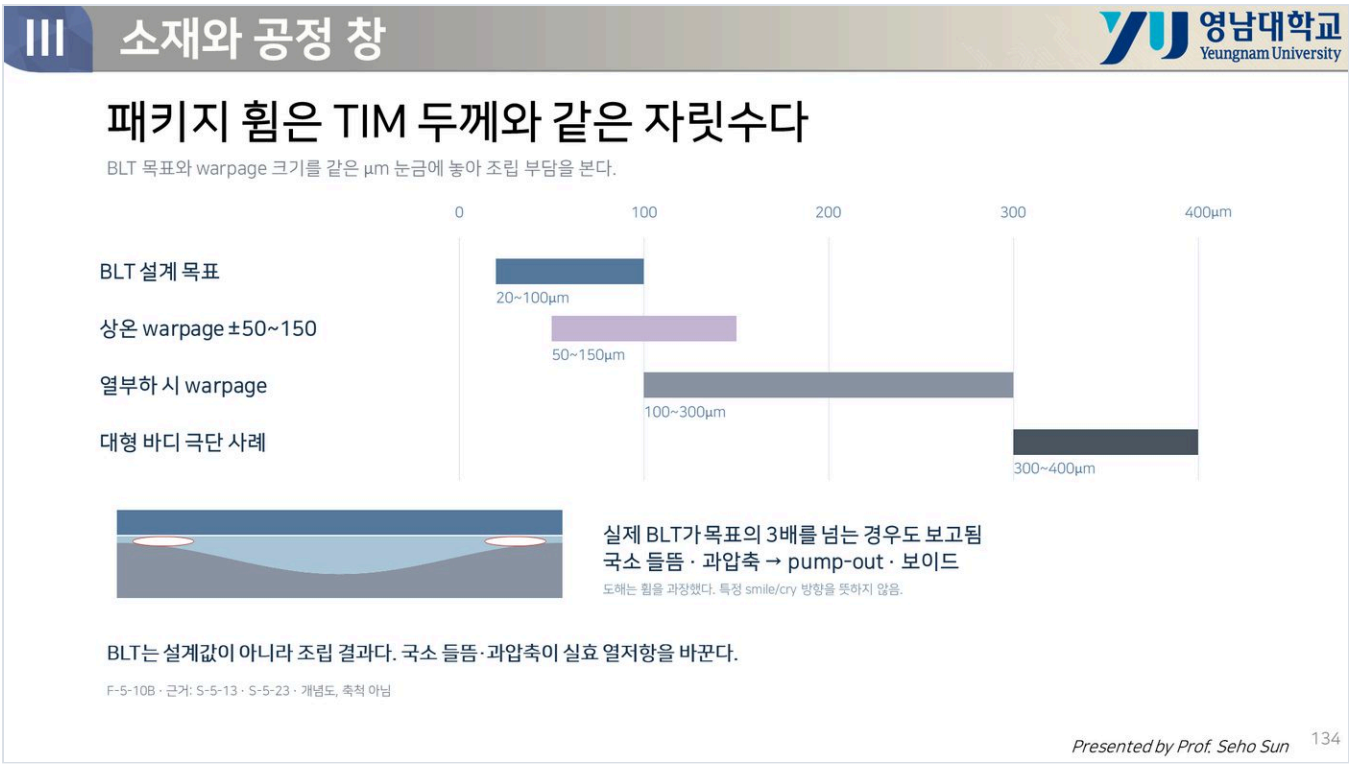
열관리 소재는 AP 소재 중 성장률이 가장 높은 축이다. 성장의 배경은 전력 증가다. AI 가속기의 소비전력은 H100 SXM급 700W에서 GB300 1,400W를 거쳐 Rubin 세대 1,800~2,300W로 올라갔다. NVL72 랙 전력도 135~140kW에서 220~250kW로 상승했다 [S-5-13]. 열유속이 100 W/cm²를 넘어서면 TIM은 충전재가 아니라 시스템 성능을 결정하는 병목이 된다.

TIM의 층위는 세 가지다. TIM1은 실리콘 다이와 히트스프레더(lid) 사이의 계면으로, 열유속과 신뢰성 요구가 가장 높다. TIM2는 lid와 히트싱크 또는 콜드플레이트 사이의 계면으로, 면적이 크고 두께 편차 허용폭이 넓다. TIM1.5는 lidless(bare-die) 패키지에서 다이와 콜드플레이트를 직결하는 계면이며 AI 가속기에서 새로

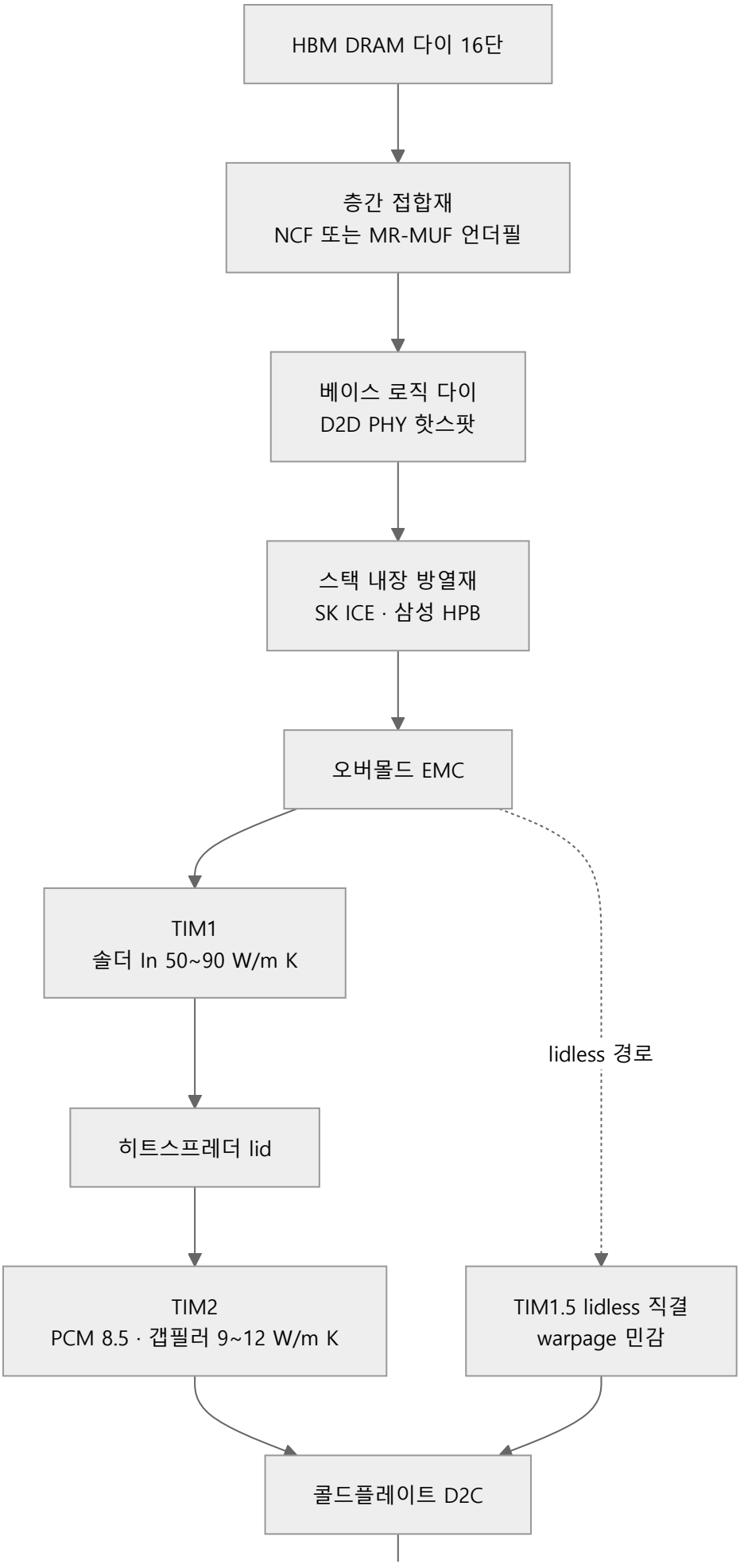
쓰이는 구분이다. 계면 수가 줄어드는 대신 한 계면이 감당하는 부담은 급증한다. 성능 지표는 면적 정규화 열저항이며, 근사적으로 BLT를 열전도율로 나눈 값에 접촉 열저항을 더한 형태이므로 열전도율만으로 순위를 정할 수 없다 [S-5-13].

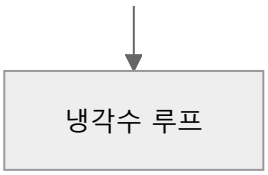


도해 F-5-10A · TIM1·TIM1.5·TIM2는 서로 다른 계면이다 · 근거 S-5-13, S-5-14
TIM의 성능은 열전도율뿐 아니라 BLT와 양면 접촉 열저항까지 포함해 판단한다.



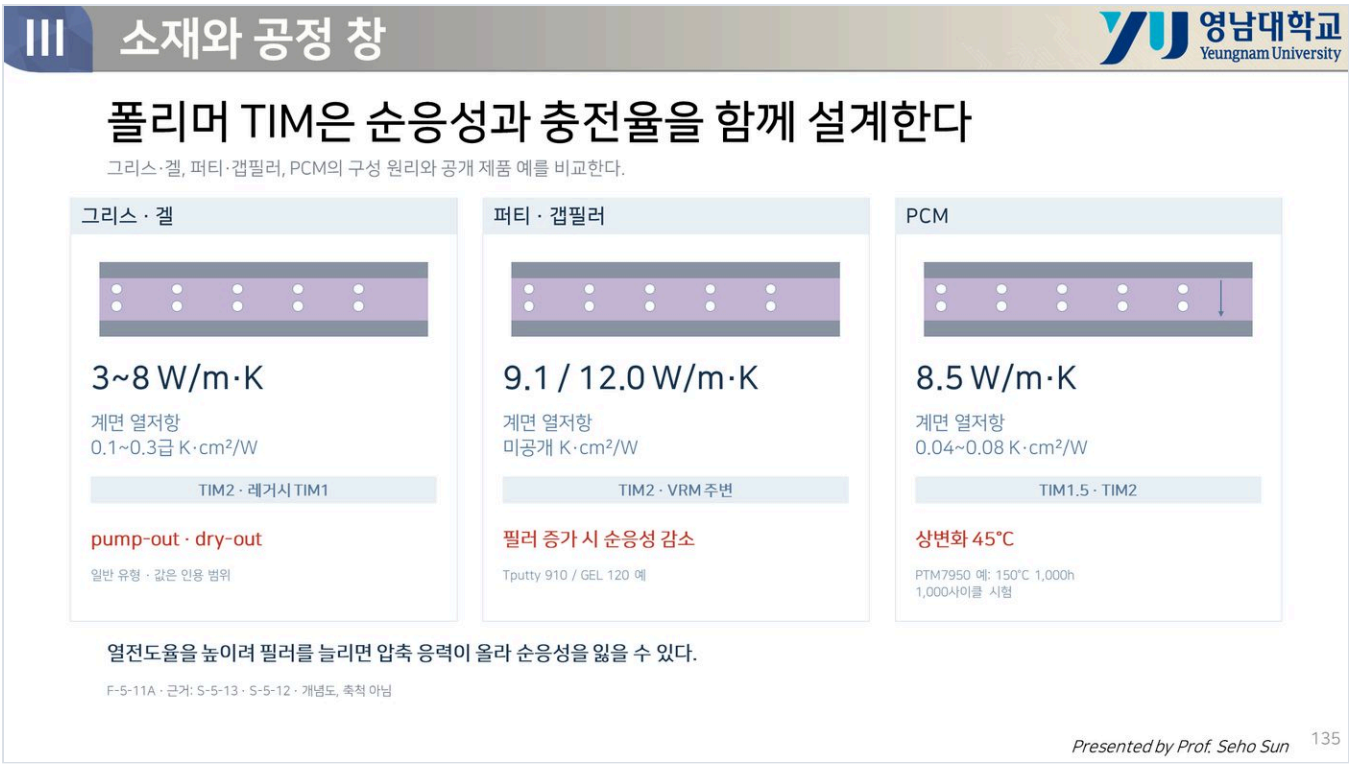
도해 F-5-10B · 패키지 휨은 TIM 두께와 같은 자릿수다 · 근거 S-5-13, S-5-23
BLT는 설계값이 아니라 조립 결과다. 국소 들뜸·과압축이 실효 열저항을 바꾼다.


HBM DRAM 다이 16단
층간 접합재
NCF 또는 MR-MUF 언더필
베이스 로직 다이
D2D PHY 핫스팟
스택 내장 방열재
SK ICE · 삼성 HPB
오버몰드 EMC
TIM1
솔더 In 50~90 W/m K
lidless 경로
히트스프레더 lid
TIM2
PCM 8.5 · 갭필러 9~12 W/m K
TIM1.5 lidless 직결
warpage 민감
콜드플레이트 D2C



소재 유형	열전도율(W/m·K)	계면 열저항 (K·cm²/W)	주 적용처	제약	출처 ID
폴리머 그리스·겔	3~8	0.1~0.3급	TIM2, 레거시 TIM1	pump-out과 dry-out. 액침 호환성은 냉각액 조합별로 검증 필요	S-5-13
퍼티·디스펜서블 갭필러	Laird Tputty 910 9.1 / Parker THERM-A-GAP GEL 120 12.0	미공개	TIM2, VRM 주변	저응력 대면적, 성능 상한 존재	S-5-13
PCM(폴리머계)	Honeywell PTM7950 8.5	0.04~0.08	SXM 모듈 TIM1.5·TIM2	상변화 45°C, 150°C 1,000시간·1,000사이클 통과	S-5-12
솔더·인듐 TIM(sTIM)	50~90, 인듐 86	0.02~0.08(BLT 50μm 미만)	TIM1	강성이 커서 warpage에 취약, 157°C 리플로우 필요	S-5-13, S-5-19
Compressible metal(In Heat-Spring)	약 86	0.05~0.15	TIM1.5·TIM2, 액침냉각	순응성과 금속 경로 결합, 유기물 없음	S-5-13
액체금속(Ga계)	25~41, Indalloy 51E는 85°C에서 37	0.05 미만	TIM1·TIM1.5	전기전도로 단락 위험, Al 갈바닉 부식, 봉지 필수	S-5-13, C-5-18
카본·그래파이트 시트	면내 600~1,900, 관통 약 25	미공개	열확산, 액침용 대안	이방성으로 관통 방향이 병목	S-5-13

위 표의 값은 모두 배합과 성형이 끝난 제품의 값이며, 필러나 금속의 고유 열전도도가 아니다. 그래파이트 시트의 면내 600~1,900 W/m·K도 입자가 배향된 시트 형태에서 나오는 값이다. 같은 탄소계 필러를 수지에 무작위로 분산시키면 이보다 낮은 값에 머문다. 필러 고유값과 컴파운드값이 한두 자릿수 벌어지는 이유와 구체적 대비는 5.2의 구분 표에 정리해 두었다.



도해 F-5-11A · 폴리머 TIM은 순응성과 충전율을 함께 설계한다 · 근거 S-5-13, S-5-12
열전도율을 높이려 필러를 늘리면 압축 응력이 올라 순응성을 잃을 수 있다.

도해 F-5-11B · 같은 인듐이라도 솔더와 압축 시트는 다르다 · 근거 S-5-13, S-5-19, *C-5-18*
열전도율 86 W/m·K가 같아도 접촉 방식·BLT·신뢰성 조건은 같지 않다.

도해 F-5-11C · 그래파이트의 방향과 냉각액 조합을 확인한다 · 근거 S-5-13, S-5-20, S-5-51
액침 호환성은 폴리머·금속이라는 계열만으로 결정하지 않는다. 조합별로 확인한다.

표에 두 번 나오는 86 W/m·K도 제품 형태가 서로 다르다. 하나는 압축형 금속 시트(In Heat-Spring 계열)의 값이고 [S-5-13], 다른 하나는 인듐 솔더 TIM(sTIM)의 값이다 [S-5-19]. 앞의 것은 순응성을 살린 가압 접촉형이고, 뒤의 것은 157°C 리플로우로 야금 접합을 만드는 형태다. 그러므로 1,000 사이클 신뢰성 같은 수치는 같은 형태의 값끼리 비교해야 한다.

2026년 열관리 논의의 중심은 성능을 지배하는 변수가 열전도율에서 warpage로 옮겨갔다는 점이다. 대형 AI GPU 패키지의 상온 warpage는 ±50~150μm이고, 열부하 시에는 100~300μm다. 50mm를 넘는 대형 바디의 극단 케이스에서는 300~400μm에 이른다. 목표 BLT가 20~100μm 수준이므로 warpage가 TIM 두께와 같은 자릿수이거나 더 크다 [S-5-13]. 이 조건에서는 벌크 열전도율이 높아도 TIM이 국소적으로 뜨거나 과압축되어 열저항이 증폭되고, pump-out과 보이드가 발생한다. 검증 방식도 평탄 시편의 정적 측정에서 전단 내구, 파워사이클, 곡률을 인가한 시험으로 옮겨가고 있다.

TIM2 쪽에서 많이 쓰이는 퍼티와 갭필러의 설계 목표는 열전도율의 절대값이 아니다. 낮은 압축 응력에서 큰 두께 편차를 메우는 순응성이 목표다. 단단한 TIM은 가장 높은 부품에만 닿고 나머지에 공극을 남기므로 실효 열저항이 카탈로그 값과 달라진다. 디스펜서블 제품의 상한선은 9~12 W/m·K 부근이다. 이보다 올리려면 필러를 더 넣어야 하는데, 그러면 압축 응력이 올라가 순응성을 잃는다 [S-5-13]. 5.2에서 본 EMC의 열전도와 유동성 상충과 같은 구조다.

그래파이트 시트는 다른 방식으로 이 문제를 우회한다. 면내 열전도율은 600~1,900 W/m·K에 이르지만 관통 방향은 약 25 W/m·K에 그쳐 이방성이 강하다. 따라서 계면을 메우는 TIM이 아니라 열을 옆으로 퍼뜨리는 확산기로 쓰는 것이 옳다. Resonac은 유연 시트 안에서 그래파이트 입자를 수직 배향시켜 두께 방향 전달을 개선한 제품을 공식 설명하고 있다. 이 제품은 그래핀 필름과 같은 소재가 아니다 [S-5-08].

솔더 TIM 쪽의 2026년 진전은 구체적이다. ECTC 2026 학회 내용을 정리한 자료에 따르면 인듐 sTIM은 열전도율 86 W/m·K, 열저항 0.003~0.009 °C·cm²/W를 낸다. 이 열저항 값은 BLT 25~75μm를 열전도율로 나눈 벌크 항에 해당하며, 표의 0.02~0.08은 두 접촉 계면을 더한 조립 상태의 값이다. BLT는 25~75μm 범위다.

진공 포름산 리플로우(100 Pa 미만)로 플럭스 없이 접합하여 2,500mm²급 패키지와 800mm² 다이에서 보이드율을 2% 미만으로 유지했다. 영하 40도에서 125도까지 1,000사이클도 열화 없이 통과했다. 보이드가 5%면 평균 대비 20배의 국소 열유속이 생긴다는 점도 함께 제시되었다 [S-5-19]. 같은 자료는 AMD MI400 계열을 약 800W로 적었으나, 이는 2차 정리 기준이며 공식 확인치가 아니다.

냉각 아키텍처 전환은 TIM 요구를 다시 바꾼다. AI 칩 기준 액체냉각 침투율은 2025년 약 33%에서 2026년 53%로 오르고, 2027년에는 60%에 근접한다 [S-5-33]. 공랭에서 D2C(cold plate)로 바뀌면 TIM2에 저열저항뿐 아니라 체결압 내성과 글리콜계 냉각수 화학 호환성이 추가 요건으로 붙는다.

액침냉각에서는 일부 폴리머 TIM이 특정 유전냉각액에서 팽윤·용출·열화를 일으켜 열성능이 떨어지고 냉각액과 필터를 오염시킨다. Indium Corporation의 실증에서 PCM과 그리스 두 종은 90초 교반 만에 매트릭스가 용해되어 백탁했지만, 인듐 금속은 변화가 없었다 [S-5-13][S-5-20]. 다만 이 결과를 폴리머 전체의 배제로 확대하면 안 된다. Purdue 연구진은 2025년 MRS 추계학회에서 TIM 4종과 냉각액 4종을 교차 비교했다. 그 결과 실리콘계 TIM과 실리콘 오일 조합을 단상 액침에서 유망한 조합으로 평가했다 [S-5-51]. 따라서 액침 대응은 소재 계열로 결론 내릴 문제가 아니라 조성과 냉각액, 온도, 노출 시간별로 호환성을 검증할 문제다.

패키지 밖이 아니라 스택 안에서 열을 잡으려는 시도도 신규 카테고리를 만들고 있다. SK하이닉스는 2026년 5월 26일 iHBM을 공개했다. 열전도성이면서 전기절연성인 실리콘계 냉각요소(ICE)를 발열이 집중되는 D2D PHY 직상에 배치해 열저항을 30% 이상 낮추는 구조다. SK하이닉스는 이 구조에 Advanced MR-MUF 공정을 활용하고, HBM5 등 차세대에 적용할 계획이라고 밝혔다 [S-5-40][S-5-18]. 이 지표는 열저항 저감이며, 온도가 같은 비율로 내려간다는 뜻이 아니다.

삼성전자의 HPB(Heat Path Block)는 스택 내부에 전용 열전달 경로를 만드는 구조다. 공식 설명은 HBM4E 기반 검증과 HBM5부터의 적용 계획이다 *[C-5-16]*. 보도된 열저항 최대 16% 저감은 Exynos 적용 사례의 수치이며, HBM 적용 효과가 아니다 [S-5-41]. 두 기술 모두 고열전도이면서 절연인 소재를 요구하므로 고방열 EMC의 필러 분산 기술과 맞닿아 있다.

공급사 지형은 Honeywell(PCM), Henkel(Bergquist), Shin-Etsu, Dow, Parker Chomerics, Laird, Fujipoly, Dexerials, Indium Corporation으로 구성된다. 다만 이 목록은 시장 참여 기업이며 특정 GPU의 공급 확증이 아니다 [S-5-13]. NVIDIA는 2025년 1월 출시한 RTX 5090 Founders Edition(575W TGP)에서 갈륨 합금 액체금속을 채택했다. Rubin 세대는 GPU당 1,800~2,300W로 전량 액체냉각을 전제한다 [S-5-13]. 반면 데이터센터용 Blackwell, Rubin, MI350, MI400의 패키지 TIM에 대해서는 공개 teardown이나 공급사 공표가 확인되지 않는다. 조성·등급·공급사가 입증되지 않았으므로, 이들 제품은 소재 유형까지만 알려져 있고 제품별 채택은 확인되지 않았다.

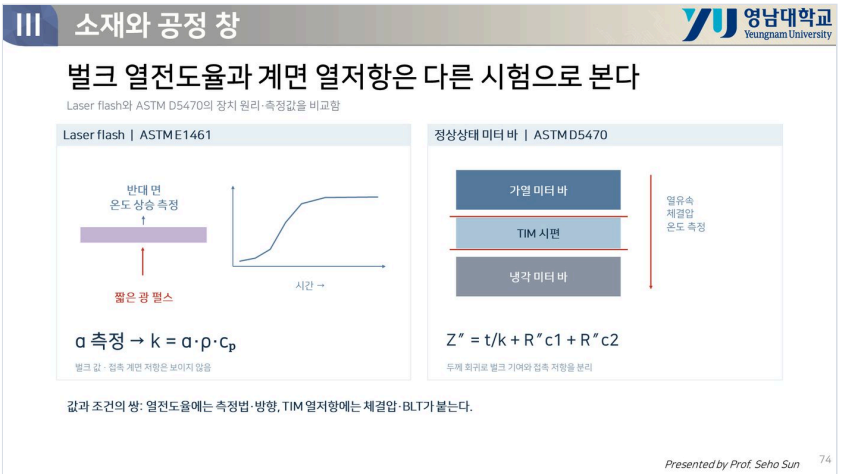
한국의 참여 상태를 보면 이 축이 공백으로 분류되는 이유가 드러난다. 나노팀과 아모그린텍이 갭필러와 서멀 그리스를 생산하지만 주력은 전기차와 전장이다. KCC의 방열 실리콘은 전력반도체와 모듈 레벨 소재로, 서버 TIM1과 요구 사양이 다르다. AI 서버용 TIM1과 TIM1.5에 해당하는 금속계와 고성능 PCM에서는 국내 공급사가 사실상 없다.

이 공백은 기회인 동시에 경고다. 인듐 sTIM은 금 도금과 157°C 리플로우라는 공정 종속성을 요구한다. 액체금속은 단락 위험과 갈바닉 부식 때문에 봉지와 배리어 설계가 필수이며, 자격 시험에만 6개월에서 1년이 걸린다 [S-5-13].

지표	값	기준 시점·판본	출처 ID
TIM 시장	2025년 $4.62B → 2035년 $13.64B, CAGR 11.44%	Precedence Research	S-5-29
TIM 시장 교차 참고	2036년 약 $7.5B	IDTechEx 2026-2036판	S-5-30
TIM 시장 다른 판본	2026년 $4.6B → 2032년 $7.95B, CAGR 9.4%	360iResearch 2026년 9월판, AI 가속기 전용 TAM 아님	C-5-21
HBM 열관리와 TIM 시장	2026년 $0.41B → 2031년 $1.71B, CAGR 32.9%	Mordor 2026년 9월 11일 갱신, heat spreader·능동냉각 포함	C-5-20
AI 칩 액체냉각 침투율	2025년 약 33% → 2026년 53% → 2027년 60% 근접	TrendForce 2026년 8월 17일	S-5-33
AI GPU 패키지 warpage	상온 ±50~150μm, 열부하 100~300μm, 극단 300~400μm	IEEE EPS Newsletter 2026년 3월	S-5-13
BLT(본드라인 두께)	설계 목표 20~100μm. BLT는 설계값이 아니라 조립 결과이며 실제가 목표의 3배를 넘는 경우가 흔하다	목표 범위는 S-5-13, 설계값과 실현값의 괴리는 S-5-23	S-5-13, S-5-23
SK하이닉스 iHBM	열저항 30% 이상 저감, HBM5 등 차세대 적용 계획	2026년 5월 26일	S-5-40
삼성전자 HPB	HBM4E 기반 검증, HBM5부터 적용 계획, 16%는 Exynos 적용치	2026년 6월	C-5-16, S-5-41

소재 관점에서 보면: 삼성SDI의 확장 순서는 네 단계로, 첫 단계는 모바일 패키징용에서 적용 실적을 확보한 고방열 EMC이고 두 번째는 고열전도 필러의 내재화 또는 이원화다. 필러에서 상류 종속을 줄이지 못하면 다음 단계에서 원가 경쟁력이 나오지 않는다. 세 번째인 TIM은 진입 형태가 소재 단품이 아니라 클램프 하중, 콜드플레이트 강성, 곡률 인가 검증법을 묶은 솔루션 판매로 바뀌고 있다. 따라서 신뢰성 데이터 패키지를 함께 만드는 역량이 실질 관문이다. 네 번째인 스택 내장 방열재(ICE와 HPB)는 메모리사가 구조를 설계하고 소재사가 조성을 맞추는 공동개발 형태여서 그룹 밸류체인 안의 협업 지위가 가장 크게 작동한다. 액침 시나리오에서는 폴리머 TIM의 냉각액 호환성이 제품과 유체 조합별로 갈리므로, 목표 냉각액과 온도·노출 조건을 특정한 호환성 데이터를 함께 확보해야 진입할 수 있다.

5.6 물성 측정법과 응용별 요구 사양



슬라이드 74쪽 · 벌크 열전도율과 계면 열저항은 다른 시험으로 본다

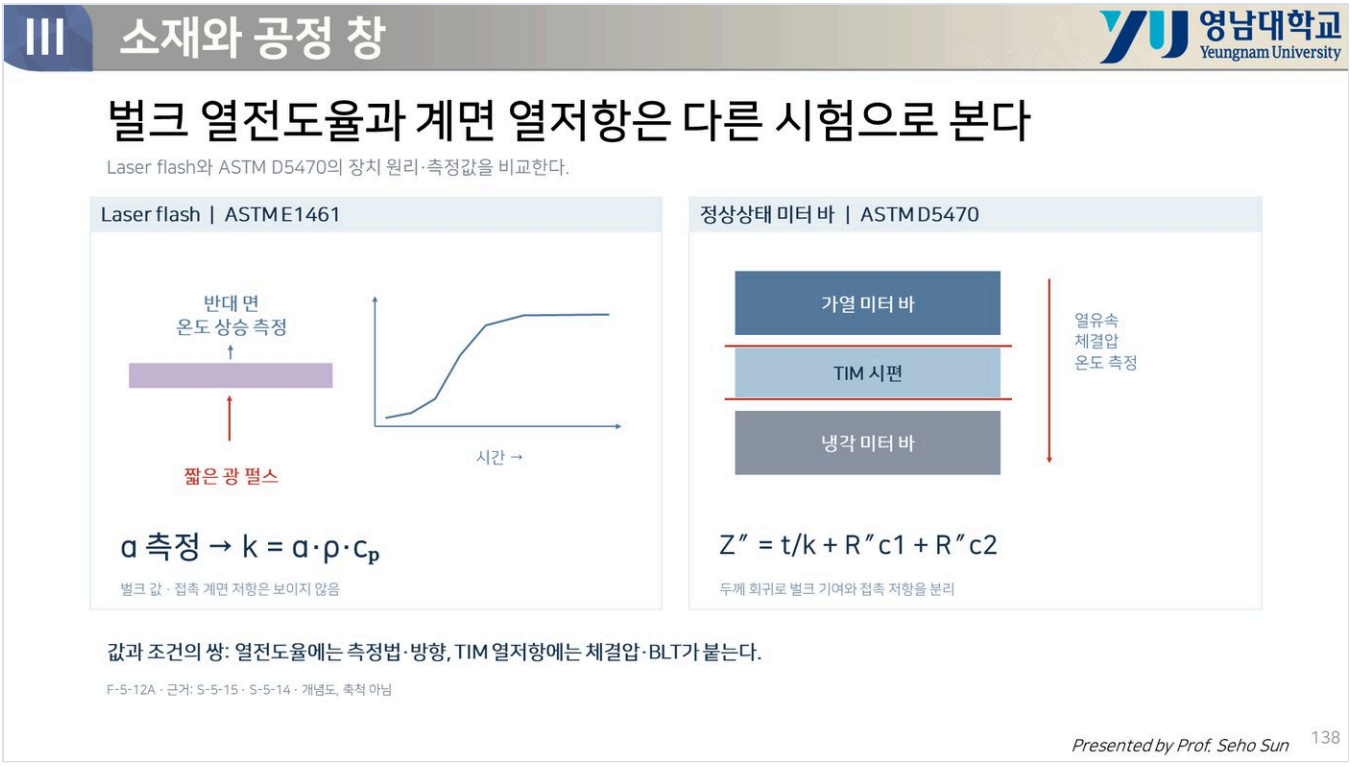
그 밖의 관련 슬라이드: 71쪽 · 73쪽 · 93쪽 · 99쪽 · 111쪽 · 118쪽 · 119쪽

관련 도해: F-2-12A 휨은 냉각 중의 수축 차이가 고정된 결과다 · F-2-12B 조립 창은 온도 대 휨 곡선으로 읽는다 · F-2-12C 실측 휨과 가상 최적화 결과를 구분한다 · F-2-14A 신뢰성 시험은 단면의 서로 다른 자리를 겨냥한다 · F-2-14B 시험 → 가속하는 물리 → 관련 소재 물성 · F-2-14C 보드 레벨 신뢰성과 비파괴 검사를 함께 본다 · F-3-14A CoWoS 파괴 해석: 계면 박리가 먼저, 몰드 균열이 뒤따른다 · F-3-14B EMC는 인터포저 · 기판 · 스티프너와 함께 설계한다 · F-5-10A TIM1·TIM1.5·TIM2는 서로 다른 계면이다 · F-5-10B 패키지 휨은 TIM 두께와 같은 자릿수다 · F-6-03A PID 평가는 패턴·계면·신뢰성의 세 단계를 잇는다 · F-6-03B 신뢰성 값에는 시험 조건과 재측정 항목을 붙인다 · F-7-03A 소재를 바꾸면 공정 평가와 재인증이 이어진다 · F-7-03B 쿼 기간을 정하는 것은 시험 묶음과 재시도다 · F-7-03C POR은 소재 이름이 아니라 소재와 공정 조건의 조합이다 · F-8-01A 같은 배치에서 갈라 낸 시편이 원인 추적의 출발점이다 · F-8-01B 세 시편은 같은 소재를 서로 다른 상태에서 본다 · F-8-02A 평가 자료는 다섯 시점에 걸쳐 완성된다 · F-8-02B 여섯 제출 항목에서 규격과 관행을 구분한다 · F-8-02C 결과를 얻기 전에 비교의 기준부터 합의한다 · F-8-10A 초음파와 X선으로 위치를 찾고 그 자리를 잘라 본다 · F-8-10B 초음파는 계면의 반사와 심도별 위치 정보를 읽는다 · F-8-10C 먼저 찾고, 같은 자리를 자르고, 경로를 확인한다

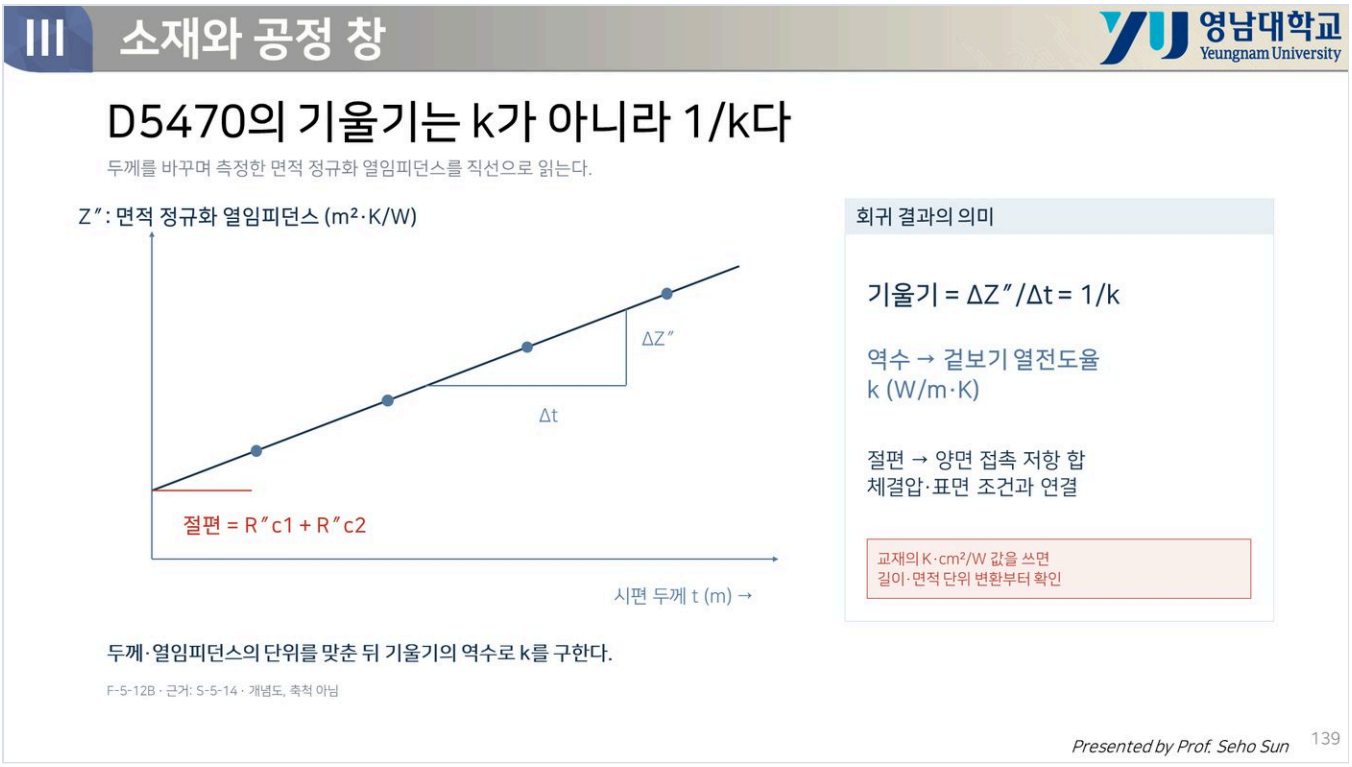
소재 회사가 고객과 대등하게 대화하려면 숫자뿐 아니라 그 숫자를 만든 측정법까지 제시해야 한다. 같은 4 W/m·K라도 측정법에 따라 뜻이 다르다. laser flash로 계면을 제외하고 잰 벌크 값인지, ASTM D5470으로 계면을 포함해 잰 실효 값인지에 따라 시스템 해석에 넣을 값이 달라진다.

열전도율 측정은 두 갈래다. laser flash법(ASTM E1461)은 시편 한 면에 짧은 광 펄스를 가하고, 반대 면의 온도 상승 곡선에서 열확산도 α를 구한다. 여기에 밀도 ρ와 비열 cp를 곱하여 k = α·ρ·cp로 환산하므로, 벌크 물성을 정확히 주는 대신 계면 저항은 보이지 않는다 [S-5-15].

ASTM D5470은 시편을 미터 바 사이에 끼우고 일차원 열유속을 흘려 정상상태 열저항을 구한다. 면적 정규화 열임피던스 Z(K·cm²/W)를 시편 두께 t에 대해 회귀하면 Z = t/k + R_c1 + R_c2다. 따라서 기울기의 역수가 겉보기 열전도율 k(W/m·K)이고, 절편이 양면 접촉 열저항의 합이다 [S-5-14]. TIM은 계면이 본질이므로 D5470이 정본이고 EMC와 언더필의 벌크 값은 laser flash가 정본이어서, 두 값을 같은 표에 섞으면 오독을 부른다.



도해 F-5-12A · 벌크 열전도율과 계면 열저항은 다른 시험으로 본다 · 근거 S-5-15, S-5-14
값과 조건의 쌍: 열전도율에는 측정법·방향, TIM 열저항에는 체결압·BLT가 붙는다.



도해 F-5-12B · D5470의 기울기는 k가 아니라 1/k다 · 근거 S-5-14
두께·열임피던스의 단위를 맞춘 뒤 기울기의 역수로 k를 구한다.

CTE는 TMA(Thermomechanical Analysis)로 측정한다. 미소 하중을 건 프로브를 올리고 승온하면서 치수 변화를 기록하면, Tg를 경계로 기울기가 꺾이는 두 구간이 나온다. Tg 이하를 α1, 이상을 α2로 부른다. 공개된 lead-frame용 고열전도 EMC 한 등급은 α1과 α2를 12와 38 ppm/K로 표기하고 *[C-5-07]*, 고열전도 액상 몰딩재 한 등급은 12와 44 ppm/K를 표기한다 *[C-5-08]*. 패키지 warpage 해석에는 두 값이 모두 필요하므로 단일 CTE만 제시하는 데이터시트는 설계에 쓸 수 없다.

Tg는 DSC와 DMA로 재며 값이 다르게 나온다. DSC는 비열 변화의 중점을, DMA는 tanδ 피크 또는 storage modulus 급감점을 Tg로 잡기 때문에 DMA 기준이 대체로 높다. 고충전 EMC는 필러 때문에 DSC 신호가 약해 DMA나 TMA 변곡점을 함께 쓴다. 모듈러스는 3점 굽힘으로 flexural modulus를, DMA로 온도 의존 storage modulus를 얻으며, 두 값은 같은 숫자가 아니다. warpage는 모듈러스와 CTE의 곱에 비례하는 응력으로 생기므로 둘을 따로 볼 수 없다.

흡습은 조건과 함께 표기해야 한다. 공개된 모세관 언더필 제품은 24시간 비등 조건에서 1.5%로 적고 있으며 *[C-5-14]*, 실장 신뢰성은 JEDEC MSL 등급으로 표현한다. 흡습한 수분이 리플로우 급가열에서 기화하면 팝콘 크래킹을 일으킨다. 그래서 저흡습 설계는 신뢰성 항목이자 공정 항목이다.

warpage는 shadow moiré법이 표준이다. 기준 격자와 시편 표면의 그림자 격자가 만드는 간섭 무늬로 면외 변위를 전면에서 측정하며, 리플로우 온도 프로파일을 모사한 승온·냉각 중에 연속 측정한다. 절차는 JEDEC JESD22-B112에 규정되어 있다. 이 규격은 측정점을 솔더 볼 꼭대기가 아니라 패키지 기판면에 잡아야 한다는 점과, 승온 속도와 시편 준비 조건에 따라 값이 달라진다는 점을 명시한다 [S-5-16]. 같은 패키지라도 조건이 다르면 수치가 달라지므로, 고객과 숫자를 주고받을 때 프로파일을 함께 합의해야 한다. EMC 고유의 공정 물성인 나선 유동은 나선형 금형에 정해진 온도와 압력으로 컴파운드를 흘려 넣고 길이를 재는 방식이며, 유동성과 경화 속도의 종합 지표다.

나선 유동은 유동성과 경화 속도를 함께 본다

같은 금형 조건에서도 커플링제 변화가 유동 길이를 바꾼다.

나선 유동 시험 / ASTM D3123 · EMMI-1-66

끝점 = 흐른 길이 / 형상·비율은 개념

값과 함께 기록할 조건

175°C	6.9 MPa	120초
금형 온도	이송 압력	경화 시간

커플링제 변화: 19.6~38.5 inch

겔 타임: 175°C 열판에서 겔화까지의 시간
등급별 대표 범위는 공개 자료에서 미확인

나선 유동 길이를 수지의 단일 점도 값으로 읽지 않는다.

F-5-13A · 근거: S-5-56 · S-5-25 · 개념도, 축척 아님

도해 F-5-13A · 나선 유동은 유동성과 경화 속도를 함께 본다 · 근거 S-5-56, S-5-25
나선 유동 길이를 수지의 단일 점도 값으로 읽지 않는다.

III 소재와 공정 창
영남대학교 Yeungnam University

점도와 DSC는 같은 승온 조건과 함께 제출한다

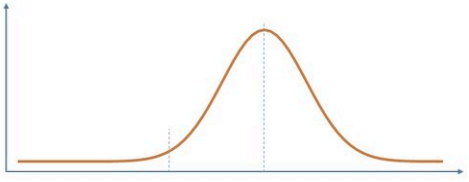
최소 점도 구간과 경화 개시·피크를 함께 기록하되, 신호를 혼동하지 않는다.

레오미터: log 점도-온도

100~160°C

10^3~10^4 Pa·s / 승온 10°C/분
CUF: 전단속도 의존 점도 + 시간 의존 접촉각

DSC: 열류-온도



경화 개시 141°C / 피크 166°C

NCF 1세대 · 10°C/분
경화 발열 피크 ≠ Tg의 비열 변화 중점

점도 곡선에는 승온·전단 조건, DSC에는 승온 속도와 신호 정의가 필요하다.

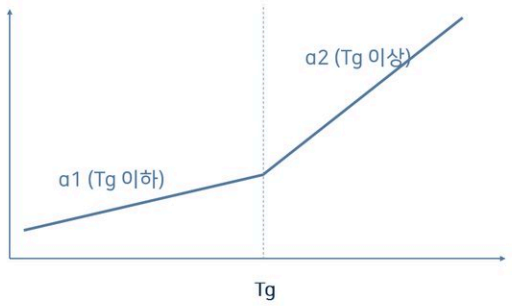
F-5-13B · 근거: S-5-28 · S-5-24 · 개념도, 축척 아님

도해 F-5-13B · 점도와 DSC는 같은 승온 조건과 함께 제출한다 · 근거 S-5-28, S-5-24
점도 곡선에는 승온·전단 조건, DSC에는 승온 속도와 신호 정의가 필요하다.

Tg 전후의 CTE와 모듈러스를 따로 기록한다

TMA의 두 기울기와 DSC·DMA가 읽는 서로 다른 지표를 구분한다.

TMA: 미소 하중에서 치수 변화 측정



예: 12 / 38 ppm/K 또는 12 / 44 ppm/K

Tg·모듈러스의 측정 정의

DSC Tg	비열 변화의 중점
DMA Tg	tanδ 피크 또는 저장 탄성률 급감점
3점 굽힘	Flexural modulus
DMA	온도 의존 Storage modulus

DMA의 Tg가 대체로 높음 · 측정법 없이 수치 혼용 금지

CTE에는 α1·α2가 필요하다. 굽힘 탄성률과 DMA 저장 탄성률도 같은 숫자가 아니다.

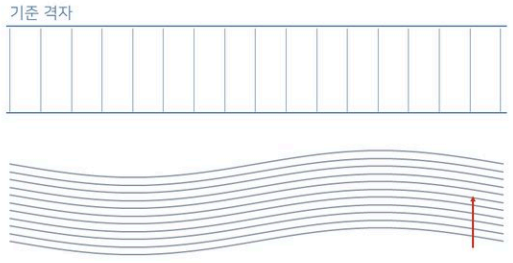
F-5-13C · 근거: C-5-07 · C-5-08 · 개념도, 축척 아님

도해 F-5-13C · Tg 전후의 CTE와 모듈러스를 따로 기록한다 · 근거 *C-5-07, C-5-08*
CTE에는 α1·α2가 필요하다. 굽힘 탄성률과 DMA 저장 탄성률도 같은 숫자가 아니다.

Warpage는 온도 프로파일 위에서 측정한다

Shadow moiré는 패키지 기판면의 면외 변위를 승온·냉각 중 추적한다.

기준 격자 + 패키지 기판면



측정 기준: 솔더볼 꼭대기가 아닌 기판면

격자 무늬와 휨은 원리 개념도 · 실제 측정 영상 아님

조건과 함께 제출

온도 프로파일
리플로우 모사 승온 + 냉각

시편 준비
측정면·기준면을 합의

출력
온도별 면외 변위 전체 지도

표준 참조
JEDEC JESD22-B112

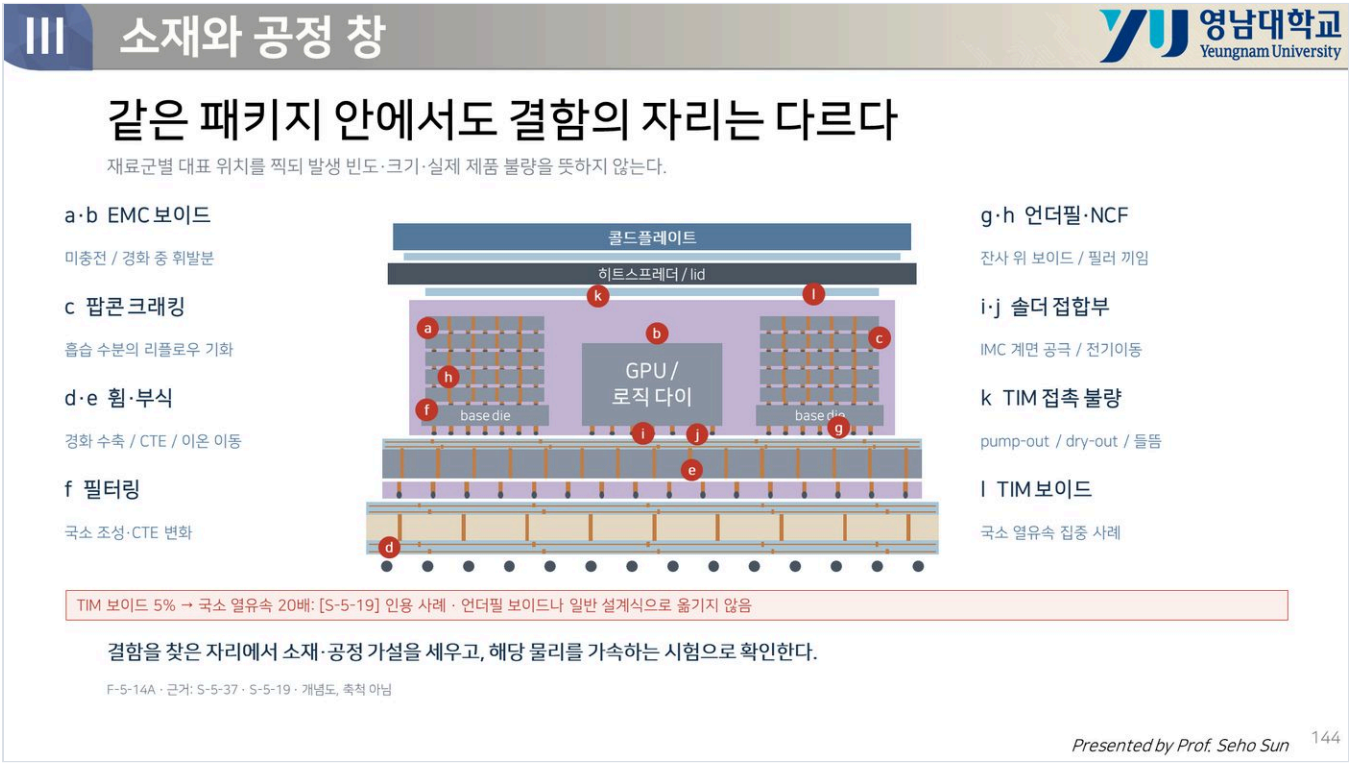
측정면·승온 속도·시편 준비 조건이 다르면 같은 패키지도 다른 값이 나온다.

F-5-13D · 근거: S-5-16 · 개념도, 축척 아님

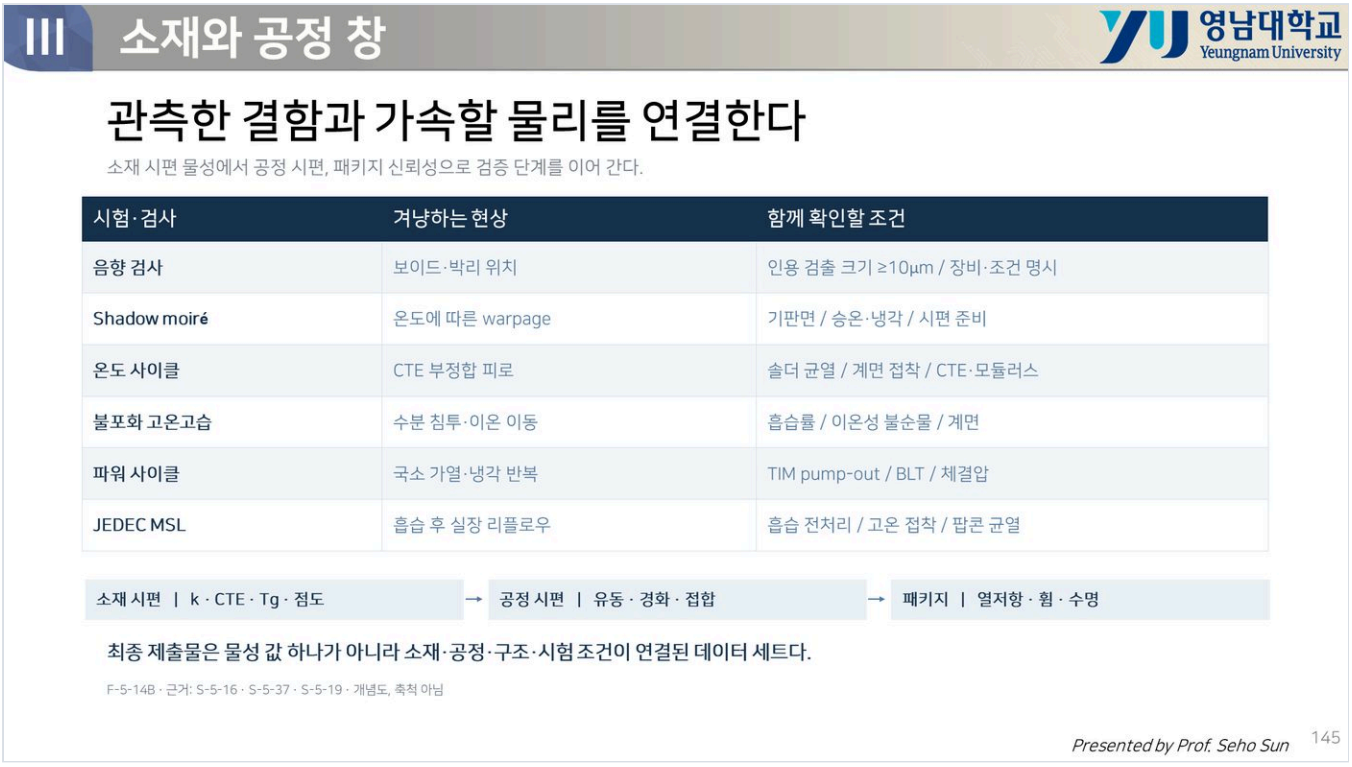
도해 F-5-13D · Warpage는 온도 프로파일 위에서 측정한다 · 근거 S-5-16
측정면·승온 속도·시편 준비 조건이 다르면 같은 패키지도 다른 값이 나온다.

물성 시험이 끝나면 신뢰성 시험이 남는다. 온도 사이클은 CTE 부정합으로 생기는 피로를 가속하고, 불포화 고온고습은 수분 침투와 이온 마이그레이션을 가속한다. TIM에는 파워 사이클이 추가된다. 칩을 실제로 켜고 끄며 국소 가열과 냉각을 반복시키는 시험이며, pump-out을 재현하는 유일한 방법이다. ECTC 2026 기준

으로 인듐 sTIM은 1,000사이클을 통과했고, 데이터센터에서 5년 이상 쓰려면 3,000사이클 이상이 요구된다는 목표선이 함께 제시되었다 [S-5-19].



도해 F-5-14A · 같은 패키지 안에서도 결함의 자리는 다르다 · 근거 S-5-37, S-5-19
결함을 찾은 자리에서 소재·공정 가설을 세우고, 해당 물리를 가속하는 시험으로 확인한다.



도해 F-5-14B · 관측한 결함과 가속할 물리를 연결한다 · 근거 S-5-16, S-5-37, S-5-19
최종 제출물은 물성 값 하나가 아니라 소재·공정·구조·시험 조건이 연결된 데이터 세트다.

아래 표는 공개 데이터시트에서 네 항목 이상을 확인한 제품 실례다. 세 제품 모두 용도가 달라 HBM용 등급의 비교표로 읽으면 안 된다.

제품·용도	열전도율 (W/m·K)	CTE α1/ α2(ppm/K)	Tg(°C)	필러·점도	출처 ID
Resonac CEL-9240 ZHF10HT3W, lead frame용	3	12 / 38	125	필러 함량 미공개, 굽힘 탄성률 30 GPa, 성형 수축률 0.15%	C-5-07
Nagase T-700/R-5601, 전력·전자부품용 LMC	4.2(Xe flash)	12 / 44	70(DMA)	필러 91wt%, 평균 입경 47μm, 점도 1,000 Pa·s(25°C)	C-5-08
Henkel LOCTITE ECCOBOND E 1172 A, CUF	미표기	27(TMA)	135(TMA)	필러 65~68wt%, 점도 17,000 mPa·s, 흡수율 1.5%/24h 비등	C-5-14
Sumitomo G720/G780/G785, 전력모듈용	미확인	미확인	195 / 195 / 240	미확인	C-5-06

응용	대표 목표치	성격	출처 ID
HBM 스택 오버몰드 (GMC)	열전도율 3.0 이상, 고방열 등급 4 이상	3.0은 공급사 공개값, 4 이상은 학술 복합재 상한 근거	S-5-06, S-5-26
고방열 필러 복합재 학술 상한	Al_2O_3 68.82 vol% + BN 5.32 vol%에서 4.44 W/m·K	재료 coupon 연구, HBM 온도 저감률로 환산 불가	S-5-26
저충전 고열전도 대안	Si_3N_4 60wt% + CNT 2wt%에서 1.14 W/m·K	무기 필러 30%p 절감, Al_2O_3 90wt%와 동등	S-5-27
CUF	필러 65~68wt%, 점도 17,000 mPa·s, Tg 135°C, CTE 27	상용 제품 1종의 공개값	C-5-14
NCF	필러 평균 100nm급 나노 실리카	조성 설명이며 승인 규격 아님	S-5-28
고열전도 LMC	열전도율 4.2, 필러 91wt%, 입경 47μm	전력·전자부품용, HBM 미세 갭 등급 아님	C-5-08
TIM1(금속계)	열전도율 50~90, 인듐 86, BLT 25~75μm	학회 정리 기준	S-5-13, S-5-19
TIM1.5·TIM2(PCM·겔)	열전도율 8~12, 상변화 45°C	제품 데이터시트와 학회 정리	S-5-12, S-5-13
TIM 본드라인 두께	설계 목표 20~100μm이나 BLT는 조립 결과이며 실제가 목표의 3배를 넘는 일이 흔하다	설계 목표와 실현값을 구분해서 보아야 하는 항목	S-5-13, S-5-23
열전도 언더필 실험 결과 예시	순수 에폭시 0.22 → 구형 AlN과 판상 BN 하이브리드 필러 75wt%에서 10.18 W/m·K, 같은 조성 CTE 22.56 ppm/°C	리뷰가 재인용한 복합재 물성 연구 결과이며 HBM 실제 갭에서 검증된 조성 아님	S-5-21
패널 몰딩 warpage 개선 사례	후경화 프로파일 최적화로 더미 패키지 warpage 약 1,519 → 486μm	bi-material 더미 패키지 결과, HBM 실증 아님	C-5-31

물성	표준 시험법	얻는 값	주의점	출처 ID
열전도율 (벌크)	ASTM E1461 laser flash	열확산도 α, k = α·ρ·cp	계면 저항이 보이지 않음	S-5-15
열저항·열임피던스	ASTM D5470	면적 정규화 열임피던스 Z = t/k + R_c1 + R_c2. 기울기의 역수가 겉보기 k, 절편이 양면 접촉 저항 합	체결압 조건과 면적 정규화 여부를 반드시 병기	S-5-14
CTE	TMA(ASTM E831 계열)	α1과 α2	단일 값 제시는 해석에 부적합	C-5-07, C-5-08
Tg	DSC(E1356 계열), DMA(E1640 계열)	비열 변화 중점, tanδ 피크	두 방법의 값이 다름	C-5-08
모듈러스	3점 굽힘, DMA	flexural modulus, storage modulus	같은 숫자가 아님	C-5-07
흡습	비등·항온항습, JEDEC MSL	흡수율, 실장 등급	조건 병기 필수	C-5-14
Warpage	JEDEC JESD22-B112, shadow moiré	온도별 면외 변위	측정점과 승온 속도 합의 필요	S-5-16
유동성	나선 유동 시험	유동 길이	배합에 민감	S-5-25

소재 관점에서 보면: 고객이 요구하는 것은 물성 값 하나가 아니라 값과 조건의 쌍이다. 열전도율에는 측정법과 방향이, CTE에는 α1과 α2가, warpage에는 온도 프로파일이, TIM 열저항에는 체결압과 BLT가 함께 붙어야 한다. 삼성SDI가 신규 카테고리로 확장할 때 우위를 만드는 지점도 여기다. 소재 물성표가 아니라 응용 조건에서의 검증 데이터 세트를 함께 제출하면 고객의 공정 재최적화 부담이 줄어든다. 그 부담 감소가 스위칭 장벽을 넘는 협상력이 된다.

5.7 최신 동향 (2026년 8월 22일 이후)

기준일 이후 2026년 9월 27일까지 확인된 동향은 9월 19일 기준으로 정리한 아홉 건에 새로 확인한 일곱 건을 더해 열여섯 건이다. 앞의 아홉 건은 아래에 날짜와 함께 적었고, 새 일곱 건은 절 끝의 소제목 아래에 날짜 순으로 적었다. 변화가 확인되지 않은 항목은 확인되지 않았다는 사실을 따로 밝혔다.

- 2026년 8월 28일 덕산하이메탈의 솔더볼 수요 증가와 공급 부족을 다룬 보도가 나왔다 *[C-5-25]*. 증권사 분석에 기반한 기사이며 회사의 신규 공급 공표가 아니다. HBM 적층 증가를 별도 솔더볼 수요로 연결하는 서술은 2025년 11월 대표 인터뷰의 HBM 미사용 설명과 대조해서 읽어야 한다 [S-5-38].
- 2026년 9월 2일 TSMC가 소재·장비 공급사들에 5μm급 마이크로범프 본딩과 대응 언더필 기술 개발을 요구했다는 보도가 나왔다. 현행 HBM4 범프 높이는 약 10μm, HBM3E는 15~25μm다. 이 상황에서 무보이드 언더필 충전, 플럭스 잔사 제어, 본딩 정렬을 동시에 풀어야 하며, 양산 시점은 2028년 하반기로 추정된다(원보도 "내후년 하반기", 보도 기준). 전자신문 원보도는 이 시점을 "내후년 하반기"로 적었고, 영문 전재본의 2027년은 옮기는 과정의 오류다(2026년 9월 27일 추가 확인) [S-5-58]. 일본 공급사들이 15μm 이하에서 품질 보증이 어렵다고 판단해 왔다는 서술도 함께 실렸다 [S-5-36][S-5-43]. 하이브리드 본딩 시점은 주체를 나눠 읽어야 한다. HBM5·20단 이전에는 하이브리드 본딩을 도입하지 않는다는 것은

SK하이닉스의 Hot Chips 2026 발언으로 인용되었다. TSMC에 대해서는 HBM4 후반에서 HBM5 초입까지 더 미세한 마이크로범프를 적용할 것이라는 전망이 실렸다 [S-5-58]. 언더필 카테고리의 수명 연장과 기술적 미해결 영역의 개방이 동시에 일어난 셈이다.

- 2026년 8월 23일 공개된 SK하이닉스의 Hot Chips 2026 강연 보도에서 본딩 방식의 트레이드오프가 정리되었다. TC와 NCF 조합은 생산성이 높고 열저항이 낮은 대신 칩 warpage에 민감하다. MR과 MUF 조합은 얇은 다이의 warpage 대응에 유리한 대신 열저항이 높고 공정창이 좁다. 같은 보도에서 HBM4의 TSV가 20,000개를 넘고 베이스 마이크로범프가 16,148개라는 수치가 공개되었다. 패키지는 12.8 × 11mm에 Z-높이 775µm, 용량 48GB, 대역폭 2TB/s 이상이다 [S-5-18].

- 2026년 9월 8일 Micromachines에 첨단 HBM 패키지의 열관리와 신뢰성 공학을 다룬 리뷰가 게재되었다. 골자는 스택 단수 증가와 피치 축소가 수직 열 축적과 핫스팟을 심화시킨다는 것이다. 그 결과 CTE 부정합 응력, warpage, 계면 박리, Cu protrusion, 보이드, 접합부 열화가 함께 생긴다. 이 리뷰는 신규 상용 소재 채택 공표가 아니라 문헌 종합이다 [S-5-21].

- 2026년 9월 9일 덕산하이메탈이 KPCA쇼에서 솔더볼, 마이크로솔더볼, 코어드 솔더볼, 솔더 페이스트, 플럭스, 코퍼 포스트를 전시했다 *[C-5-24]*. 이는 전시 품목 공개이며, HBM 내부 스택용 신규 양산 공급 공표와는 구분해야 한다.

- 2026년 9월 10일 보도로 KCC의 반도체 소재 확장이 구체화되었다. KCC는 1985년부터 EMC를 연구해 왔으며, 글로벌 메모리 업체 품질 검증을 거친 DDR5용 첨단 EMC를 2025년 10월부터 양산 공급하고 있다. 2026년 9월 7일에는 관련 연구원이 국무총리 표창을 받았다. 2026년 6월 PCIM 2026에서는 고신뢰성 AMB 세라믹 기판과 고내열 EMC에 더해 액상 봉지재 LMC를 새로 선보였다. 적용 분야도 전기차에서 AI 데이터센터까지 확대했다 [S-5-09].

- 2026년 9월 11일 솔브레인·동진쎄미켐·원익머트리얼즈의 수요와 실적 개선을 다룬 보도가 나왔다 *[C-5-26]*. 이는 전공정 소모성 소재 매출 회복이며, HBM 몰딩·언더필·NCF 신규 진입의 증거가 아니다. 같은 날 Mordor Intelligence의 HBM 열관리·TIM 시장 페이지가 갱신되었다. 갱신된 전망은 2026년 $0.41B에서 2031년 $1.71B, CAGR 32.9%다 *[C-5-20]*. 다만 추정 기준 시점이 2026년 1월이고 heat spreader와 능동냉각을 포함하는 범위이므로 TIM 단독 시장과 같지 않다.

- 삼성SDI의 모바일용 고방열 EMC가 IR52 장영실상 37주차 수상작으로 선정되었다. 뉴스룸은 2026년 9월 19일 수상 사실을 게시하면서 적용처를 모바일 AP와 DRAM 등 초박형·고집적 반도체로 적었다 [S-5-45]. 수상작을 소개한 2026년 9월 17일 매일경제 보도에 따르면 삼성SDI는 필러를 실리카에서 세라믹인 알루미나로 바꾸는 데 세계 최초로 성공했다. 같은 보도는 삼성SDI가 2025년 상반기에 국내 반도체 제조사 두 곳에서 양산 승인을 받아 단독 공급하고 있으며, 2026년부터 해외 메모리 업체로도 수출한다고 전한다. 회사 설명 기준으로 D램용 소재의 방열이 경쟁사 대비 15% 이상, AP용 소재가 3배 이상 우수하다는 내용도 실렸다 [S-5-48]. 세계 최초와 성능 비교치는 회사 주장이고, 제목의 방열 3배는 기자 표현이다. 양산 승인과 수출 서술은 이 기사에만 있고 뉴스룸 원문에는 없는 보도 기준 정보다. 대상이 모바일용 제품이므로 HBM용 채택의 근거가 되지 않는다. (2026년 9월 27일 추가 확인) 2026년 9월 21일 디일렉 보도는 알루미나 적용에 독자 개발한 촉매 기술을 더해 방열 특성, 성형성, 고강도 물성을 함께 확보했다고 전했다. 삼성SDI가 2015년부터 고방열 소재 기술을 개발해 왔다는 내용도 실렸다 [S-5-63]. IR52 장영실상 37주차 수상제품 기록은 제품을 STARCOM 고방열 모델 3종으로 적었다. 열전도도는 DRAM용 3.5 W/m·K와 AP용 2.5 W/m·K이고, 경화 시간은 250초에서 110초로 56% 단축했다고 공개했다 [S-5-62]. DRAM용 3.5 W/m·K는 5.2절에 적은 Resonac 과립 EMC의 3.0 W/(m·K)보다 높은 값이다. 다만 측정법,

측정 온도, 필러 함량이 공개되지 않았으므로 같은 조건의 비교로 쓰지 않는다. 촉매로 경화 시간을 줄였다는 서술은 고충전 알루미나 배합에서 유동성과 경화 속도를 함께 맞췄다는 뜻으로 읽을 수 있으나, 회사는 촉매의 화학 조성을 밝히지 않았다.

- 2026년 9월 15일 갱신된 Advanced Packaging 소재 시장 전망은 2026년 $13.9B에서 2036년 $39.4B, CAGR 11.0%를 제시했다. 리셀러 보도자료 기반이며 원 조사기관과 판본이 표기되지 않은 2차 추정이다. 따라서 앞 절의 AP용 EMC $654M과는 집계 범위가 달라 직접 비교할 수 없다 [S-5-31].
- Namics와 SK하이닉스의 독점 계약에 대해서는 2026년 1월 보도 이후 계약 종료, 갱신, 세컨드 소스 승인을 확인하는 새 공개 정보가 확인되지 않았다 [S-5-44]. 확인되지 않았다는 뜻이며, 변화가 없었다는 단정은 아니다.

9월 19일 이후 추가 확인 (2026년 9월 27일 기준)

- **TSMC의 열관리 전망(2026년 9월 2일)**: TrendForce는 TSMC 첨단 패키징 R&D 책임자 James Chen이 SEMICON Taiwan 2026에서 발표한 열관리 전망을 전했다 [S-5-59]. AI 시스템 총전력은 향후 5년 동안 약 6배로 늘 수 있다. 같은 기간 패키지 전력은 약 600W에서 4,100W로, CoWoS 패키지 크기는 레티클의 3.3배에서 14배 초과로 커진다고 했다. 냉각 경로는 현행 콜드플레이트와 TIM 조합에서 패키지 lid 안에 마이크로채널을 넣는 단계로, 그다음 제트 충돌과 2상 비등으로 가는 순서로 제시되었다. 패키징, 소재, 칩 설계를 함께 최적화하면 열저항을 최대 약 40% 낮출 수 있다는 것이 발표의 요지다 [S-5-59]. 5.5절이 다룬 TIM 계면 수 감소의 다음 단계로, lid 자체를 냉각 유로로 만드는 구조가 TSMC 로드맵에 단계로 올라왔다.
- **Sumitomo Bakelite 사업설명회 질의응답(2026년 9월 17일 공개)**: Sumitomo Bakelite는 9월 8일 사업설명회의 질의응답 기록을 공개했다 [S-5-60]. 회사는 데이터센터용 등 고열전도 봉지재의 채택 경쟁에서 거의 전승에 가까운 성과를 내고 있다고 말했고, 배경으로 배합 설계 역량과 고객 용도별 제품군 및 맞춤 대응을 들었다. 과립 봉지재 매출은 2026 회계연도에 2025 회계연도 대비 두 배로 늘 전망이다. 수요 증가 요인으로는 위성통신용과 AI 관련 메모리 용도를 꼽았고, 2~3년 뒤 과립재 생산능력을 적어도 두 배로 늘려야 한다고 밝혔다. 중국 신공장 추가 라인의 가동 계획은 2028년 말로, 5.2절의 쑤저우 증설 가동 시점과 겹친다 [S-5-07][S-5-60]. 채택 성과는 회사 자체 평가이고 매출 전망은 과립재 전체에 대한 것이므로 HBM용 EMC 시장 성장률로 읽지 않는다.
- **패키지 디지털 트윈과 물성 데이터(2026년 9월 17일)**: Semiconductor Engineering은 패키지 디지털 트윈 구축이 어려운 이유를 다룬 기사를 실었다 [S-5-61]. Brewer Science의 Hanlin Chen은 데이터시트의 CTE, 탄성률, 접착력, 점도가 한 조건과 한 시점에서 측정한 값일 뿐이라고 지적했다. 기계적·열적 물성은 경화도에 따라 바뀌고 가교 밀도는 공정 뒤에도 변할 수 있다. CTE는 특히 Tg 부근에서 달라지므로, 이를 하나의 고정값으로 다루면 시뮬레이션과 실제 실리콘 사이의 차이가 커진다는 설명이다 [S-5-61]. 5.6절의 물성 측정법 논의와 연결하면, 고객이 요구하는 데이터가 공칭 물성값에서 경화 조건과 온도 구간별 물성으로 넓어지고 있다고 해석할 수 있다.
- **하이브리드 본딩 도입 조건 보도(2026년 9월 21일)**: 헤럴드경제는 SK하이닉스 아메리카 김지훈 시니어 디렉터가 9월 9일 미국 새너제이의 SEMI 주최 행사에서 밝힌 하이브리드 본딩 도입 조건을 보도했다 [S-5-64]. 조건은 수율 90~98%와 수명 3~5년이며, 도입 시점 전망은 HBM4에서 HBM4E 16단 또는 HBM5 20단으로 옮겨 갔다고 했다. 5.1절이 적은 전환 시점 지연에 정량 판단 기준이 붙은 셈이다. 전환이 늦을수록 MR-MUF, NCF, 언더필, 플럭스 카테고리의 수명이 길어진다는 5.1절의 논지와 같은 방향이다.

- **언더필 소켓 오픈에 관한 기자 칼럼(2026년 9월 21일)**: 전자신문 기자 칼럼(ET톡)은 HBM 적층에 쓰는 언더필의 양산 레시피에서 여전히 일본 소재기업 비중이 대다수라고 지적했다 [S-5-65]. 국산 샘플과 개발 참여가 있어도 고객 규격에 이름이 오르는 소켓 오픈이 막혀 있고, 담당자는 데이터가 쌓인 일본산을 유지하려 한다는 것이 칼럼의 진단이다. 칼럼은 2019년 일본 수출규제 때 IDM이 품질 위험을 감수하고 두 번째 공급선을 만든 것을 선례로 들었고, 주력 옆에 작게라도 정규 창구를 여는 방식을 해법으로 제안했다. 수치가 없는 기자 의견이므로 5.3절의 독점 계약, 특허, 공정 동조화 장벽 서술을 뒷받침하는 보조 근거로만 읽는다.

- **SNS Insider의 TIM 시장 추정(2026년 9월 22일)**: SNS Insider는 TIM 시장을 2025년 $4.41B에서 2035년 $12.13B, 2026~2035년 CAGR 10.65%로 제시했다 [S-5-66]. 세그먼트별로는 PCM이 약 12.40%, 데이터센터·통신 용도가 약 13.10%로 전체보다 빠르게 성장하고, 2025년 아시아태평양 비중은 약 39.65%라고 했다. 5.5절 표의 다른 기관 추정치와 범위와 판본이 다르므로 기관명과 발행일을 병기하고, 합산하거나 평균 내지 않는다.

- **Indium Corporation의 IMAPS Symposium 2026 예고(2026년 9월 25일)**: Indium Corporation은 9월 29일~10월 1일 미국 보스턴에서 열리는 IMAPS Symposium 2026(전시는 9월 29~30일)의 전시와 발표 계획을 두 건의 보도자료로 공개했다 [S-5-67][S-5-68]. 전시 품목은 1,000W를 넘는 고전력 기기용 솔더 TIM(sTIM), 가압형 Cu 소결 페이스트 InFORCE29, 무가압 배치 오븐 소결용 InBAKE29다 [S-5-67]. 9월 30일 발표 주제에는 피크 리플로 온도가 210°C까지 낮은 무비스무트·인듐 함유 저온 솔더 페이스트, 언더필과 몰딩 컴파운드에 호환되는 초저잔사 플립칩 플럭스, fluxless 솔더링용 접착제가 들어 있다 [S-5-68]. 두 자료는 발표 예고이고 성능 표현은 회사 주장이므로 학회 발표 결과나 고객 채택으로 읽지 않는다.

> **소재 관점에서 보면**: 추가분 가운데 삼성SDI 전자재료에 닿는 신호는 세 갈래다. 하나는 하이브리드 본딩 전환 조건이 수율과 수명 수치로 제시되고 5μm급 범프 양산이 보도 기준 2028년 하반기로 잡히면서, 미세 갭 언더필과 MR-MUF 계열 소재의 개발 기간이 이전 서술보다 1년 길어졌다는 점이다 [S-5-58][S-5-64]. 다른 하나는 언더필 진입의 병목이 물성보다 소켓 오픈이라는 지적과 Sumitomo Bakelite의 채택 성과 주장이다. 두 자료는 성능 데이터와 함께 고객별 배합 대응과 양산 이력이 경쟁 조건이라는 점을 보여 준다 [S-5-60][S-5-65]. 마지막은 TSMC의 Iid 내장 마이크로채널 로드맵과 물성의 공정 조건 의존성 논의다. 두 흐름은 방열 소재 평가를 단일 열전도율 값에서 패키지 전체 열경로와 조건별 물성 데이터로 옮기고 있다 [S-5-59][S-5-61]. 다만 이 신호들은 보도, 회사 주장, 발표 예고 수준이며 삼성SDI의 HBM용 채택을 뜻하지 않는다.

이 자료의 최신 동향 기준 시점은 2026년 9월 27일이다. 날짜와 함께 인용할 만한 것은 세 가지다. 2026년 9월 2일 전자신문 원보도 기준으로 5μm급 범프 양산 추정 시점은 2028년 하반기이다 [S-5-58]. 2026년 9월 9일 SK하이닉스 임원은 하이브리드 본딩 도입 조건으로 수율 90~98%와 수명 3~5년을 제시했다 [S-5-64]. 2026년 9월 17일 공개된 Sumitomo Bakelite 질의응답에서는 과립 봉지재 매출이 2026 회계연도에 두 배로 늘 것이라는 전망이 나왔다 [S-5-60].

5.8 핵심 정리

번호	문장	출처
1	고충전 EMC는 무기 필러가 전체 질량의 85~92%를 차지한다. 열전도율은 일반 등급 1.5~2.5 W/m·K에서 공급사 공개 고방열 등급 3.0 W/m·K로 올라가고, 학술적으로는 구상 알루미나 68.8 vol%에 판상 BN 5.3 vol%를 더했을 때 4.44 W/m·K가 확인되었다.	S-5-25, S-5-06, S-5-26
2	삼성SDI는 2025년 4분기 고방열 EMC를 고객 신제품에 최초 적용했고, 그 적용처는 모바일 AP·메모리 패키징용으로 명시되어 있다. 2026년 주요 고객사 양산 진입은 전망 단계다. 2026년 2분기 전자재료 매출은 2,498억원, 영업이익은 445억원으로 전년 동기 대비 각각 14.5%와 34.8% 증가했다.	S-5-47, S-5-03, S-5-01
3	HBM용 언더필은 세 겹의 장벽에 막혀 있다. MR-MUF 액상 언더필은 Namics가 SK하이닉스에 독점 공급하고, HBM용 NCF 3사 약 99% 점유는 단일 조사기관 추정치이며, 소재 교체는 곧 공정 재최적화를 뜻한다.	S-5-35, S-5-34
4	2026년 9월 TSMC는 공급사들에 5μm급 마이크로범프와 그에 맞는 언더필 개발을 요구했다. 업계는 어려운 쪽이 범프가 아니라 그 범프를 보증할 언더필이라고 말한다. 이 카테고리에 아직 확립된 해법이 없다는 뜻이기도 하다.	S-5-36
5	1kW급 가속기에서 TIM의 성능을 결정하는 것은 벌크 열전도율이 아니라 warpage다. 대형 AI GPU 패키지의 warpage는 상온 ±50~150μm, 극단적으로는 300~400μm인데 목표 본드라인 두께는 20~100μm이므로 두 값이 같은 자릿수다.	S-5-13

5.9 자기 점검 퀴즈

문항 1. EMC의 열전도율을 1.5 W/m·K에서 4 W/m·K 이상으로 올릴 때 가장 먼저 부딪히는 공정상 제약은 무엇인가?

1. 에폭시 수지의 가교밀도가 낮아져 유리전이온도가 함께 떨어지고 고온 강도를 잃는다
2. 필러 충전율과 고열전도 필러 비중이 올라가 용융 점도가 급등하고 미세 갭 침투가 어려워진다
3. 실란 커플링제 함량의 상한이 규격으로 고정되어 있어 계면 접착을 더 개선할 수 없다
4. 열확산도를 재는 laser flash 측정법이 4 W/m·K 이상 구간에서 감도를 잃는다

문항 2. NCF의 필러가 CUF의 필러보다 작은 나노 크기인 이유로 가장 정확한 것은?

1. 나노 필러가 마이크로 필러보다 단위 부피당 열전도율이 본질적으로 높아 방열에 유리하기 때문
2. 나노 필러가 복합재의 점도를 낮춰 열압착 공정 시간을 단축시킬 수 있기 때문
3. 마이크로범프 갭이 10~30μm대로 좁아 마이크로미터급 필러는 접합부에 갇혀 전기적 접촉을 방해하기 때문
4. 나노 필러가 잠재성 경화제의 활성화 온도를 낮춰 저온 접합을 가능하게 하기 때문

문항 3. ASTM D5470과 ASTM E1461(laser flash)의 관계를 가장 정확히 설명한 것은?

1. 둘 다 벌크 열전도율만 측정하는 방법이며 D5470이 시편 준비가 까다로운 대신 정밀도가 높다
2. laser flash는 열확산도에서 벌크 열전도율을 환산하고, D5470은 계면을 포함한 면적 정규화 열임피던스를 주며 두께에 대해 회귀하면 기울기의 역수가 겉보기 열전도율, 절편이 양면 접촉 저항의 합이 된다
3. D5470은 열팽창계수를, laser flash는 유리전이온도를 측정하는 서로 다른 물성의 시험법이다
4. laser flash는 금속계 TIM 전용이고 D5470은 고분자 복합재 전용이어서 두 방법을 교차 적용할 수 없다

문항 4. 덕산하이메탈에 대한 서술 가운데 근거에 맞는 것은?

1. HBM 범프용 솔더볼을 개발하여 삼성전자와 SK하이닉스의 HBM 스택 내부 접합에 공급하고 있다
2. 마이크로솔더볼에서 글로벌 점유율 약 70%를 차지하여 일본 Senju Metal을 제치고 세계 1위에 올랐다
3. 회사 IR 자료 기준 일반 솔더볼에서 국내 점유율 약 70%로 국내 1위이며, 회사 대표는 2025년 11월 HBM에는 자사 솔더볼이 쓰이지 않는다고 밝혔다
4. 일본과 대만이 과점하던 솔더볼 시장을 국산화하여 2026년 1분기 연결 기준으로 흑자 전환에 성공했다

문항 5. hybrid bonding이 HBM 스택 내부에 전면 적용되었을 때 소재 수요 변화로 가장 정확한 것은?

1. 패키지 전체에서 솔더 수요가 즉시 사라지고 솔더볼 공급사는 대체 시장을 찾아야 한다
2. 스택 내부의 솔더 캡·플럭스·갭필 언더필이 소멸하고 본딩면 CMP 슬러리와 post-CMP 세정액, SiCN 전구체 수요가 신설되지만, 스택 외부의 C4 범프와 BGA 볼은 남는다
3. 다이 간 거리가 줄어 열밀도가 낮아지므로 오버몰드 EMC의 열전도 요구가 함께 완화된다
4. 계면 수가 줄어 패키지 내부 열저항이 사라지므로 TIM의 요구 사양도 함께 낮아진다

서술형 1. 삼성SDI가 고방열 EMC에서 TIM으로 확장할 때 넘어야 할 기술적·사업적 관문을 각각 두 가지씩 들고, 그 근거 수치를 함께 쓰시오.

서술형 2. 한 고객이 "귀사의 고방열 EMC 열전도율이 4 W/m·K라고 들었는데 우리 시뮬레이션에서는 기대만큼 온도가 안 내려간다"고 말했다. 소재 담당자로서 확인해야 할 사항을 측정법 관점에서 세 가지 이상 쓰시오.

정답과 해설

아래는 위 문항의 해설이다. 먼저 스스로 답한 뒤 이 상자를 펼쳐 보듯 읽는다.

문항 1

정답은 2번이다. 열전도율 향상 수단은 사실상 고열전도 필러의 부피 분율 증가이며, 충전율이 올라가면 용융 점도가 비선형으로 급등한다. HBM 스택이나 미세 갭 몰딩에서는 침투성이 곧 보이드 억제이므로 열전도율과 유동성은 직접 충돌한다. 1번은 방향이 틀렸다. 필러 증가는 가교밀도와 직접 관계가 없고 고충전은 오히려 겉보기 모듈러스를 높인다. 3번은 사실이 아니다. 실란 함량은 특허 문헌 기준 약 0.05~2wt% 범위에서 설계되며 연구 사례에서는 3.7wt%까지 쓴다. 4번도 틀렸다. laser flash는 금속을 포함해 더 높은 열전도율까지 측정하는 표준 방법이다.

문항 2

정답은 3번이다. TC 본딩에서는 압착 중 수지가 솔더 접합부 밖으로 밀려나야 접촉이 생기는데, 필러 입경이 크면 솔더 사이에 갇혀 접합 불량을 만든다. HBM용 NCF가 평균 100nm급 나노 실리카를 쓰는 이유가 이것이다. 1번은 틀렸다. 같은 물질이라면 입자가 작을수록 계면 수가 늘어 오히려 복합재 열전도에 불리하다. 2번은 정반대다. 나노 필러는 비표면적이 커서 같은 부피 분율에서 점도를 크게 높이며 그래서 분산 설계가 핵심 자산이 된다. 4번은 무관하다. 잠재성 경화제의 활성화는 경화제 화학과 온도가 결정한다.

문항 3

정답은 2번이다. laser flash는 광 펄스로 열확산도 α를 구하고 k = α·ρ·cp로 환산하므로 벌크 물성을 주지만 계면 저항을 포함하지 않는다. D5470은 일차원 열유속으로 면적 정규화 열임피던스 Z(K·cm²/W)를 재므로 계면이 포함된다. Z = t/k + R_c1 + R_c2이므로 두께 t에 대한 회귀에서 기울기는 1/k이고 그 역수가 겉보기 열전도율 k(W/m·K), 절편이 양면 접촉 열저항의 합이다. 기울기를 곧바로 열전도율로 읽으면 크기와 단위가 모두 틀어진다. 1번은 틀렸다. D5470은 벌크만 재지 않는다. 3번은 전혀 다른 물성을 잘못 대응시킨 것이다. CTE는 TMA, Tg는 DSC나 DMA로 잰다. 4번도 틀렸다. 소재 종류로 배타적으로 나뉘지 않으며, TIM은 계면이 본질이라 D5470이 정본이고 EMC 벌크는 laser flash가 정본일 뿐이다.

문항 4

정답은 3번이다. 국내 점유율 약 70%와 국내 1위는 회사 IR 자료 기준으로 확인되고, HBM 미사용은 2025년 11월 17일 대표의 직접 발언이다. 1번은 회사가 명시적으로 부인한 내용이다. 대표는 HBM 내부 미세 접합이 직접 솔더 도금 방식이라고 설명했다. 2번은 출처가 확인되지 않는다. IR 자료는 마이크로솔더볼에 대해 글로벌 최고 수준의 기술력이라고만 적고 점유율 수치를 제시하지 않는다. 4번은 두 군데가 틀렸다. 원 보도의 표현은 일본 의존이지 일본·대만 과점이 아니며, 흑자 전환은 1분기가 아니라 2026년 2분기 연결 기준(영업이익 101억원)이고, 1분기 연결 영업이익은 -7억원이며 같은 분기 별도 영업이익은 23억원이었다.

문항 5

정답은 2번이다. Cu-Cu 직접 접합은 솔더 캡, 플럭스, 갭필 언더필 세 가지를 동시에 대체하지만 그 소멸은 전환된 층에서만 일어난다. 스택과 인터포저, 인터포저와 기판, 패키지와 보드를 잇는 접합은 그대로 남는다. 1번은 층 단위 변화를 패키지 단위로 확대한 과장이다. 3번은 인과가 반대다. 스택 외곽 오버몰드와 2.5D 오버몰드, fan-out 구조재로서의 EMC 수요는 유지되며 다이 간 거리가 줄어 열밀도가 올라가므로 열전도 스펙은 오히려 상향된다. 4번도 틀렸다. hybrid bonding은 패키지 내부 열저항을 줄일 뿐이고 패키지 밖으로 열을 빼는 TIM의 역할은 그대로이며, 전력이 계속 올라가므로 요구는 더 강해진다.

서술형 1

기술적 관문 하나는 성능 영역의 불연속이다. 고방열 EMC의 목표선이 4 W/m·K 이상인 데 비해 서버 TIM1은 인듐 계열이 86 W/m·K 수준이고 열저항이 0.003~0.009 °C·cm²/W 수준이므로, 폴리머·필러 복합재의 연장선으로는 도달할 수 없는 영역이다. 다른 하나는 평가 축의 전환이다. 대형 AI GPU 패키지 warpage가 상온 ±50~150μm, 극단 300~400μm이고 목표 BLT가 20~100μm이므로 벌크 열전도율이 아니라 BLT 제어와 압력 분포, 사이클 내구가 성능을 결정한다. 사업적 관문 하나는 판매 형태의 변화다. 소재 단품이 아니라 클램프 하중, 콜드플레이트 강성, 곡률 인가 검증법을 묶은 솔루션으로 팔아야 하므로 신뢰성 데이터 구축 비용이 선행한다. 다른 하나는 냉각 아키텍처 리스크다. 액체냉각 침투율이 2025년 33%에서 2027년 60%에 근접하고 액침이 확산되면 폴리머 TIM은 냉각액 조합별로 팽윤·용출 여부가 갈리므로, 목표 냉각액을 특정한 호환성 검증 데이터가 없으면 진입 리스크가 커진다.

서술형 2

첫째, 측정법과 방향을 확인한다. 4 W/m·K가 laser flash 기준 벌크 값인지 ASTM D5470 기준 계면 포함 실효 값인지에 따라 시스템 해석에 넣을 수치가 달라진다. 필러가 판상이면 면내와 관통 방향의 값이 크게 다르므로 방향도 확인한다. 둘째, 고객 해석 모델의 물성이 단일 값인지 온도 의존 값인지 확인한다. 동작 온도가 100°C를 넘는 구간에서는 열전도율과 모듈러스가 달라지고 Tg를 지나면 CTE가 α1에서 α2로 바뀐다. 셋째, 실제 몰딩 두께와 보이드를 확인한다. 몰드가 얇으면 벌크 열전도율보다 계면 저항의 기여가 커지고 보이드는 국소 열유속을 크게 증폭시킨다. 넷째, 열 경로 전체의 병목을 확인한다. 오버몰드가 아니라 층간 접합재나 TIM1이 지배적 저항이면 EMC를 개선해도 온도가 내려가지 않는다. 다섯째, warpage를 확인한다. JESD22-B112 프로파일에서 측정한 변위가 크면 TIM 본드라인이 불균일해져 EMC 개선분이 상쇄된다.

5.10 용어 사전

용어(영문)	한 문장 정의	처음 나온 절
EMC(Epoxy Molding Compound)	에폭시 수지에 무기 필러를 고충전하여 칩을 봉지·고정·방열하는 열경화성 복합재	5.1
GMC(Granular Molding Compound)	compression molding 장비에 투입하는 과립형 EMC로 대면적 몰딩과 HBM 오버몰드에 쓰인다	5.1
LMC(Liquid Molding Compound)	미세 갭 침투와 패널 봉지에 쓰이는 액상 EMC이며 MR-MUF용 언더필이 이 계열의 특수 등급이다	5.1
CUF(Capillary UnderFill)	칩 접합 후 옆면에 디스펜싱하여 모세관력으로 갭을 채우는 액상 언더필	5.3
MUF·MR-MUF(Molded UnderFill)	갭필과 몰딩을 한 번의 액상 소재 주입으로 동시에 수행하는 방식	5.3
NCF(Non-Conductive Film)	웨이퍼에 미리 라미네이션한 뒤 열압착으로 접합하는 필름형 비전도성 언더필	5.3
NCP(Non-Conductive Paste)	NCF와 같은 기능을 페이스트로 선도포하는 소재	5.3
Film-forming resin	NCF가 필름 형태를 유지하도록 넣는 고분자량 수지 성분	5.3
잠재성 경화제(latent curing agent)	보관 중에는 반응하지 않다가 압착 온도에서 활성화되는 경화제	5.3
실란 커플링제(silane coupling agent)	무기 필러와 유기 수지의 계면을 결합시켜 강도·유동·경화속도를 조절하는 첨가제	5.2
나선 유동(spiral flow)	나선형 금형에서 흘러간 길이로 EMC의 유동성과 경화 속도를 평가하는 시험	5.2
CTE α1·α2	TMA로 측정한 Tg 이하와 Tg 이상 구간의 열팽창계수로 warpage 해석에 둘 다 필요하다	5.6
Shadow moiré	기준 격자와 그림자 격자의 간섭 무늬로 패키지 면외 변위를 측정하는 warpage 표준 측정법	5.6
Laser flash(ASTM E1461)	광 펄스로 열확산도를 구해 밀도와 비열을 곱해 벌크 열전도율을 환산하는 방법	5.6
ASTM D5470	정상상태 열유속으로 면적 정규화 열임피던스를 재고, 두께 회귀에서 기울기의 역수로 겉보기 열전도율을 절편으로 양면 접촉 저항을 얻는 TIM 표준 시험법	5.6
TIM1 / TIM1.5 / TIM2	다이와 lid 사이, lidless에서 다이와 콜드플레이트 직결, lid와 히트싱크 사이의 세 열계면 층위	5.5
BLT(Bond Line Thickness)	TIM이 실제로 형성하는 접착층 두께로 20~100μm가 목표 범위다	5.5
sTIM(solder TIM)	인듐 등 금속 솔더로 다이와 스프레더를 야금학적으로 접합하는 고성능 TIM1	5.5
PCM(Phase Change Material)	특정 온도에서 연화하여 계면을 메우는 상변화형 TIM	5.5
D2C(Direct-to-Chip)	콜드플레이트를 칩 패키지에 직접 접촉시키는 액체냉각 방식	5.5
Pump-out	반복 열사이클에서 폴리머 TIM이 계면 밖으로 밀려나 열성능이 저하되는 현상	5.5

용어(영문)	한 문장 정의	처음 나온 절
Cu pillar	마이크로범프에서 솔더 캡을 떠받치는 구리 기둥 구조	5.4
IMC(Intermetallic Compound)	Sn과 Cu의 반응으로 접합 계면에 생기는 취성 금속간화합물	5.4
iHBM / HPB(Heat Path Block)	스택 내부 발열 지점에 열전도·절연 소재나 전용 열경로를 두는 SK하이닉스와 삼성전자의 방열 구조	5.5
Fluxless bonding	플라즈마 활성화 등으로 산화막을 제거하여 플럭스 잔사 없이 접합하는 방식	5.4

5.11 더 읽을 자료

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-5-13	학회	TIM Strategy for Thermal Management in AI and HPC Applications	IEEE EPS Newsletter / Jie Geng(Indium Corp.)	2026-03	TIM1/1.5/2 정의, warpage 정량, 금속 TIM 성능표, 액침 호환성을 한 문서에서 볼 수 있다	OA
S-5-21	논문	Thermal Management and Reliability Engineering of Advanced HBM Packages	Micromachines 17(9) 1065	2026-09-08	이 축에서 가장 최신인 종합 리뷰로 소재·계면·통합 설계를 한 틀에서 다룬다. TIM 실효 열저항 3항 분해와 열전도 언더필 0.22→10.18 W/m·K 사례 수록	OA, 전문 확인
S-5-22	논문	Thermal Issues Related to Hybrid Bonding of 3D-Stacked HBM	Electronics 14(13) 2682	2025	본딩 방식의 열적 함의를 정량으로 준다. 14°C의 기준과 원출처를 확인할 수 있다	OA, 전문 확인
S-5-23	논문	The development of thermal interface materials	Nature Electronics 8:1146-1155	2025-12	열전도·순응성·두께·절연의 상충을 통합 설계 틀로 정리한 Perspective. BLT가 조립 결과라는 지적의 근거	구독, 전문 확인
S-5-24	논문	Capillary Underfill Flow Simulation as a Design Tool	Micromachines 14(10) 1885	2023	언더필 유동 해석에서 비뉴턴 점도와 접촉각이 왜 필수 입력인지 설명한다	OA
S-5-25	논문	Effect of Organosilane Coupling Agents on Silicate-Filled EMC	Materials 13(1) 177	2020	커플링제 한 종류가 Tg·유동·점도를 어떻게 바꾸는지 EMC 배합의 감각을 준다	OA
S-5-26	논문	Rheological Properties and Thermal Conductivity of Epoxy Filled with Alumina and Boron Nitride	Polymers 11(4) 597	2019	고방열 4 W/m·K대를 만드는 구형·판상 필러 조합의 최적 조성을 준다	OA
C-5-30	논문	Thermal Improvement of HBM with Joint Thermal Resistance Reduction for Scaling 12 Stacks and Beyond	IEEE ECTC / 삼성전자	2023-05	TC와 MR 접합부 열저항 비교의 원논문으로, S-5-22와 방향이 다른 결과를 대조할 수 있다	구독
S-5-28	학회	Non-Conductive Film (NCF) Underfill: Materials, Performance, and Evolution	IMAPS Device Packaging Conference	2016	NCF의 네 성분 구조와 나노 필러 설계 근거를 원문으로 확인할 수 있다	OA
C-5-14	기업발표	LOCTITE ECCOBOND E 1172 A Technical Data Sheet	Henkel	2020-06	실제 언더필 데이터시트에서 필러·점도·Tg·CTE·흡습 조건을 읽는 연습에 적합하다	OA

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
C-5-08	기업발표	Molding Compound 제품자료(고열전도 LMC)	Nagase ChemteX	2023	k·CTE·Tg·필러 함량·입경·측정법이 모두 공개된 드문 자료다	OA
S-5-14	표준	ASTM D5470 Thermal Transmission Properties of Thin Thermally Conductive Materials	ASTM International	현행판	TIM 스펙 대화의 공통 언어이며 체결압 조건 병기의 근거다	유료
S-5-16	표준	JESD22-B112 Package Warpage Measurement at Elevated Temperature	JEDEC	현행판	warpage 수치를 주고받을 때 측정 조건을 합의하는 근거	무료등록
S-5-18	학회 보도	SK hynix HBM Packaging at Hot Chips 2026	ServeTheHome	2026-08-23	TC-NCF와 MR-MUF 트레이드오프를 정리한 최신 2차 보도	OA
S-5-19	기술블로그	sTIMs for AI Chips at ECTC 2026	AtlasPCB	2026-05-26	인듐 sTIM의 보이드율·BLT·신뢰성 수치를 학회 발표 기준으로 정리	OA
S-5-36	뉴스	TSMC to Keep Microbump for HBM Packaging, Tasks Suppliers with 5μm Challenge	BigGo Finance	2026-09-02	언더필 카테고리의 최신 기술 과제를 가장 구체적으로 서술한 기사	OA
S-5-02	기업발표	삼성SDI 2026년 1분기 실적발표 컨퍼런스콜 전문	디일렉	2026-04-28	"글로벌 반도체사에 패키징 소재 신규 진입 등 해외 고객 다변화" 발언과 고방열 패키징 소재 발언의 원문(메모리사로 특정되지 않음)	무료등록
S-5-47	기업발표	삼성SDI 2025년 4분기 및 연간 실적 발표 자료	삼성SDI IR	2026-02-02	고방열 EMC 최초 적용처가 모바일 AP·메모리임을 확인하는 1차 자료	OA

DAY 6 · 예상 소요 2.5시간

Day 6. 소재 전지도 II: 유전체, 기판, CMP, 광

선수 지식 Day 2의 요소 공정(RDL·기판·본딩) 용어, Day 4의 hybrid bonding 전환 일정, Day 5의 몰딩·언더필 소재 지도

학습 목표: 이 Day를 마치면 다음 세 가지를 할 수 있다.

1. PID·PSPI·PBO의 화학과 요구 물성(경화 온도, 유전율·손실, 해상도, 잔류응력)을 설명하고, fan-out RDL·FOPLP·유리기판 재배선·HBM base die RDL이라는 네 적용처가 각각 어떤 물성을 요구하는지 구분할 수 있다.
2. ABF 과점과 2026년 가격 인상이 만든 이원화 창, 유리기판 3국 진영의 2026년 실제 진도, hybrid bonding용 CMP가 배선 CMP와 목표 함수 자체가 반대라는 사실을 근거 수치와 함께 설명할 수 있다.
3. 적층 고도화, bumpless 전환, base die 파운드리화, 패널화·유리화, 광통합이라는 다섯 방향이 각각 어떤 소재 수요를 없애고 무엇을 새로 만드는지를 소재 수요 이동표로 재구성하고, 삼성SDI 접점을 판단할 수 있다.

선수 지식: Day 2의 RDL·기판·본딩 용어, Day 4의 hybrid bonding 전환 일정, Day 5의 EMC·언더필 공급 구도 / **예상 소요**: 2.5시간

6.0 한눈에 보기

Day 5가 패키지를 물리적으로 붙이고 덮고 식히는 소재를 다루었다면, Day 6은 전기를 통하게 하고 절연하고 평탄하게 만드는 소재를 다룬다. 삼성SDI는 이 지도의 두 축에 해당하는 제품을 이미 라인업에 올려 두었다. PID(Photo Imageable Dielectric, 감광성 절연재)와 CMP 슬러리다 [S-6-04]. PID는 재배선층(RDL)의 절연막이다. CMP 슬러리는 hybrid bonding이 도입되면 솔더와 언더필을 대체하며 수요가 급증하는 소모품이다.

Day 6의 내용은 여섯 갈래로 나뉜다.

- RDL 유전체 계열(PID·PSPI·PBO)
- 기판 빌드업 유전체인 ABF와 그 과점 구조
- 유리 코어 기판과 유리 인터포저, 웨이퍼를 임시로 떠받치는 글라스 캐리어
- hybrid bonding이 요구하는 본딩면 CMP와 세정, SiCN 본딩 유전막
- 초박형 웨이퍼를 다루는 임시접합(TBDB) 소재
- 광통합(CPO)이 여는 광학 소재 카테고리

여섯 갈래를 따로 보면 소재 목록의 나열에 그친다. Day 6은 이것들을 하나의 인과 구조로 묶는다. 그 구조가 6.6절의 "5대 방향별 소재 수요 이동표"이며, Day 6에서 가장 중요한 표다. 표의 다섯 행은 AI 패키징이 실제로 움직이는 다섯 방향이다. 각 행마다 사라지는 소재와 새로 생기는 소재, 그 시점, 삼성SDI의 접점이 대응된다.

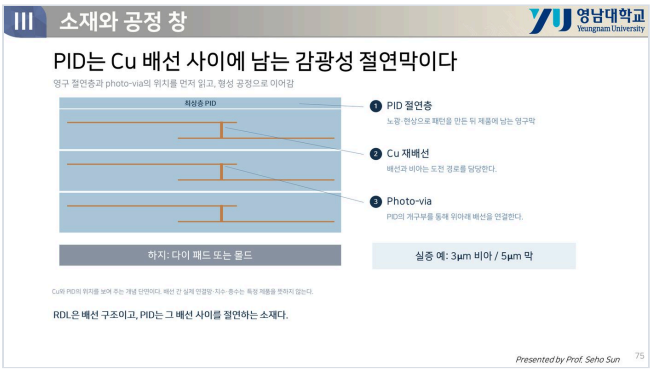
수치를 다룰 때 특히 조심할 것이 두 가지 있다. 하나는 PID와 유리기판 시장 규모가 조사기관마다 네 배에서 열 배까지 갈린다는 점이다 [S-6-09]. 단일 수치로는 판단할 수 없고, 범위와 기관명을 함께 보아야 한다. 다른 하나는 유리기판 일정이 2026년 들어 반복적으로 뒤로 밀렸다는 점이다. 2025년 보도에 근거한 "2027년

양산" 같은 서술은 근거가 없다 [S-6-15][S-6-18].

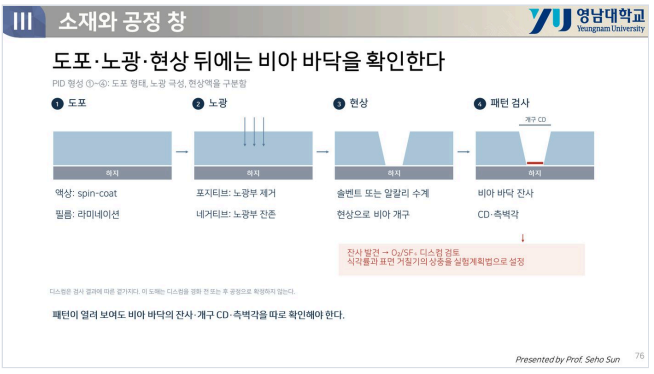
Day 6의 여섯 갈래는 Day 5의 소재군과 성격이 다르다. Day 5의 EMC와 언더필은 이미 수십 년 동안 공급 구도가 굳어진 시장이어서, 새로 들어가려면 현직 공급사를 밀어내야 한다. 반면 Day 6의 여섯 갈래 중 절반은 아직 표준 공정과 표준 소재가 확정되지 않았다. 유리 위에 올라갈 빌드업 유전체가 무엇이 될지, hybrid bonding용 슬러리의 사양이 어떻게 굳을지, CPO의 광학 접착제를 누가 공급할지가 모두 열려 있다. 소재 회사에 이런 상태는 위험이자 기회다. 규격이 없으니 개발 방향을 스스로 정해야 하는 부담이 있지만, 선점하면 그 규격이 곧 자사 제품이 된다.

그래서 Day 6은 "무엇이 표준인가"보다 "어디가 아직 비어 있는가"를 찾으며 읽는 것이 좋다. 각 절 끝의 "소재 관점에서 보면" 문단이 그 빈자리를 지목한다. 절을 읽고 나면 그 절의 소재군에서 현직 공급사가 누구이고, 그들이 아직 풀지 못한 문제가 무엇인지를 한 문장으로 설명할 수 있어야 한다.

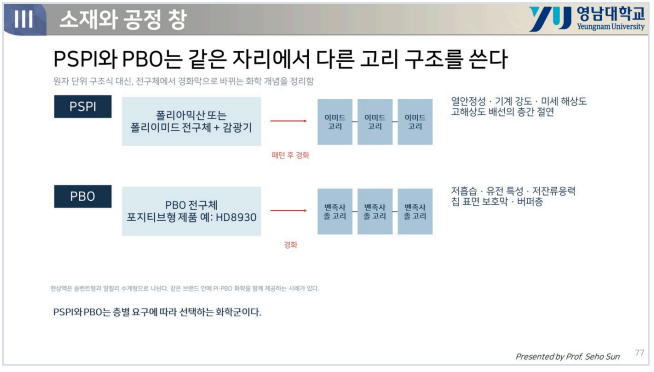
6.1 PID·PSPI·PBO: 재배선층의 절연막



슬라이드 75쪽 · PID는 Cu 배선 사이에 남는 감광성 절연막이다



슬라이드 76쪽 · 도포·노광·현상 뒤에는 비아 바닥을 확인한다



슬라이드 77쪽 · PSPI와 PBO는 같은 자리에서 다른 고리 구조를 쓴다

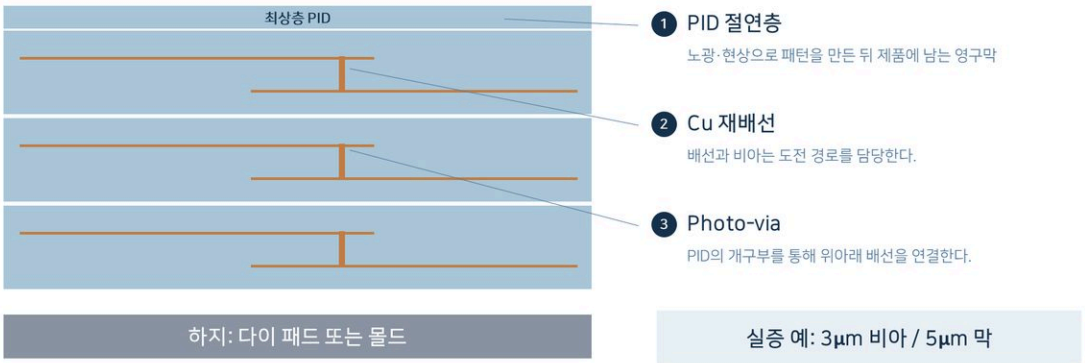
그 밖의 관련 슬라이드: 4쪽 · 78쪽

관련 도해: F-2-04A RDL: 선택 도금과 매립 후 평탄화의 차이 · F-2-04B 패널 다마신 CMP는 두 슬러리의 정합 문제다 · F-6-05A 비아를 만드는 방식이 달라지면 빌드업 소재가 바뀐다

재배선층의 절연막은 두 가지 일을 동시에 해야 한다. 구리 배선 사이를 절연하면서, 노광과 현상만으로 비아(via) 구멍을 낼 수 있어야 한다. 별도의 레지스트를 덮고 식각하는 공정을 생략하기 위해서다. 감광성이 있는 영구 절연막이라는 뜻에서 이 계열을 PID(Photo Imageable Dielectric)라 부른다. 그중 폴리이미드 화학을 쓰는 것을 PSPI(Photosensitive Polyimide), 폴리벤족사졸 화학을 쓰는 것을 PBO라 부른다. 에폭시아크릴레이트계 감광 조성물도 쓰이지만, 고온 안정성이 필요한 선단 패키지에서는 PSPI와 PBO가 주류다.

PID는 Cu 배선 사이에 남는 감광성 절연막이다

영구 절연층과 photo-via의 위치를 먼저 읽고, 형성 공정으로 이어간다.



1. PID 절연층
   노광·현상으로 패턴을 만든 뒤 제품에 남는 영구막
2. Cu 재배선
   배선과 비아는 도전 경로를 담당한다.
3. Photo-via
   PID의 개구부를 통해 위아래 배선을 연결한다.

실증 예: 3μm 비아 / 5μm 막

Cu와 PID의 위치를 보여 주는 개념 단면이다. 배선 간 실제 연결망·치수·층수는 특정 제품을 뜻하지 않는다.

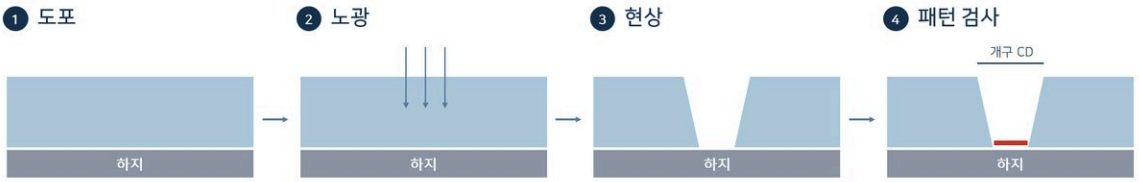
RDL은 배선 구조이고, PID는 그 배선 사이를 절연하는 소재다.

F-6-01A · 근거: S-6-60 · S-6-61 · 개념도, 축척 아님

도해 F-6-01A · PID는 Cu 배선 사이에 남는 감광성 절연막이다 · 근거 S-6-60, S-6-61
RDL은 배선 구조이고, PID는 그 배선 사이를 절연하는 소재다.

도포·노광·현상 뒤에는 비아 바닥을 확인한다

PID 형성 ①~④: 도포 형태, 노광 극성, 현상액을 구분한다.



1 도포	2 노광	3 현상	4 패턴 검사
액상: spin-coat	포지티브: 노광부 제거	솔벤트 또는 알칼리 수계	비아 바닥 잔사
필름: 라미네이션	네거티브: 노광부 잔존	현상으로 비아 개구	CD·측벽각

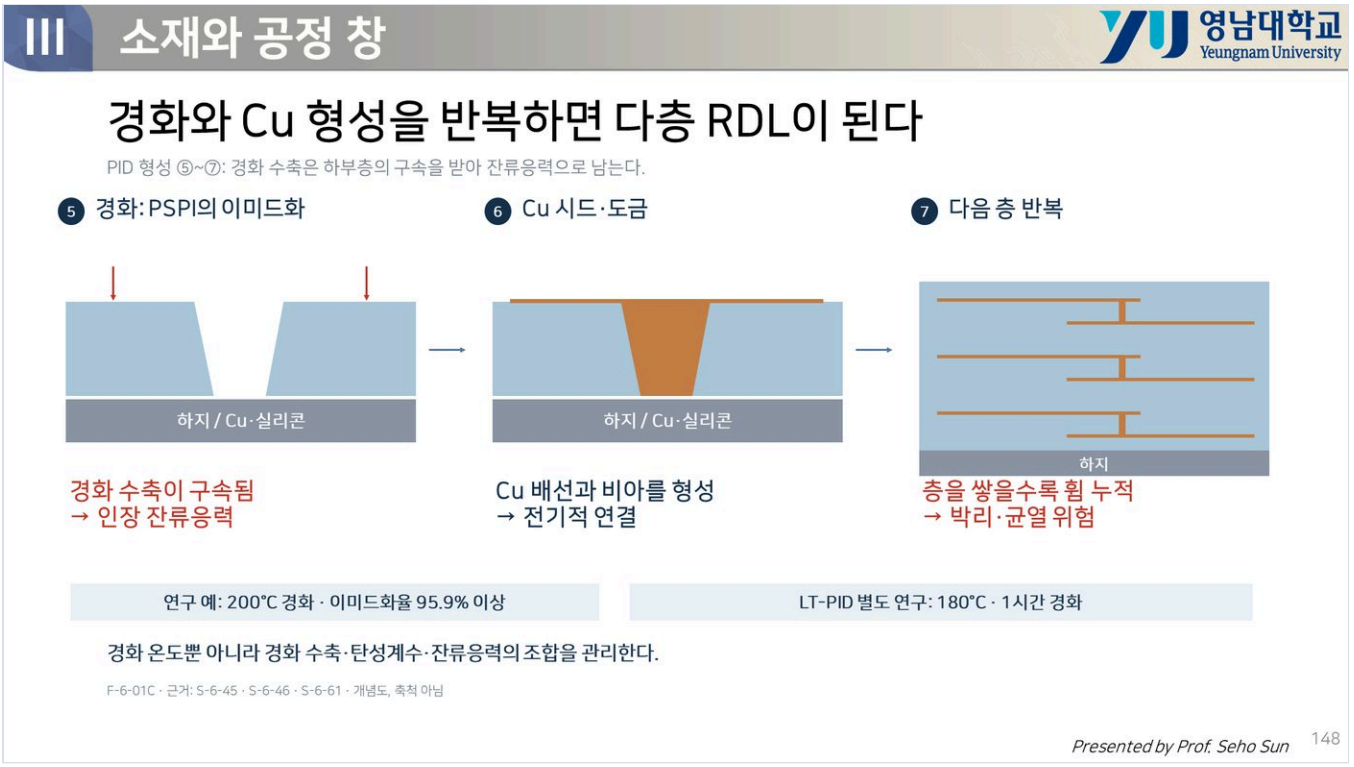
잔사 발견 → O_2/SF_6 디스컴 검토
식각률과 표면 거칠기의 상충을 실험계획법으로 설정

디스컴은 검사 결과에 따른 곁가지다. 이 도해는 디스컴을 경화 전 또는 후 공정으로 확정하지 않는다.

패턴이 열려 보여도 비아 바닥의 잔사·개구 CD·측벽각을 따로 확인해야 한다.

F-6-01B · 근거: S-6-46 · 개념도, 축척 아님

도해 F-6-01B · 도포·노광·현상 뒤에는 비아 바닥을 확인한다 · 근거 S-6-46
패턴이 열려 보여도 비아 바닥의 잔사·개구 CD·측벽각을 따로 확인해야 한다.



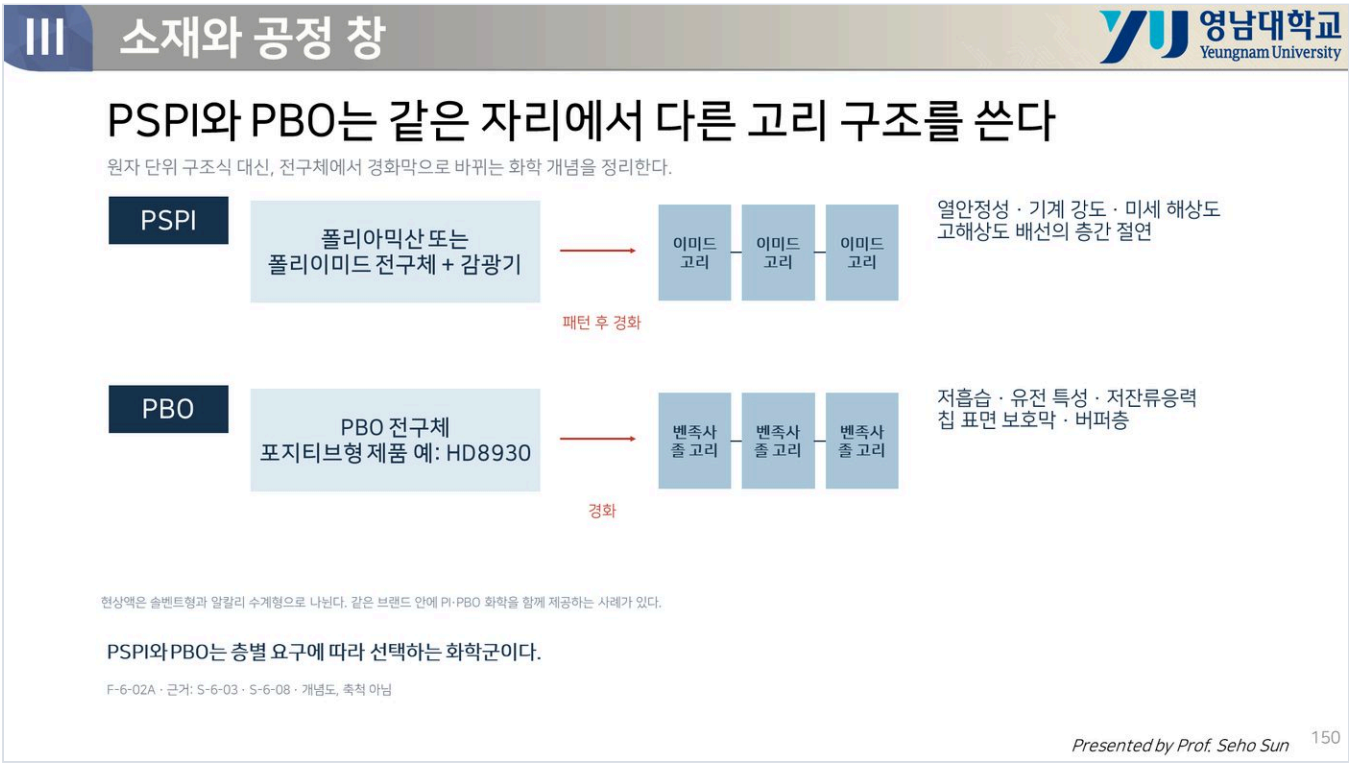
도해 F-6-01C · 경화와 Cu 형성을 반복하면 다층 RDL이 된다 · 근거 S-6-45, S-6-46, S-6-61
경화 온도뿐 아니라 경화 수축·탄성계수·잔류응력의 조합을 관리한다.

도해 F-6-01D · 같은 PID라도 하지와 면적이 달라지면 요구가 바뀐다 · 근거 S-6-61
Fan-out·패널·유리·base die RDL은 같은 화학의 서로 다른 검증 경로다.

화학적으로 PSPI는 폴리아믹산(polyamic acid) 또는 폴리이미드 전구체에 감광기를 붙여 만든다. 노광된 부분이 가교되어 현상액에 남는 네거티브형과, 노광된 부분이 용해되어 씻겨 나가는 포지티브형이 모두 상용화되어 있다. 현상액으로도 구분되는데, 유기 용제를 쓰는 솔벤트 현상형과 알칼리 수용액을 쓰는 수계 현상형이 있다. 환경 규제와 폐액 처리 비용 때문에 알칼리 현상형 비중이 커지고 있다. 주쇄에 친수성기를 도입

해 알칼리 수용액 용해성과 저온 경화성을 함께 확보하는 구조 설계가 학술 쪽에서 제시되어 있다 [S-6-08]. 도포 후에는 열을 가해 이미드화(imidization)를 진행시켜 최종 물성을 얻으며, 이 경화 온도가 이 소재군의 가장 중요한 경쟁축이다.

PSPI와 PBO는 같은 자리에서 경쟁하지만 성격이 다르다. 폴리이미드는 주쇄에 이미드 고리가 반복되는 구조여서 열안정성과 기계 강도가 높고 미세 해상도에서 유리하다. 폴리벤족사졸은 벤족사졸 고리가 있는 구조로 흡습이 낮고 유전 특성이 좋으며 경화 후 잔류응력이 작다. 그래서 고해상도 미세 배선의 층간 절연에는 PSPI가, 칩 표면을 덮는 보호막이나 버퍼층에는 PBO가 많이 쓰인다. 최근에는 이 구분이 흐려지고 있다. 한 공급사가 같은 브랜드 아래 두 화학을 모두 내놓고 고객이 층별로 골라 쓰게 하는 방식이 표준이 되었다 [S-6-03].



도해 F-6-02A · PSPI와 PBO는 같은 자리에서 다른 고리 구조를 쓴다 · 근거 S-6-03, S-6-08
PSPI와 PBO는 층별 요구에 따라 선택하는 화학군이다.

도해 F-6-02B · 분자 설계는 저온 경화·접착·저유전을 함께 조정한다 · 근거 S-6-08, S-6-45, S-6-07
분자 설계의 목표는 낮은 온도 하나가 아니라 패턴·계면·유전 특성의 조합이다.

도해 F-6-02C · 제품 조건과 유전 물성의 측정 주파수를 같이 읽는다 · 근거 *C-6-02, C-6-03, C-6-04*
등급명·경화 조건·측정 주파수가 빠진 값은 직접 비교하지 않는다.

경화 온도가 중요한 이유는 물리적이다. 폴리이미드는 통상 350°C 안팎에서 이미드화가 완결된다. 그런데 이미 소자와 범프가 올라간 웨이퍼를 그 온도로 올리면 열팽창 계수 차이로 휨(warpage)이 생기고, 저온 솔더가 녹으며 소자가 손상된다. 그래서 200°C 이하에서 이미드화율을 끌어올리는 저온 경화 설계가 연구의 초점이 되었다.

불소를 품은 피리딘 측기가 달린 디아민 $PyFNH_2$를 도입해 200°C 경화에서 이미드화율 95.9% 이상을 얻고 선폭 3μm 패턴까지 구현한 사례가 대표적이다 [S-6-45]. 같은 측기가 구리와 배위 결합을 이루어 폴리이미드와 구리 사이의 접착 강도를 함께 올린다는 점도 보고되었다. 접착 촉진을 첨가제가 아니라 분자 설계로 내재화하는 경로다 [S-6-45].

제품 쪽에서도 같은 방향이 확인된다. HD MicroSystems의 포지티브형 PBO 전구체 HD8930은 경화 온도 200~250°C에 신율 80%와 탄성계수 1.7~1.9GPa를 제시한다 *[C-6-02]*. Toray의 Photoneece LT 계열은 170~250°C에서 1시간 경화에 신율 60% 이상과 탄성계수 1.7~2.5GPa를 제시한다 *[C-6-03]*. JSR은 200°C 이하 경화에 신율 60% 초과를 목표로 한 저온 폴리이미드를 개발 단계 제품으로 공개하였다 *[C-6-06]*.

저온 경화와 저유전 손실은 원래 상충하는 목표이며, 이 둘을 함께 얻는 것이 현재의 개발 축이다. 불소 함유기를 쓰지 않고 부피가 큰 디아민 구조로 자유부피를 키워 유전율을 낮추는 분자 설계가 그 접근 가운데 하나다 [S-6-07]. 구체적인 유전 물성은 측정 주파수를 함께 보아야 한다. 2019년 연구용 PID 사례를 보면 220°C 경화품이 40GHz에서 손실계수 0.0176, 200°C 경화품이 30GHz에서 0.013으로 보고되었다. 두 값은 측정 주파수가 다르므로 직접 비교할 수 없다 *[C-6-04]*. 주파수가 빠진 유전 물성 값끼리는 비교가 성립하지 않는다.

잔류응력은 경화 온도와 별개의 독립 변수다. 고분자는 경화되면서 수축하는데, 이 수축을 하부 구리 배선과 실리콘이 구속하면 막 안에 인장 응력이 남는다. 이 응력이 크면 웨이퍼가 휘고, 층을 쌓을수록 휨이 누적되며, 심하면 막이 박리되거나 균열이 생긴다. 그래서 저수축과 저잔류응력은 저온 경화와 함께 이 소재군의 기본 요구다. 공급사들은 경화 수축률과 막의 탄성계수를 함께 낮추는 방향으로 배합을 조정한다 [S-6-09].

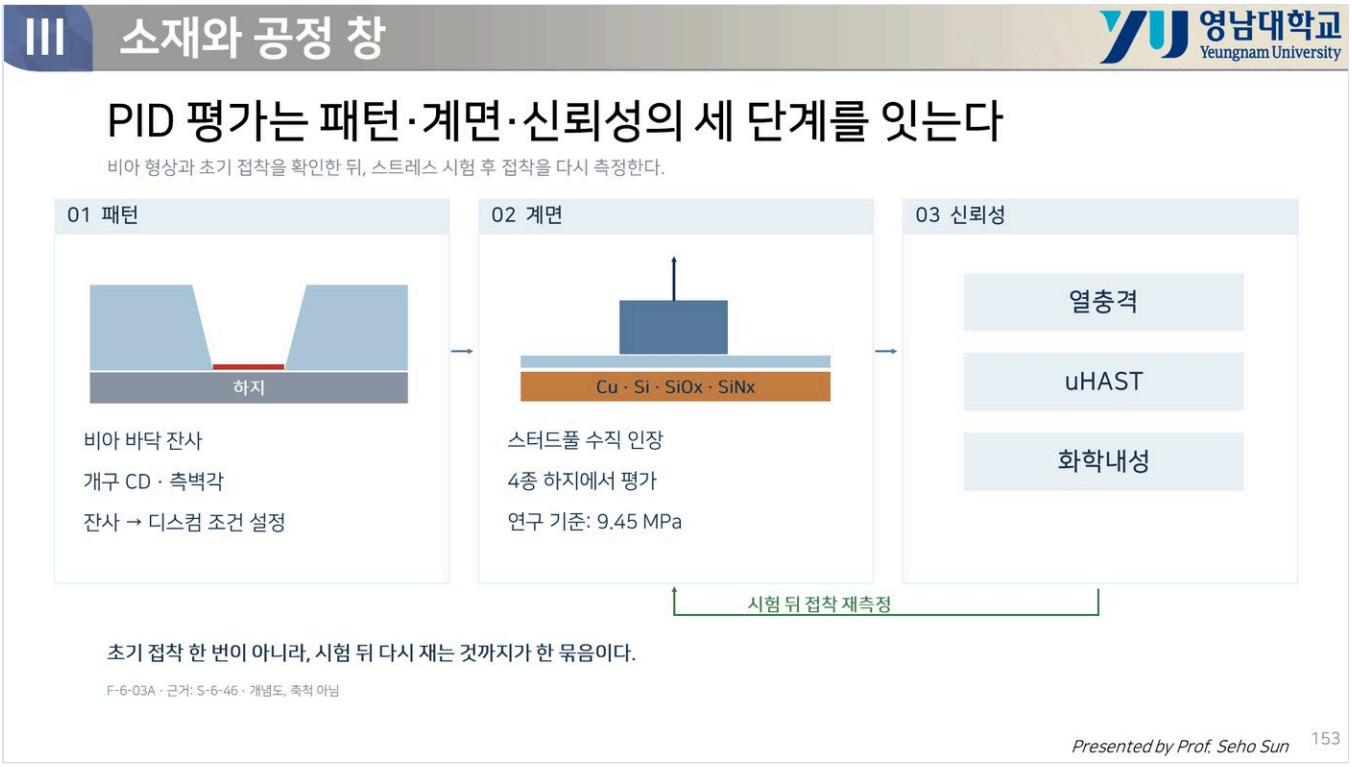
다만 저온 경화가 치수 안정성을 반드시 희생시키는 것은 아니다. 앞의 $PyFNH_2$ 연구에서 200°C로 경화한 막이 350°C로 경화한 대응 시료보다 오히려 열팽창 계수가 낮았고, 2.5% 조성이 24 ppm/K로 가장 좋았다 [S-6-45]. 저자들은 높은 경화 온도에서 분자쇄 배열이 흐트러지기 때문으로 해석한다.

계면 쪽 요구도 규격으로 정해져 있다. 한 연구는 저온 감광성 유전체를 Cu, Si, SiOx, SiNx 네 기판에서 평가했다. 합격선은 MIL-STD-883K METHOD 2027.2가 요구하는 9.45MPa다. 비교 대상이던 상용 PSPI는 구리에서 뚜렷하게 약했고, 실란계 접착 촉진제를 넣어도 그 열세를 완전히 없애지 못했다 [S-6-46]. 여기에 구리에 대한 밀착력과 현상액·박리액에 대한 내약품성까지 더하면, 한 소재가 동시에 만족시켜야 하는 물성이 여섯 가지를 넘는다.

물성값 자체보다 그 값을 어떤 시험으로 받았는지가 실무에서는 더 중요하다. PID 평가는 세 단계로 나뉘고 단계마다 규격이 다르다. 첫째는 패턴 단계다. 노광과 현상 뒤에 비아 바닥에 잔사가 남았는지를 보고, 개구 치수(CD)와 측벽 각을 계측한다. 잔사가 남으면 산소와 육불화황 혼합 플라즈마로 제거하는 디스컴 공정을 붙인다. 이때 식각률과 표면 거칠기가 상충하므로 조건을 실험계획법으로 잡는다 [S-6-46].

둘째는 계면 단계이며 접착 시험이 중심이다. 스터드풀 방식으로 수직 인장 강도를 재고, 합격선으로는 MIL-STD-883K METHOD 2027.2가 요구하는 9.45MPa를 쓴다. 기판은 하나만 보지 않고 Cu, Si, SiOx, SiNx 네 종류에서 모두 재는 것이 관행이다. 상용 PSPI가 구리에서만 유독 약하게 나온 사례가 이 관행의 근거다 [S-6-46].

셋째는 신뢰성 단계다. 열충격은 JESD22-A104B 기준으로 영하 55도에서 125도 사이를 1,000 사이클 돌린 뒤 접착력을 다시 잰다. CTE 부정합이 가장 큰 계면에서 접착력이 가장 크게 떨어진다. 습열 시험은 uHAST를 JESD22-A118 기준(110±2°C, 상대습도 85±5%, 264시간)으로 돌리고 누설 전류를 함께 본다. 화학내성은 아세톤과 IPA, PGMEA, NMP, 현상액, 5% 염산, 5% 황산, 1% 불산, Ti 식각액에 상온에서 25분까지 담가 두께 변화를 잰다. 한 저온 PID 사례는 두께 변화가 최대 3.2%에 그쳤다 [S-6-46].



도해 F-6-03A · PID 평가는 패턴·계면·신뢰성의 세 단계를 잇는다 · 근거 S-6-46
초기 접착 한 번이 아니라, 시험 뒤 다시 재는 것까지가 한 묶음이다.

도해 F-6-03B · 신뢰성 값에는 시험 조건과 재측정 항목을 붙인다 · 근거 S-6-46, S-6-45
같은 접착값도 하지·전처리·스트레스 조건이 같아야 비교할 수 있다.

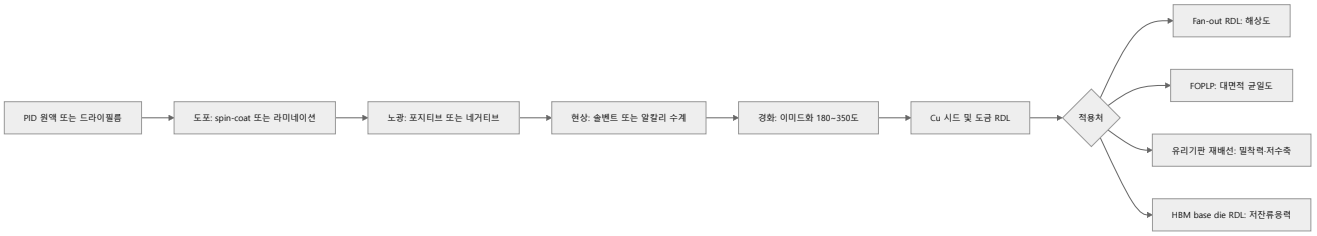
이미드화율은 적외선 분광으로 구한다. 그런데 기준 피크와 완전 이미드화 기준 시료를 어떻게 정의하느냐에 따라 값이 수 퍼센트 움직인다 [S-6-45]. 회사가 다른 두 수치를 직접 비교하려면 측정법부터 맞춰야 한다.

요점: PID는 유전율과 해상도만으로 평가되지 않는다. 스터드풀 접착을 MIL-STD-883K의 9.45MPa 기준으로 네 종류 기판에서 잰다. 열충격 1,000사이클과 uHAST 264시간을 거친 뒤 다시 재는 것까지가 한 묶음이다.

자주 묻는 질문: 접착은 무슨 시험으로 재는가? 스터드풀 인장 시험으로 재며, MIL-STD-883K METHOD 2027.2의 9.45MPa를 합격선으로 쓴다. 열충격과 습열 시험 후 재측정까지 포함한다.

적용처는 네 갈래이며 요구 물성이 서로 다르다. Fan-out 패키지의 RDL은 해상도와 Cu 밀착력이 우선이고, FOPLP(패널 레벨 팬아웃)는 대면적 도포 균일도가 우선이다. 유리기판 재배선은 유리에 대한 밀착력과 저수축이 우선이고, HBM base die의 RDL은 열사이클 신뢰성과 저잔류응력이 우선이다. 이 차이 때문에 한 그레이드로 네 시장을 모두 덮을 수 없다. 그래서 공급사들은 제품군을 갈래별로 쪼개어 내놓는다.

이 네 갈래 중 뒤의 두 갈래가 새로 커지는 쪽이다. 유리기판 재배선은 유리라는 새로운 하지 표면을 상대해야 하므로 기존 유기 기판용 그레이드를 그대로 쓸 수 없다. 밀착력 확보를 위한 표면 처리와 프라이머 설계가 별도로 필요하다. HBM base die의 RDL은 base die가 로직 공정으로 넘어가면서 요구 수준이 로직 패키지 기준으로 올라가는 중이며, 열사이클 조건도 메모리 기준보다 가혹해진다. 두 갈래 모두 아직 공급사가 확정되지 않아 후발 주자에게 열려 있다.



요구 물성	선단 요구치	기준 시점	출처 ID
경화 온도(학술)	200°C 경화에서 이미드화율 95.9% 이상($PyFNH_2$ 조성), 선폭 3μm 패턴	Huang 2023, 전문 확인	S-6-45
저온 경화막 CTE	200°C 경화막이 350°C 경화막보다 낮음. PI-PyF2.5%-200이 24 ppm/K	Huang 2023, 전문 확인	S-6-45
기판별 접착	LT-PID(180°C 1시간 경화)는 Cu·Si·SiOx·SiNx 네 기판 모두 MIL-STD-883K METHOD 2027.2의 9.45MPa 기준 통과. 비교 PSPI(230°C 3시간)는 Cu에서 열세	Chang 2025, 전문 확인	S-6-46
경화 온도(제품)	HD8930 200~250°C, Photoneece LT 170~250°C 1시간	제품 페이지	C-6-02, C-6-03
기계 물성 (HD8930)	신율 80%, 탄성계수 1.7~1.9GPa	제품 페이지	C-6-02
기계 물성 (Photoneece LT)	신율 60% 이상, 탄성계수 1.7~2.5GPa, CTE 55~60 ppm/°C	제품 페이지	C-6-03
기계 물성(JSR 개발품)	경화 200°C 이하에서 신율 60% 초과 목표. 개발 단계 표시	제품 자료 2025-05	C-6-06
유전 손실(연구 사례)	220°C 경화품 Df 0.0176@40GHz, 200°C 경화품 Df 0.013@30GHz (주파수 상이)	2019 연구	C-6-04
photo-via 해상도	3μm 비아 / 5μm 두께, sub-3μm 해상도 목표	IMAPS ISM 2018	S-6-60
열안정성	300°C 이상 (PSPI가 PBO·BCB 대비 우위)	IMAPS ISM 2018	S-6-60
공통 요구	Cu 밀착력, 내약품성, 저잔류응력, 저경화수축	IMAPS 드라이필름 PID 논문	S-6-61
용도별 수요 비중	칩 패키징 RDL 유전체가 PSPI 수요의 약 39%	Credence 추정	S-6-09

공급 구도는 일본 과점이다. HD MicroSystems는 Qnity(구 DuPont)와 Resonac의 50 대 50 합작사로, 액상 PI·PBO 전구체 세계 최대 공급사다. 이 회사의 HD-4100 계열이 로직·파워 패키지의 사실상 표준으로 쓰인다 [S-6-09]. Toray는 PHOTONEECE 브랜드로 고온형(PW·UR)과 저온형(LT·PN)을 모두 갖춘 풀라인업을 운용한다. Fujifilm은 Durimide와 LTC 9300 계열에 더해 2025년 12월 9일 PFAS 무함유를 내건 ZEMATES 브랜드를 새로 출시했다. 이 브랜드로 RDL용 액상·필름 폴리이미드와 보호막용 PBO를 한 묶음으로 재편하였다 [S-6-03].

Asahi Kasei는 액상 PSPI인 PIMEL로 2025년 TSMC Excellent Performance Award를 받았다. 2025년 8월 22일에는 약 160억 엔을 투자해 시즈오카 후지시 공장의 PIMEL 생산능력을 2024년 대비 2030년까지 두 배로 늘린다고 공표하였다 [S-6-01]. JSR의 WPR 계열과 TOK의 패키징 영구막, Taiyo Holdings의 IC 패키지 기판용 감광성 솔더레지스트가 인접 시장을 채운다 [S-6-09].

형태 측면에서는 액상에서 드라이필름으로 무게중심이 옮겨 가고 있다. 액상 소재는 회전 도포(spin-coat)로 바른다. 웨이퍼처럼 둥글고 작은 기판에서는 균일한 두께를 얻기 쉽지만, 사각 패널처럼 크고 모서리가 있는 기판에서는 가장자리에 소재가 몰리거나 두께가 흔들린다. 게다가 회전 도포는 재료의 상당 부분을 원심력으로 날려 버리므로 손실이 크다. 드라이필름은 미리 일정한 두께로 제막한 것을 라미네이션으로 붙이므로 대면적에서 두께 균일도가 좋고 재료 손실이 작다.

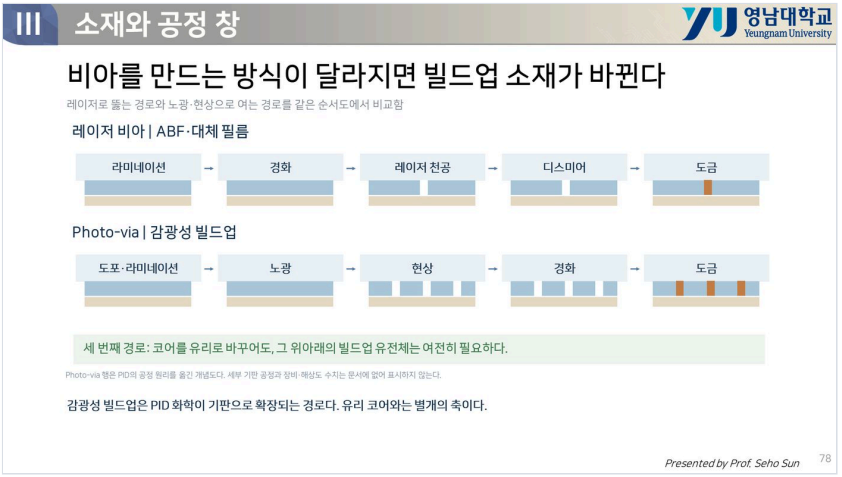
Asahi Kasei는 2026년 5월 21일 액상 PSPI 기술과 드라이필름 포토레지스트 기술을 결합한 PSPI 드라이필름을 공개했다. 패널 레벨 패키징의 RDL과 기판 절연층을 겨냥한 제품이다 [S-6-02]. Fujifilm도 ZEMATES에서 액상과 필름을 나란히 배치했다 [S-6-03].

한국 진영은 진입 단계다. LG화학은 2025년 9월 29일 액상 PID 개발 완료를 공표했다. 이어 2026년 7월 8일 공식 인터뷰에서 액상과 필름을 병행하는 이원 포트폴리오로 HDFO RDL, CoWoS, 유리기판을 타깃한다고 밝히면서 "일본 소재 업체들이 주도해 온 PID 시장 진입"을 명시하였다 [S-6-06]. 동진쎄미켐은 PID 개발에 착수하는 한편, 자체 빌드업필름 DJBF의 개발을 완료하고 성능을 고도화하는 중이다 [S-6-11]. 삼성SDI는 공식 전자재료 제품 페이지에 PID를 등재하고 "차세대 반도체 패키지 구조의 금속 배선 절연층"으로 소개하고 있다. 다만 PID 단독의 매출 규모·고객사·양산 여부는 실적 공시에서 분리되지 않으므로 정량 서술은 불가능하다 [S-6-04][S-6-05].

시장 규모 수치는 조심해서 읽어야 한다. 조사기관별 추정이 네 배에서 열 배까지 갈리며, Yole이나 TECHCET급 1차 소스가 없다. Credence Research는 2024년 $549M에서 2032년 $3,231M, 연평균 24.8% 성장을 제시한다. 다른 기관들은 시작점과 도착점을 크게 다르게 잡는다 [S-6-09]. 그래서 단일 수치보다 "수천억 원대 시장이 2030년대 초 수조 원대로, 연평균 20%대 중반 성장"이라는 범위로 이해하는 편이 정확하다. 어느 수치든 기관 추정이다.

> **소재 관점에서 보면**: PID는 삼성SDI가 이미 보유한 몇 안 되는 AI 패키징 직결 소재다. 다만 일본 4강이 TSMC 생태계를 선점했고, 국내에서도 LG화학과 동진쎄미켐이 같은 시장에 진입을 시도하고 있다. 그래서 범용 그레이드로는 자리가 없다. 차별화 축은 200°C 이하 저온 경화, 10GHz대 저손실, 패널과 유리에 대응하는 드라이필름화, 유리기판 빌드업 전용 그레이드의 네 가지로 좁혀진다. 이 중 뒤의 두 가지는 아직 일본 공급사도 제품을 확정하지 않은 영역이어서 진입 확률이 가장 높다.

6.2 ABF와 기판 소재



슬라이드 78쪽 · 비아를 만드는 방식이 달라지면 빌드업 소재가 바뀐다

그 밖의 관련 슬라이드: 75쪽 · 76쪽

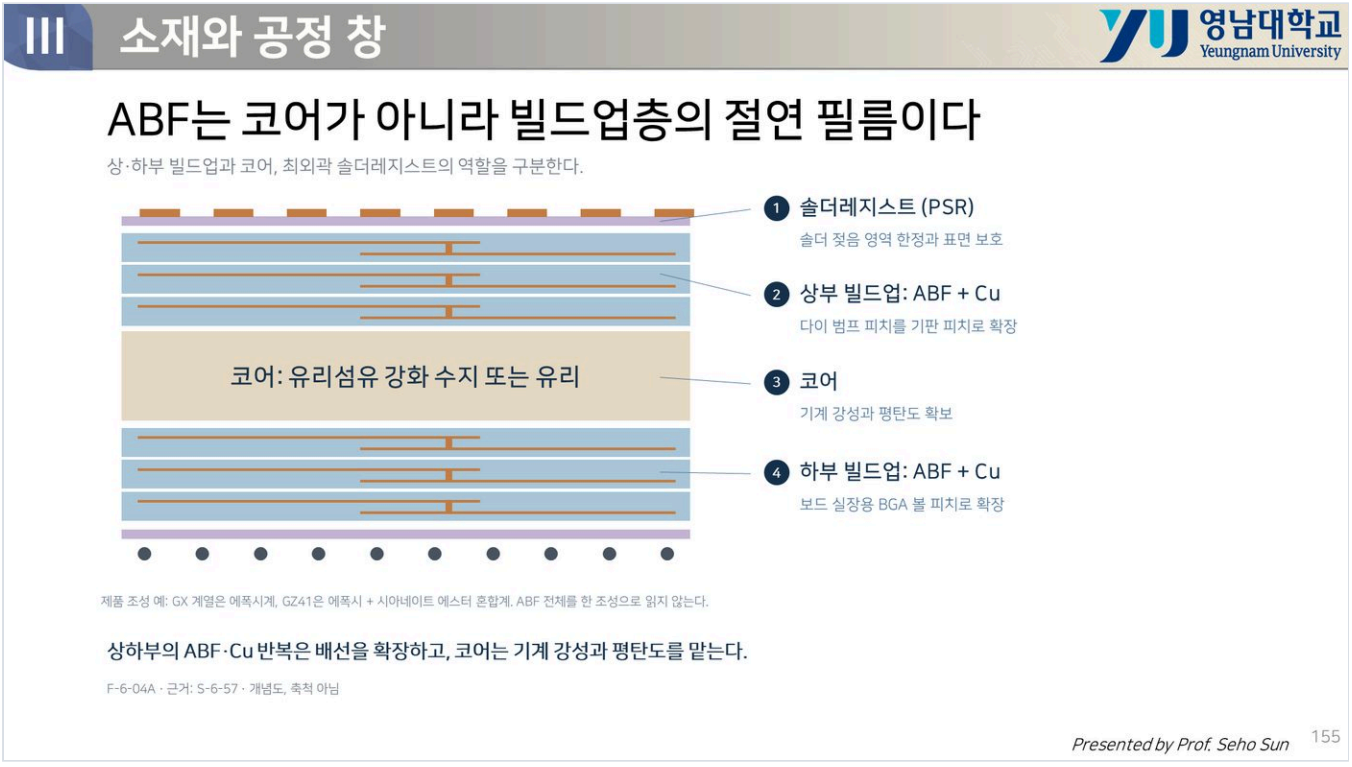
관련 도해: F-6-01A PID는 Cu 배선 사이에 남는 감광성 절연막이다 · F-6-01B 도포·노광·현상 뒤에는 비아 바닥을 확인한다 · F-6-01C 경화와 Cu 형성을 반복하면 다층 RDL이 된다 · F-6-01D 같은 PID라도 하지와 면적이 달라지면 요구가 바뀐다

ABF(Ajinomoto Build-up Film)는 FC-BGA 기판의 빌드업 유전체다. 코어 위에 절연층과 배선층을 번갈아 쌓아 올릴 때 그 절연층이 되는 필름이며, 레이저로 비아를 뚫고 도금으로 배선을 만드는 공정에 맞추어 설계되어 있다. 아지노모토는 조미료 회사로 알려져 있으나, 이 필름 하나로 AI 패키지 기판 공급망의 최상류에

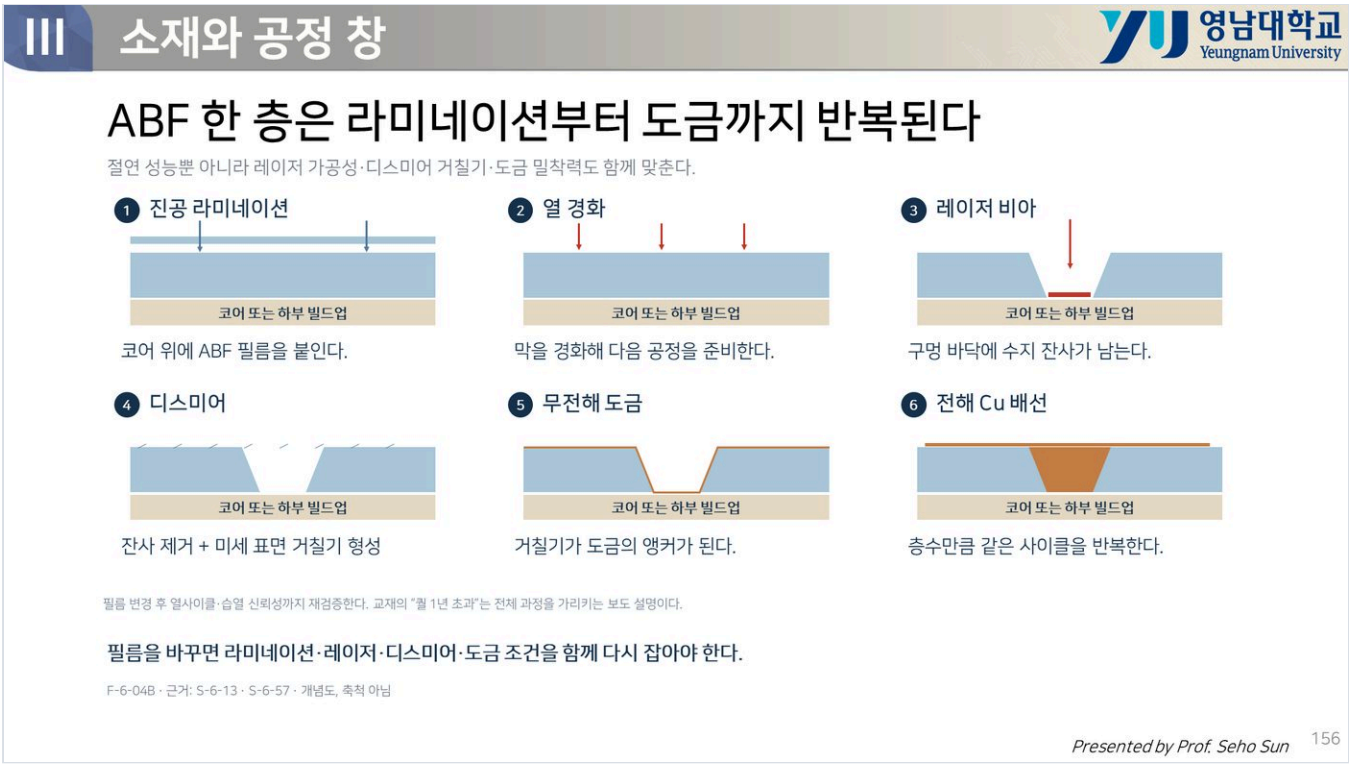
위치한다.

ABF의 유전율과 손실계수는 하나의 고정값이 아니라 제품 등급과 측정 조건별로 비교해야 한다. 같은 ABF라도 GX 계열은 에폭시계이고 GZ41은 에폭시와 시아네이트 에스터의 혼합계여서 조성이 다르다. 공개 해설 자료는 한 고속 전송용 등급의 손실계수를 5.8GHz에서 0.0044 수준으로 소개한다. 이는 특정 등급의 특정 주파수 값이지 ABF 전체의 기준점이 아니다 [S-6-57]. 따라서 ABF 유전 물성 값은 등급명과 측정 주파수를 함께 확인해야 비교할 수 있다. 둘 중 하나가 빠진 값은 "등급별로 다르다" 이상으로 해석하지 않는 편이 안전하다.

ABF가 쓰이는 공정 순서를 알아 두면 대안 소재의 난도를 가늠할 수 있다. 코어 위에 ABF를 진공 라미네이션으로 붙이고 열로 경화시킨 뒤, 레이저로 비아 구멍을 뚫는다. 구멍 바닥에는 레이저 열로 녹은 수지 잔사가 남으므로 이를 화학적으로 제거하는 디스미어(desmear) 공정을 거친다. 이 과정에서 필름 표면이 미세하게 거칠어지고, 그 거칠기가 이어지는 무전해 도금의 앵커 역할을 한다. 그 위에 전해 구리 도금으로 배선을 만들고, 다시 필름을 붙이는 순서를 반복한다.



도해 F-6-04A · ABF는 코어가 아니라 빌드업층의 절연 필름이다 · 근거 S-6-57
상하부의 ABF·Cu 반복은 배선을 확장하고, 코어는 기계 강성과 평탄도를 맡는다.



도해 F-6-04B · ABF 한 층은 라미네이션부터 도금까지 반복된다 · 근거 S-6-13, S-6-57
필름을 바꾸면 라미네이션·레이저·디스미어·도금 조건을 함께 다시 잡아야 한다.

ABF는 절연만 하는 소재가 아니다. 레이저 가공성, 디스미어 후 표면 거칠기, 도금 밀착력까지 함께 규정하며, 대안 필름이 어려운 이유가 여기에 있다. 유전 물성만 맞춰서는 기존 라인에 들어갈 수 없고, 앞뒤 공정 전체와 맞물려야 한다.

점유율 약 95%는 아지노모토 자신의 추정이다. ASV Report 2023이 FY2022 기준으로 제시한 값이며, 분모는 고성능 반도체 기판용 층간 절연필름이지 패키지 기판 시장 전체가 아니다 *[C-6-13]*. 2026년 보도에 등장하는 95% 이상이라는 표현은 이 회사 자료를 전재한 것이다. 따라서 이 수치를 언론 보도일 뿐이라고 보면 오히려 틀린다.

가격은 성격이 다르다. DigiTimes는 2026년 5월 13일 아지노모토가 IC 기판 업체들에 ABF 필름 가격을 약 30% 인상하며, 새 가격이 2026년 3분기부터 적용된다고 보도했다. 이는 회사가 직접 공표한 것이 아니라 매체 보도다 [S-6-12]*[C-6-14]*. 아지노모토 자신은 고객과 개발 단계부터 성능과 가격을 협의하는 구조라고 설명할 뿐 일률 인상률을 공표하지 않는다 *[C-6-13]*. 필름은 기판 원가의 일부이므로 30% 인상이 기판 가격으로는 3~6% 정도 전가되는 것으로 추정된다 [S-6-13].

수급 불균형 전망도 보도와 회사 설명을 나누어 보아야 한다. 2026년 5월 11일 보도는 현물 가격이 30% 이상 올랐고 2026년 하반기 계약 가격도 5~10% 인상되며, 부족이 2027년 말까지 이어질 것으로 전한다. 같은 보도는 ABF 기판의 글로벌 수급 격차가 2026년 하반기 10%, 2027년 21%, 2028년 42%로 벌어진다는 관측도 전한다. 2030년까지 생산능력을 50% 확대한다는 업계 관측도 함께 실렸다 [S-6-13]*[C-6-15]*.

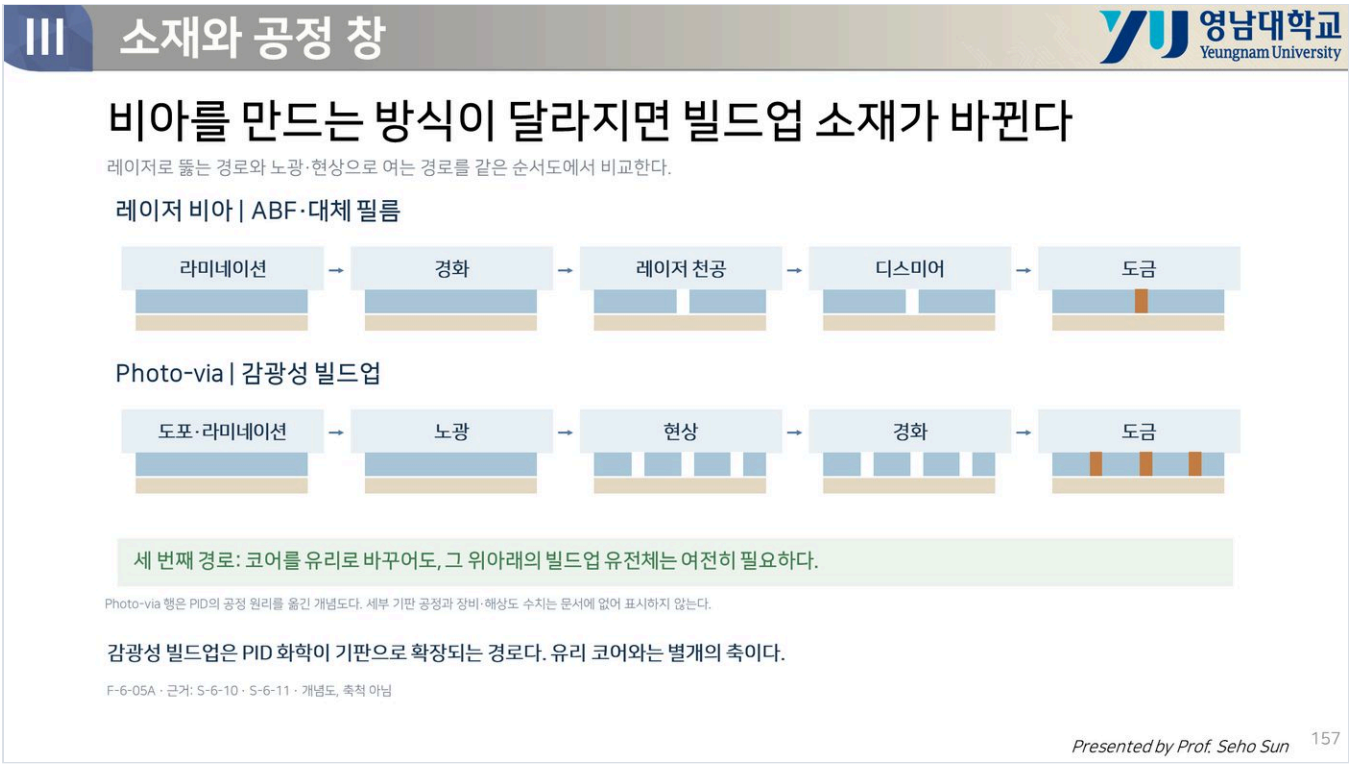
반면 회사 IR 자료는 2023년부터 2030년까지 약 250억 엔 규모의 설비 투자 계획을 제시한다. 군마 증설을 이어 가고, 기후 신규 거점은 2030년 이후로 잡는다는 설명이다 *[C-6-13]*. 쿼 기간이 1년을 넘는 소재이므로, 어느 쪽 계획이든 실제 공급 완화는 그 뒤의 일이다.

지표	값	기준 시점	출처 ID
ABF 유전 물성	단일 기준점 없음. 등급(GX 계열 에폭시계, GZ41 에폭시·시아네이트 에스터 혼합계)과 측정 주파수별로 비교. 한 고속 전송용 등급의 손실계수가 5.8GHz에서 0.0044 수준으로 소개됨	공개 해설 자료, 제조사 데이터시트 미확보	S-6-57
아지노모토 점유	약 95% (회사 자체 추정. 분모는 고성능 반도체 기판용 층간 절연필름이며 기판 시장 전체가 아님)	Ajinomoto ASV Report 2023, FY2022 기준. 2026년 보도는 전재	C-6-13
가격 인상	필름 약 30% 인상, 2026년 3분기 적용(회사 공표 아님)	DigiTimes 2026-05-13 보도	S-6-12, C-6-14
기판가 전가	약 3~6%	2026.5 보도	S-6-13
수급 부족 지속	2027년 말까지	2026.5 보도	S-6-13
Advanced IC substrate 시장	2030년 $31B (AICS+GCS+SLP+ED 합산)	Yole, 2025년 7월 공표	S-6-14

ABF는 기판 단면에서 빌드업층의 절연 부분을 담당한다. 코어를 가운데 두고 위아래로 빌드업층이 대칭으로 쌓인다. AI 패키지에서 층수가 늘어난다는 말은 이 빌드업 반복 횟수가 늘어난다는 뜻이고, 그만큼 ABF 소요량이 비례해 증가한다.

층	구성	소재	이 층의 역할
상부 빌드업	배선층 + 절연층 다층	ABF + 전해 Cu	다이 범프 피치를 기판 피치로 넓힘
코어	두꺼운 강성층	유리섬유 강화 수지 또는 유리 코어	기계 강성과 평탄도 확보
하부 빌드업	배선층 + 절연층 다층	ABF + 전해 Cu	보드 실장용 BGA 볼 피치로 확장
최외곽	솔더레지스트	감광성 솔더레지스트(PSR)	솔더 젖음 영역 한정과 보호

대안은 세 갈래로 움직이며, 첫째는 같은 레이저 비아 공정을 쓰는 대체 필름이다. Sekisui, Taiyo, Resonac 같은 일본 공급사와 한국의 동진쎄미켐 DJBF, 에이치엔에스하이텍의 저온 접합 빌드업 필름이 여기에 속한다 [S-6-11]. 둘째는 공정 자체를 바꾸는 감광성 빌드업 유전체다. 레이저로 비아를 뚫는 대신 노광과 현상으로 비아를 만들면 미세 비아를 더 촘촘하게 배치할 수 있고, 이것이 PID 화학이 기판 영역으로 확장되는 경로다 [S-6-10]. 셋째는 코어를 유리로 바꾸는 것이다. 이 경우에도 빌드업 유전체는 여전히 필요하므로 유리 코어는 ABF를 대체하지 않고 층을 추가한다.



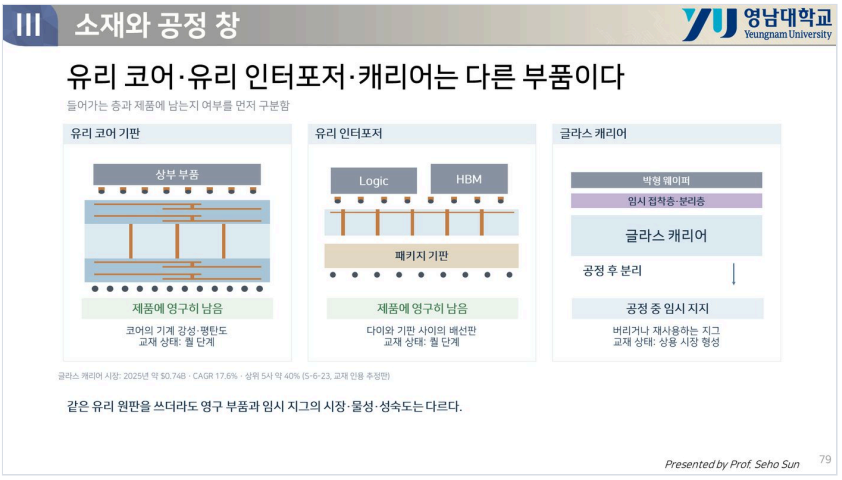
도해 F-6-05A · 비아를 만드는 방식이 달라지면 빌드업 소재가 바뀐다 · 근거 S-6-10, S-6-11
감광성 빌드업은 PID 화학이 기판으로 확장되는 경로다. 유리 코어와는 별개의 축이다.

국산화가 오래 걸리는 이유도 같은 구조에서 나온다. 기판 업체가 필름을 바꾸면 라미네이션 조건, 레이저 파라미터, 디스미어 약액 농도, 도금액 조성까지 함께 다시 잡아야 한다. 그 뒤에 열사이클과 습열 신뢰성 시험을 통과해야 한다. 퀄 기간이 1년을 넘는다는 표현은 이 전체 과정을 가리킨다 [S-6-13]. 그래서 가격이 30% 올라도 고객이 즉시 공급사를 바꾸지 못하며, 반대로 지금 평가에 들어간 대안이 채택되면 그 뒤로는 오래 간다. 동진쎄미켐의 DJBF가 개발 완료 이후에도 성능 고도화 단계에 머물러 있는 것은 실패가 아니라 이 소재군의 정상적인 진입 속도로 보아야 한다 [S-6-11].

AI 패키지의 요구가 이 세 갈래를 동시에 밀고 있다. 층수는 계속 늘어 14층 안팎의 기판에서 리드타임이 최대 28주까지 늘어났다. 배선 선폭·간격(L/S)은 미세화되어 레이저 비아의 직경 한계에 접근하고 있다 [S-6-14]. 층수가 늘면 ABF 소요량이 비례해 늘고, L/S가 미세해지면 감광성 공정이 유리해진다. 두 압력이 같은 방향을 가리킨다.

> **소재 관점에서 보면**: 2026년 3분기 30% 인상은 고객이 이원화를 진지하게 검토하게 만드는 사건이다. 소재 회사에 이보다 좋은 진입 기회는 드물다. 다만 같은 레이저 비아 필름으로 아지노모토와 정면 경쟁하는 것은 성능과 원가 양쪽에서 불리하며, 실제 기회는 공정을 바꾸는 쪽에 있다. 감광성 빌드업 유전체는 삼성SDI의 PID 화학이 그대로 이전되는 인접 시장이다. 유리 코어가 도입되면 그 위의 빌드업 유전체는 어차피 새로 규정해야 한다. 삼성SDI가 기판 빌드업 시장에서 겨냥할 자리는 ABF의 자리가 아니라 그 다음 세대의 자리다.

6.3 유리기판, 유리 인터포저, 글라스 캐리어

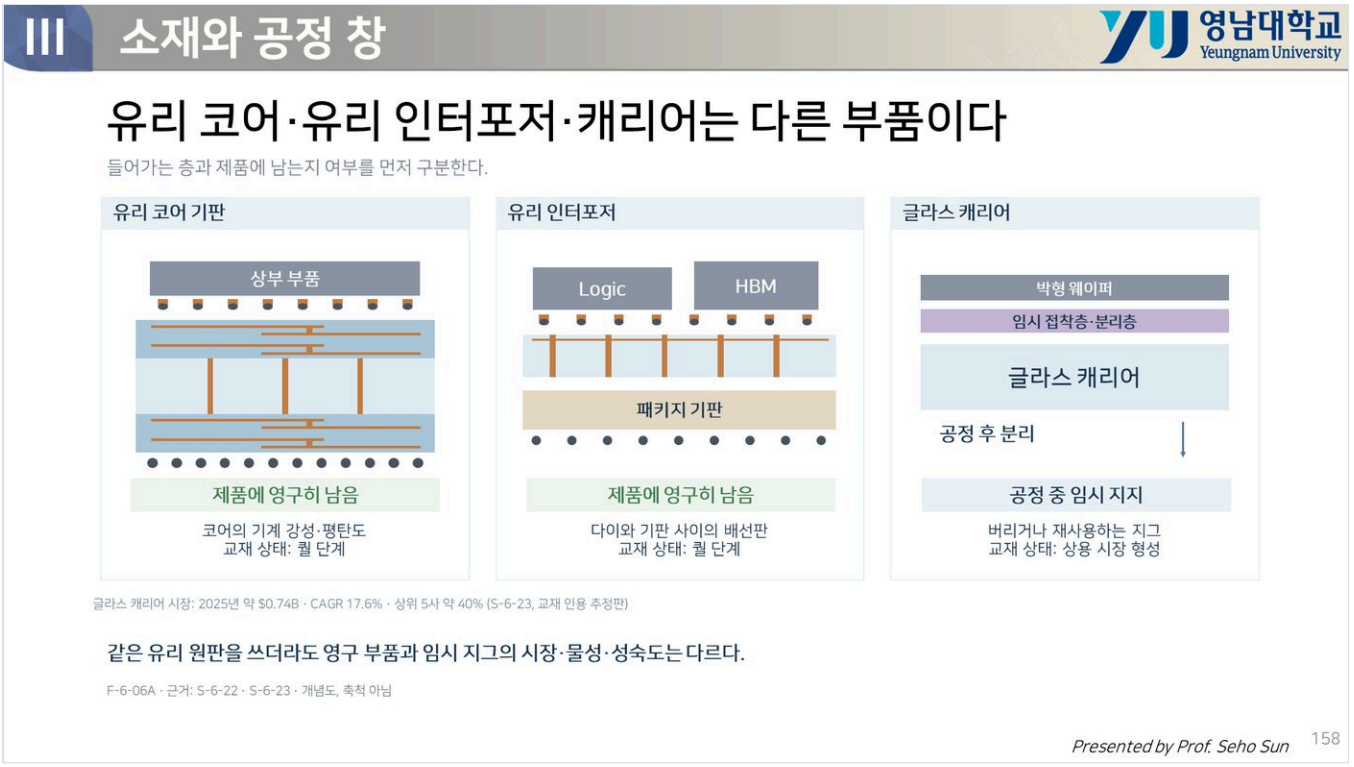


슬라이드 79쪽 · 유리 코어·유리 인터포저·캐리어는 다른 부품이다

그 밖의 관련 슬라이드: 35쪽 · 78쪽 · 86쪽 · 113쪽 · 114쪽

관련 도해: F-2-07 중간층 4종: 실리콘에 어디까지 맡길 것인가 · F-3-07A CoWoS 대형화 로드맵: 발표 연도와 목표 연도 · F-3-07B 캐리어는 원형 웨이퍼 · 사각 패널 · 웨이퍼 규모로 갈린다 · F-3-07C 캐리어 웨이퍼 장수 ≠ 완성 패키지 개수 · F-6-04A ABF는 코어가 아니라 빌드업층의 절연 필름이다 · F-6-04B ABF 한 층은 라미네이션부터 도금까지 반복된다 · F-6-05A 비아를 만드는 방식이 달라지면 빌드업 소재가 바뀐다 · F-6-12A 임시접착제는 뒷면 공정을 견딘 뒤 깨끗이 떨어져야 한다 · F-6-12B 분리 방식에 따라 접착제와 캐리어를 함께 고른다 · F-6-12C 레이저 디본딩에 필요한 것은 사용 파장에서의 투과성이다 · F-7-07 유리 인터포저와 유리 코어는 교체하는 층이 다르다

유리는 지금 패키징에서 세 가지 다른 역할로 동시에 등장한다. 유리 코어 기판은 패키지 기판의 코어를 유기 수지 대신 유리로 바꾼 것으로, 크기가 수십 밀리미터급이고 최종 제품에 영구히 남는다. 유리 인터포저는 실리콘 인터포저를 대체해 다이와 기판 사이에서 다이 간 배선을 담당하는 중간층이며, 역시 제품에 남는다. 글라스 캐리어는 웨이퍼를 얇게 갈 때 공정 중에만 임시로 떠받치다 버려지거나 재사용되는 소모성 지그다. 세 용도는 같은 유리 원판 공급사를 공유하고 요구 물성이 겹쳐 한 덩어리로 논의되지만, 요구 두께와 평탄도, 가격 민감도, 시장 규모와 성숙도가 전부 다르다. 글라스 캐리어만 이미 상용 시장이 형성되어 있고 나머지 둘은 아직 퀄 단계다.



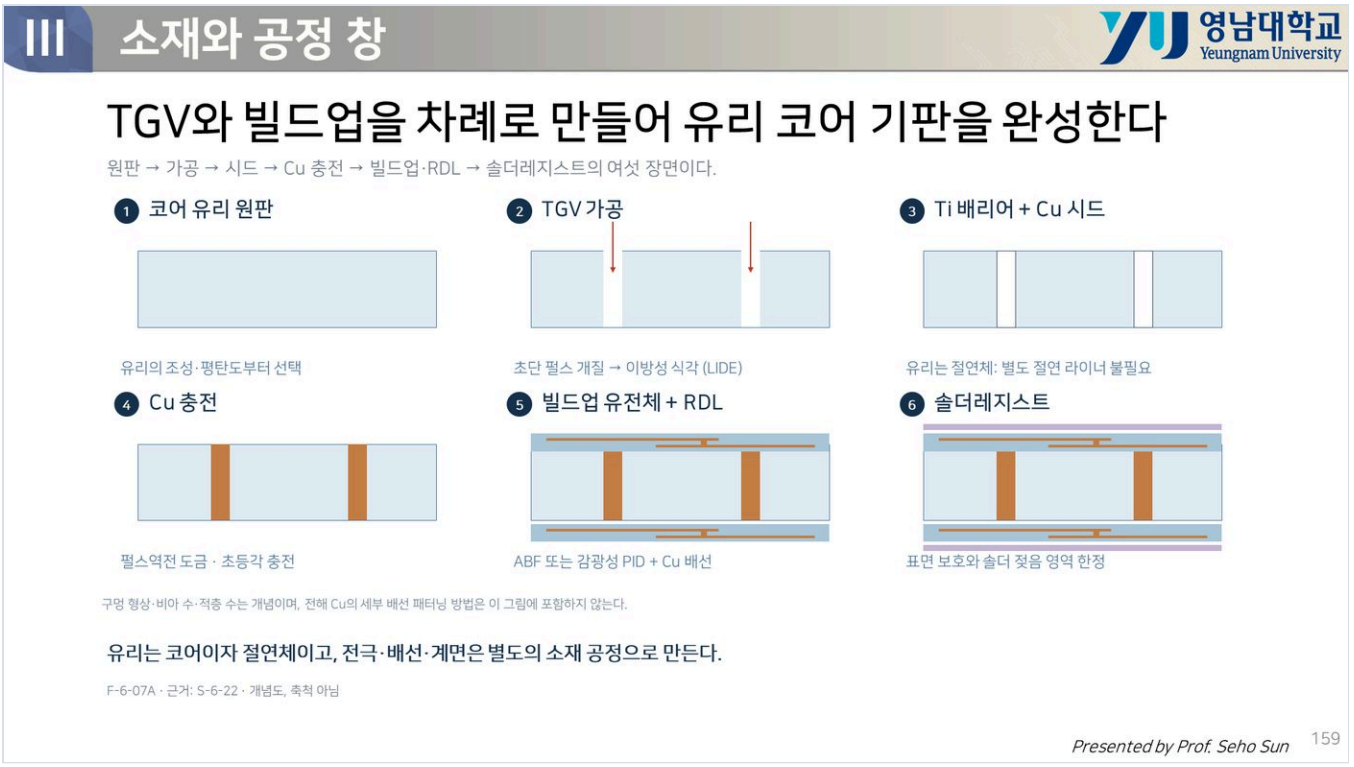
도해 F-6-06A · 유리 코어·유리 인터포저·캐리어는 다른 부품이다 · 근거 S-6-22, S-6-23
같은 유리 원판을 쓰더라도 영구 부품과 임시 지그의 시장·물성·성숙도는 다르다.

유리가 매력적인 이유는 평탄도, 열팽창 계수 조절, 저손실의 세 가지다. 유리는 연마 없이도 평탄도가 높은 표면을 얻어 미세 배선의 초점 심도 문제를 줄인다. 또 조성을 바꾸면 열팽창 계수(CTE)를 실리콘에 가깝게 맞출 수 있으므로 대면적 패키지에서 휨을 억제한다. 유전 손실이 낮아 고속 신호 전송에 유리하고, 이 특성은 CPO와 결합될 때 특히 중요해진다 [S-6-22]. 반면 취성이 커서 가공 중 미세 균열이 생기기 쉽고, 이것이 상용화를 가로막는 핵심 난제다.

유리를 배선에 쓰려면 관통 전극이 필요하다. 이것이 TGV(Through Glass Via)이며, 레이저로 유리를 개질한 뒤 식각하거나 직접 천공하여 구멍을 내고 구리를 채운다. 종횡비, 측벽 거칠기, 구리 충전의 무보이드성, 그리고 열사이클 중 구리와 유리의 CTE 차이로 생기는 응력이 모두 신뢰성 변수다 [S-6-22].

현재 주류 공법은 초단 펄스로 유리를 개질한 뒤 이방성 식각으로 비아를 얻는 레이저 유도 개질 식각(LIDE)이다. 같은 공법이라도 유리 종류에 따라 결과가 갈린다. SCHOTT AF 32 eco 유리에서는 테이퍼 각이 약 9°인 반면 Corning HPFS 7980 용융석영에서는 약 1°로, 원판 선택이 곧 측벽 수직도를 결정한다 [S-6-22]. 유리는 절연체이므로 TSV와 달리 절연층이 필요 없다. Ti 배리어와 Cu 시드를 올린 뒤 펄스역전 도금으로 초등각 충전을 얻는다 [S-6-22].

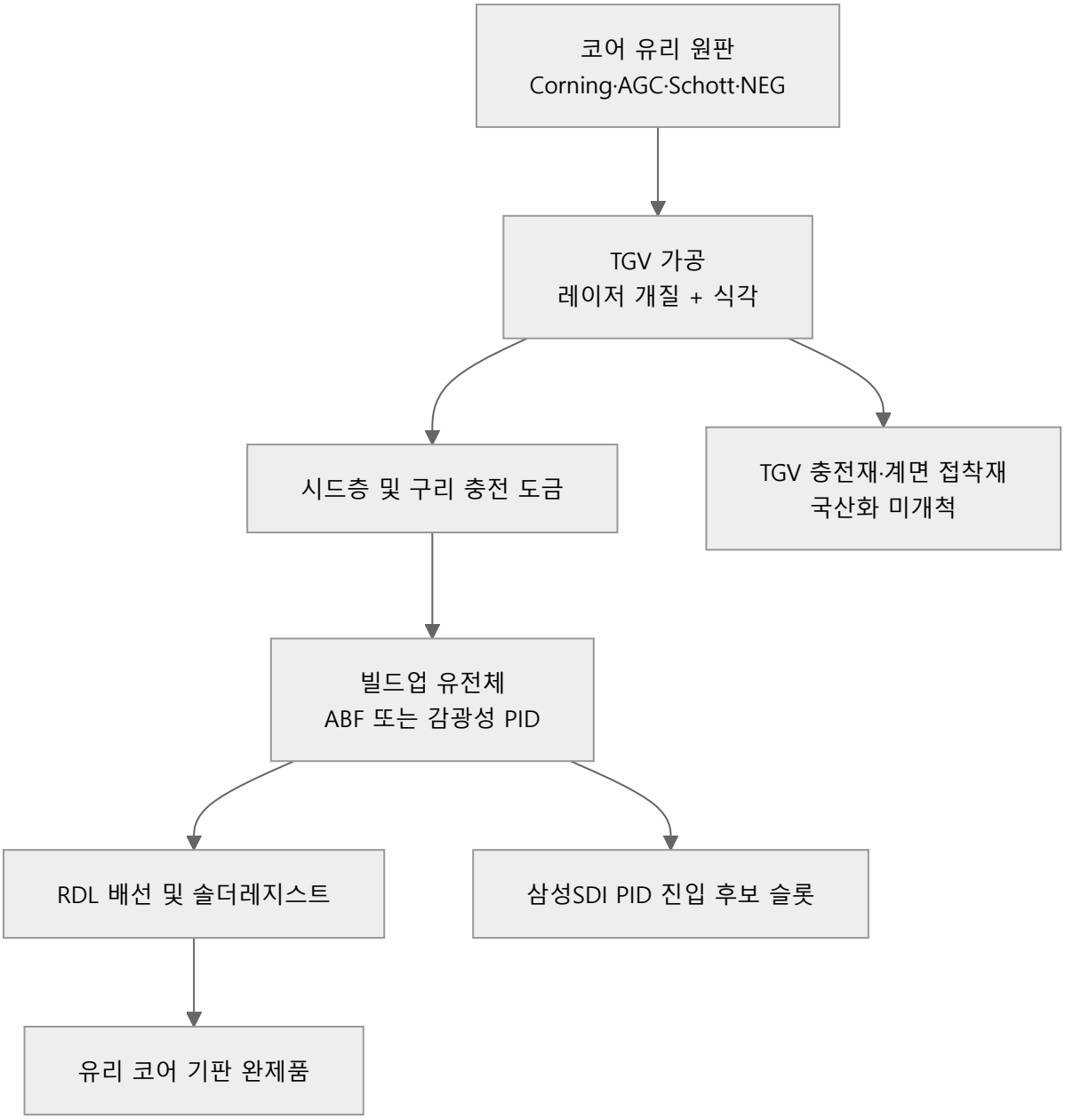
2026년 ECTC에서 Intel은 510mm × 515mm 크기의 24층 유리 코어 패널을 시연하였다. 이 패널은 10-2-10 구성으로, 구리가 완전히 채워진 TGV와 두 개의 EMIB(매립형 다이 간 브리지) 구조, TGV 사이에 함께 형성한 광도파로를 포함한다 [S-6-21]. 같은 학회에서 Amkor와 STATS ChipPAC은 유기 코어 대비 얇은 유리 코어가 기판 휨을 30~40% 낮춘다고 보고하였다 [S-6-21].



도해 F-6-07A · TGV와 빌드업을 차례로 만들어 유리 코어 기판을 완성한다 · 근거 S-6-22
유리는 코어이자 절연체이고, 전극·배선·계면은 별도의 소재 공정으로 만든다.

도해 F-6-07B · TGV 측벽과 균열은 유리·Cu·열사이클의 조합으로 읽는다 · 근거 S-6-22
원판의 종류와 Cu 형상, 승온·냉각 조건을 분리해 평가한다.

도해 F-6-07C · 유리 원판부터 빌드업까지 공급 역할이 나뉜다 · 근거 S-6-21, S-6-22, S-6-18, S-6-19
검토할 자리는 빌드업 유전체와 TGV 계면이다. 특정 업체의 채택을 뜻하지 않는다.



유리기판의 병목은 만드는 기술보다 신뢰성 인증 쪽에 있다. 유리는 취성 재료여서 국부적인 흠집 하나가 응력 집중점이 된다. 열사이클을 반복하면 TGV 주변에서 미세 균열이 자라 파단에 이른다. 업계는 이 현상을 별도의 용어로 부르며 관리한다. Intel도 자사 샘플을 소개하면서 균열 문제가 발생하지 않았다는 점을 먼저 내세웠다 [S-6-20].

이 취약성은 설계 규칙으로 바꿀 수 있다. 승온 중에는 구리가 유리를 밀어 방사형 균열이 생기고, 냉각 중에는 구리가 더 빨리 수축해 원주형 균열이 생긴다. 비아 내 구리 링 두께를 8~18μm로 바꾸며 관찰한 실험에서 원주형 균열 확률은 두께에 따라 지수적으로 늘었지만, 12μm 미만에서는 균열이 전혀 관찰되지 않았다 [S-6-22]. 유한요소 해석은 응력이 TGV와 RDL 가장자리에 집중되고, 영하 55도에서 150도 사이 열사이클에서 300 사이클 후 균열이 시작된다고 보고한다. 같은 해석에서 냉각 단계의 에너지 해방률은 승온 단계보다 30% 높았다 [S-6-22].

일정에 관해서는 보도와 회사 설명이 갈린다. 디일렉은 2026년 8월 12일 삼성전기의 장비 발주 지연과 고객 인증 미통과를 보도했다 [S-6-18]. 삼성전기는 8월 19일 추가 답변에서 고객 인증 실패를 부인하고 평가가 진행 중이라고 설명했다. 이때 유리 코어는 2027년 하반기, 완성 유리기판은 2028년으로 단계를 구분하였다 *[C-6-20]*. 서로 다른 생산 단계를 비교해 양산이 갑자기 연기되었다고 단정하는 것은 정확하지 않다.

2026년 9월 기준 각 진영의 실제 상태는 아래와 같으며, 표에는 원출처로 확인한 사실만 담았다. SKC 유상증자의 주체는 앱솔릭스가 아니라 모회사 SKC다. "2027년 양산 목표"라는 표현은 원출처에 근거가 없다.

주체	2026년 9월 상태	근거 유형	출처 ID
SKC·앱솔릭스	SKC가 2026년 5월 총 1조1,671억원 유상증자 중 5,896억원을 앱솔릭스에 투자하기로 결정	보도	S-6-16
SKC·앱솔릭스	앱솔릭스 자체 명의로 2026년 8월 21일 4,011억원 규모 유상증자 결정(별건). CAPEX 4,726억원·OPEX 1,170억원 배분 계획	보도	S-6-15
SKC·앱솔릭스	SKC가 2026년 9월 4일 이사회에서 약 2,810억원 투입 결정. 임베딩 제품은 사전평가 완료 후 신뢰성 평가 진행, 논임베딩 제품은 하반기 공급사 선정 과제 참여·선정 시 연내 PoC 진입 준비	보도	S-6-17
삼성전기	Broadcom에 이어 Apple에 샘플 공급. 스미토모화학 계열 동우화인켐과 합작사 글라셈 설립(약 4,800억원, 지분 66%)	회사 공표	S-6-18, C-6-19
삼성전기	디일렉은 2026년 8월 12일 장비 발주 지연과 고객 인증 미통과를 보도. 회사는 8월 19일 인증 실패를 부인하고 유리 코어 2027년 하반기, 완성 기판 2028년으로 단계 구분	보도와 회사 반박 병기	S-6-18, C-6-20
삼성전기	2026년 9월 10일 KPCA Show에서 유리 코어와 TGV, 금속 충진, 정밀 가공 기술 공개	회사 공표	C-6-21
LG이노텍	구미 파일럿 라인 운영. 2026년 9월 9일 KPCA 자료에서 유리기판 2028년 목표 제시(AI용 FC-BGA의 2027년 일정과 별개)	회사 공표	C-6-22
Intel	2026년 1월 NEPCON Japan에서 78mm × 77mm, 10-2-10 두꺼운 유리 코어 + EMIB 샘플 공개. 실리콘 면적 약 1,716mm²(레티클 2개분)에 대응. 양산 결정은 미확정	보도	S-6-20
Intel	2026년 ECTC에서 510mm × 515mm 24층 유리 코어 패널 시연, 광도파로 동시 형성	학회 보도	S-6-21
Corning·AGC·Schott·NEG	코어 유리 원판 및 TGV 수탁 가공 공급 지위	기업·분석	S-6-23

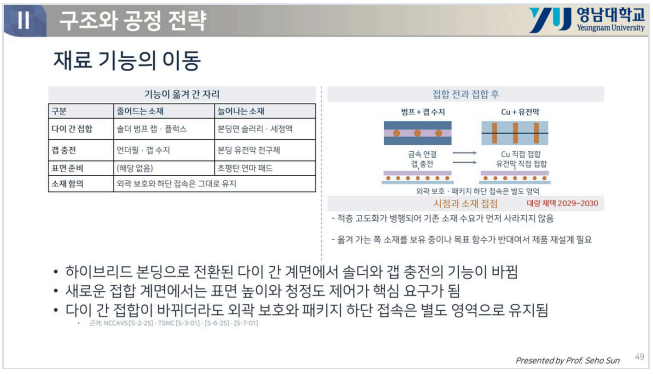
밸류체인을 단계로 끊어 보면 한국 기업이 어디에 있는지가 드러난다. 코어 유리 원판은 Corning, AGC, Schott, NEG가 쥐고 있고 이들은 수십 년 축적된 유리 조성과 성형 기술을 기반으로 한다. TGV 가공은 레이저 장비와 식각 공정의 영역이며 AGC 같은 업체가 수탁 가공으로 참여하고 장비 쪽에서는 국내 업체도 진입하고 있다. 시드층 형성과 구리 충전 도금은 도금 약액과 장비의 영역이다. 그 위의 빌드업 유전체와 RDL 형성은 유기 소재의 영역이며, 마지막으로 표면 처리와 솔더레지스트가 붙는다. 이 다섯 단계 중 한국이 원천 기술로 상류를 쥔 곳은 없고, 완제품 기판 조립에서 삼성전기와 LG이노텍이, 소재에서는 빌드업 유전체 슬롯이 열려 있다 [S-6-18][S-6-19].

시장 규모는 세 갈래 모두 아직 작고 추정 편차가 크다. Yole은 유리 코어와 AI용 고급 기판에 힘입어 advanced IC substrate 시장이 2030년 $31B에 이른다고 2025년 7월에 공표하였다 [S-6-14]*[C-6-10]*. 이 수치는 유기 기판까지 포함한 합산 전망이므로 유리기판 단독 시장으로 읽어서는 안 된다 *[C-6-10]*.

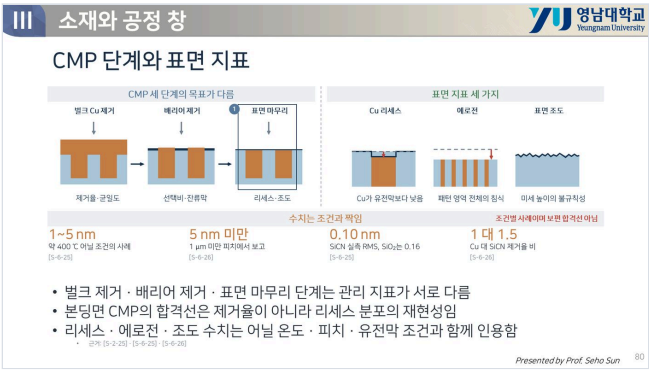
Counterpoint Research는 FOPLP와 유리기판을 합산하여 2024년 약 $650M에서 2030년 $8.1B 초과로 본다. 같은 조사는 AI와 HPC가 2030년 매출의 45.6%를 차지한다고 전망한다 [S-6-24]. 글라스 캐리어는 별개 시장으로 2025년 약 $0.74B이며 연평균 17.6% 성장한다. 집중도에 대해 원출처는 "경쟁 강도 중간, 상위 5개사가 약 40% 점유"라고 명시하며, 과거에 인용되던 "4사 약 90%"는 원출처에서 확인되지 않는다 [S-6-23].

> **소재 관점에서 보면**: 유리기판 밸류체인에서 한국 기업이 쥔 자리는 코어 유리도 아니고 TGV 장비도 아니다. 비어 있는 자리는 유리 위에 올라가는 빌드업 유전체와 TGV 충전·계면 접착재다. 이 두 슬롯은 아직 누구의 POR(Process of Record)도 아니며, 유리 표면에 대한 밀착력과 저수축이라는 요구가 기존 ABF와 달라 선점 효과가 크다. Sumitomo Bakelite는 2026년 ECTC에서 Georgia Institute of Technology와 함께 이 슬롯을 겨냥한 소재를 공개했다. 유리 패키징용 고밀도 RDL을 위한 저경화온도·저수축·저유전 감광성 소재다 [S-6-10]. 다만 2026년 내내 반복된 일정 지연은 이 기회의 시간축이 2028년 이후로 밀렸음을 뜻하므로, 지금은 퀄 준비 단계로 보는 것이 정확하다.

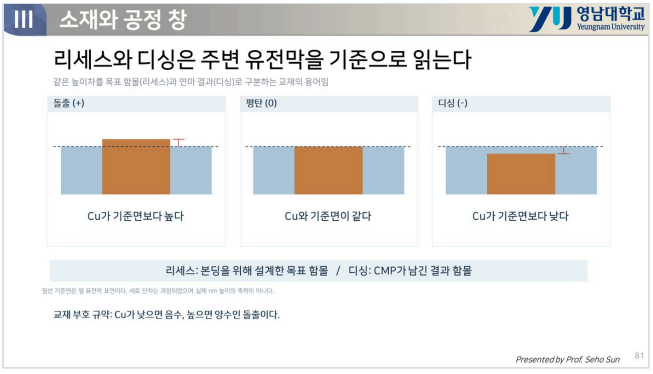
6.4 hybrid bonding용 CMP, 세정, SiCN



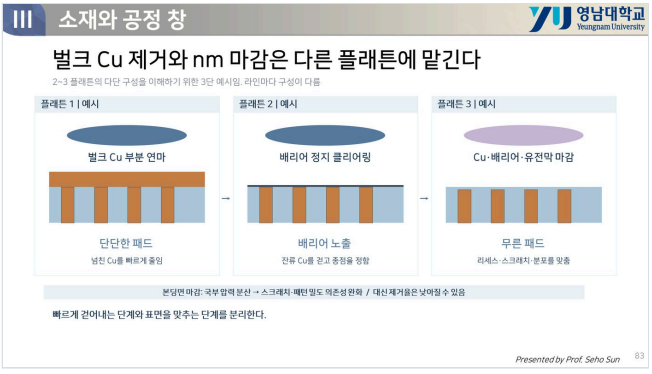
슬라이드 49쪽 · 재료 기능의 이동



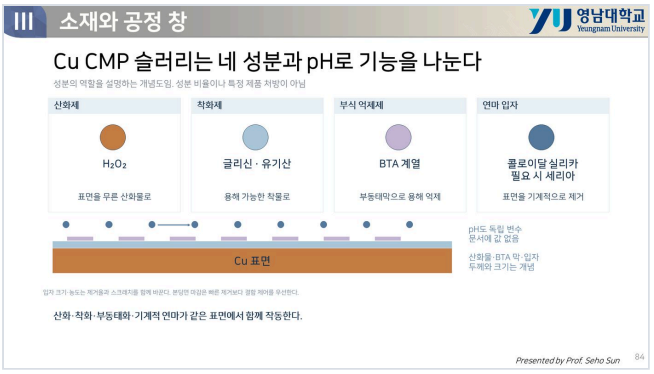
슬라이드 80쪽 · CMP 단계와 표면 지표



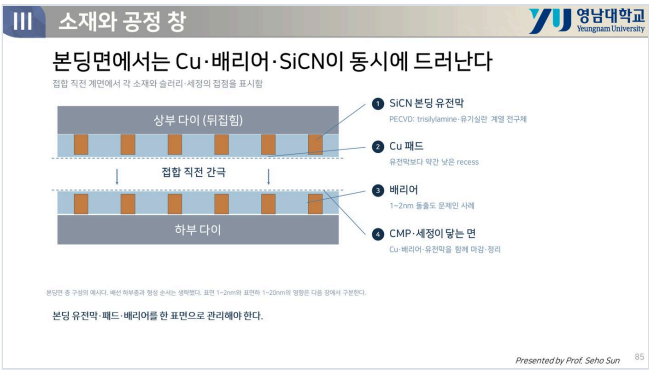
슬라이드 81쪽 · 리세스와 디싱은 주변 유전막을 기준으로 읽는다



슬라이드 83쪽 · 벌크 Cu 제거와 nm 마감은 다른 플래튼에 맡긴다



슬라이드 84쪽 · Cu CMP 슬러리는 네 성분과 pH로 기능을 나눈다



슬라이드 85쪽 · 본딩면에서는 Cu·배리어·SiCN이 동시에 드러난다

그 밖의 관련 슬라이드: 4쪽 · 20쪽 · 22쪽 · 31쪽 · 44쪽 · 46쪽 · 47쪽 · 70쪽 · 82쪽 · 89쪽 · 90쪽 · 91쪽 · 102쪽 · 103쪽 · 104쪽 · 105쪽 · 116쪽 · 117쪽

관련 도해: F-2-04A RDL: 선택 도금과 매립 후 평탄화의 차이 · F-2-04B 패널 다마신 CMP는 두 슬러리의 정합 문제다 · F-2-06A TSV 리빌 ①: 캐리어 위에서 Cu 끝을 드러낸다 · F-2-06B TSV 리빌 ②: 절연하고 평탄화한 뒤 범프를 만든다 · F-2-06C 리빌 디싱과 본딩면 리세스는 같은 목표가 아니다 · F-2-09A 하이브리드 본딩: 표면 준비에서 영구 접합까지 · F-2-09B 본딩면의 합격 조건은 nm와 오염의 조합이다 · F-2-10 본딩 피치: 양산·제공 기술·실증을 같은 점으로 찍지 않는다 · F-3-04A SoIC: 범프 대신 유전막과 Cu를 직접 붙인다 · F-3-04B SoIC 로드맵: 피치와 적층 노드를 함께 본다 · F-4-03A TSV는 구멍을 만들고 채운 뒤 평탄화한다 · F-4-03B TSV 끝의 범프 사이가 갭필의 자리다 · F-4-04A 본딩 세 방식은 다이 사이 재료가 다르다 · F-4-04B 다이 간 갭필의 기능이 접합면으로 이동한다 · F-4-07A W2W는 통째로, D2W는 선별해서 붙인다 · F-4-07B D2W는 소재와 계측까지 묶인 공정 사슬이다 · F-4-08A Cu가 조밀한 곳의 SiCN erosion이 보이드로 이어진다 · F-4-08B 디싱 목표는 슬러리 한 가지로 정해지지 않는다 · F-4-09A 하이브리드 본딩은 표면 준비부터 검사까지다 · F-4-09B 활성화 가스가 정렬 오차에도 영향을 준다 · F-4-09C 어닐 온도와 Cu recess 목표는 한 쌍이다 · F-4-09D 접합 후 검사에는 보이지 않는 영역이 남는다 · F-5-09A 솔더는 세 층위에 남아 있다 · F-5-09B 플럭스는 산화막을 없애지만 잔사가 남을 수 있다 · F-5-09C 작은 솔더 접합부에서는 계면과 전류밀도가 중요해진다 · F-7-01A 보유 소재는 패키지의 네 공정 지점에 닿는다 · F-7-01B EMC와 PID는 완성 패키지의 서로 다른 층에 남는다 · F-7-01C 접합면과 박형화는 완성 단면 밖의 공정으로 확대한다 · F-7-05A 배선 CMP와 본딩면 CMP는 남겨야 할 표면이 다르다 · F-7-05B 유전막이 먼저 닿고, 어닐에서 Cu 접촉이 완성된다 · F-8-04A 먼저 기준면을 정해야 마이너스 값의 뜻이 보인다 · F-8-04B 에로전은 영역의 높이, 라운딩은 모서리의 형상이다 · F-8-05A 이 실측은 웨이퍼 중앙의 평가용 패드에서 나왔다 · F-8-05B 평균과 함께 분포 폭을 읽어야 개선의 범위가 보인다 · F-8-05C 터치업은 돌출을 없애지만 과연마를 만들 수 있다 · F-8-06 같은 CMP 조건에서도 Cu 간격이 형상을 바꾼다

Day 4에서 hybrid bonding이 언제 오는지를 다루었다면, 6.4절은 hybrid bonding에 어떤 소재가 필요한지를 다룬다. hybrid bonding은 두 웨이퍼 또는 다이의 표면에서 유전막끼리는 직접 융착시키고 구리 패드끼리는 직접 확산 접합시키는 방식이다. 솔더도 플럭스도 언더필도 쓰지 않는다. 그 대신 모든 부담이 표면 준비 공정으로 옮겨 간다. 표면을 얼마나 평탄하고 깨끗하게 만드느냐가 곧 수율이다.

구리 패드는 유전막보다 아주 약간 낮아야 한다. 이 미세한 함몰을 recess 또는 dishing이라 부른다. 접합 직후에는 유전막끼리만 닿아 있고, 이어지는 어닐에서 구리가 열팽창하여 위로 밀려 올라오면서 갭이 닫히고 구리끼리 확산 접합된다. 구리의 열팽창은 대략 50°C당 1μm 길이마다 1nm 수준이다. 그래서 recess가 너무 깊으면 갭이 닫히지 않고 보이드가 남으며, 너무 얕으면 접합 전에 구리가 먼저 닿아 유전막 융착을 방해한다 [S-6-25].

같은 구리 CMP라도 자리마다 규격이 다르다는 점을 먼저 구분해 두어야 한다. TSV를 드러내는 리빌 CMP의 디싱은 수십 나노미터 수준에서 관리되지만, 본딩면의 recess는 수 나노미터 수준이어서 두 값은 같은 기준으로 비교할 수 없다. 본딩면의 요구치는 좁은 창으로 정해지며, 그 창의 위치는 어닐 조건과 패드 구조에 따라 달라진다. 같은 자료에는 1패스 후 recess가 5~25nm로 남은 사례도 함께 실려 있다. 따라서 아래 수치는 특정 조건의 사례값으로 읽어야 한다 [S-6-25].

창이 좁은 것보다 더 어려운 문제는 그 창을 웨이퍼 전면에서 똑같이 재현해야 한다는 점이다. CMP는 본질적으로 압력과 상대 속도가 위치마다 다른 공정이어서 웨이퍼 중심과 가장자리의 제거량이 벌어지기 쉽다. 여기에 패턴 밀도 의존성이 겹친다. 구리 패드가 촘촘한 영역과 성긴 영역은 단위 면적당 받는 압력이 달라

제거량이 달라지고, 그 결과 같은 웨이퍼 안에서도 패드 배치에 따라 recess가 흩어진다. 배선 CMP에서는 이 흩어짐을 수십 nm 범위에서 관리하면 되지만, 본딩면에서는 그 전체 분포가 1~5nm라는 창 안에 들어와야 한다. 슬러리의 화학이 패턴 밀도에 둔감하도록 설계되어야 하는 이유가 여기에 있다 [S-6-25][S-6-26].

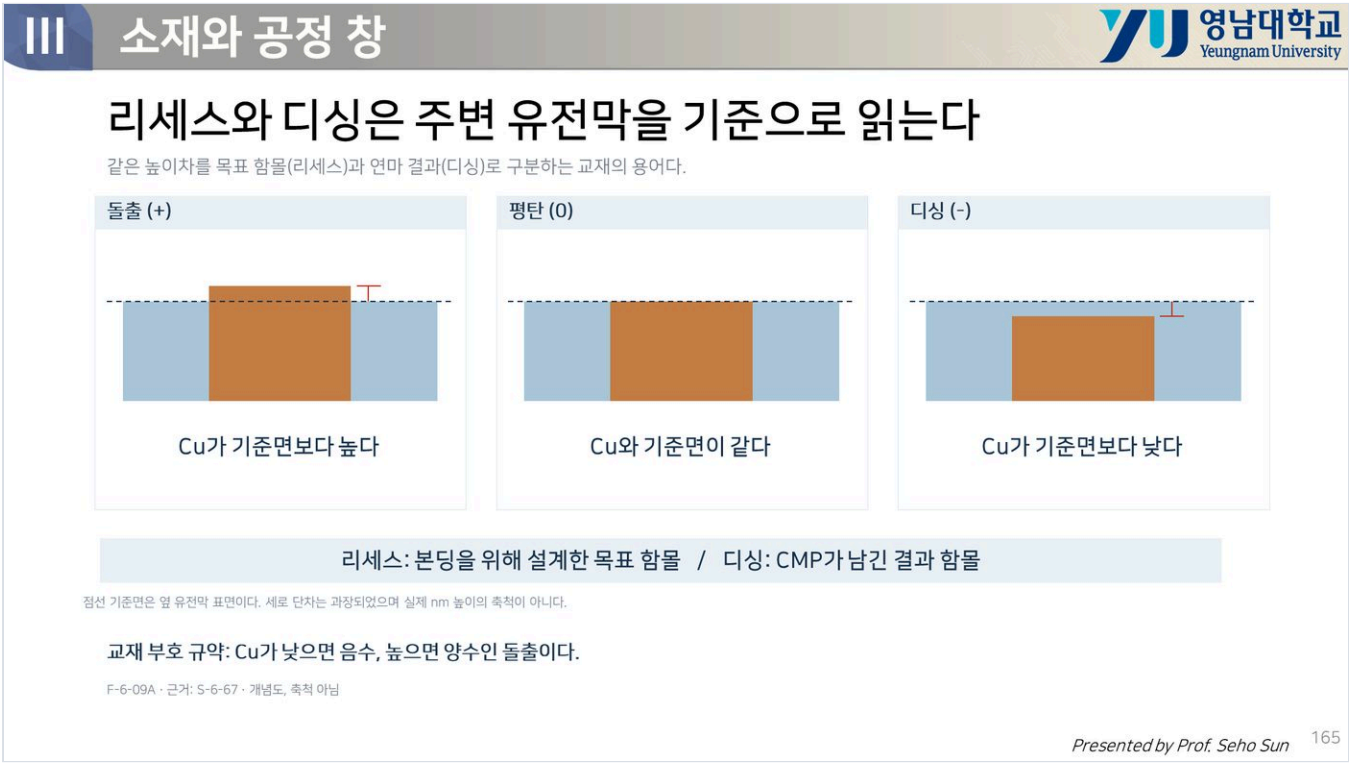
정량적 기준은 다음과 같다. Intel이 NCCAVS CMP 사용자 모임에서 정리한 리뷰는 적절한 어닐 온도(약 400°C 이하)에서 recess를 1~5nm 범위로 제어해야 한다고 명시한다. 같은 리뷰에 따르면 post-CMP 표면 거칠기는 SiCN이 제곱평균제곱근 거칠기(RMS) 0.10nm로, SiO_2의 0.16nm와 SiOxNy의 0.23nm보다 우수하다. 리뷰는 이를 근거로 SiCN을 가장 유망한 본딩 유전막으로 평가한다 [S-6-25]. 학술 쪽에서는 피치가 1μm 미만으로 내려가면 recess가 5nm보다 작아야 한다는 요구가 보고되어 있다. 같은 연구는 세 배 희석한 알칼리 슬러리에 과산화수소 0.4 wt%를 넣어 구리와 SiCN의 제거율 선택비를 1 대 1.5로 맞추는 비선택성 연마 조건을 제시한다 [S-6-26].

imec은 2024년 ECTC에서 패드 피치 2μm의 다이 대 웨이퍼 접합을 시연하면서 Cu recess 2.5nm 미만과 정렬 오차 350nm 미만을 보고하였다 *[C-6-24]*. 피치 미세화의 최선단 결과는 2026년 ECTC에서 나왔다. Applied Materials와 EV Group은 450nm 피치에서 웨이퍼 쌍당 2천만 개의 구리 인터커넥트를 98% 수율로 접합했다고 보고하였다 [S-6-34]. 이 값들은 각각 특정 피치와 적층 조건에서 얻은 결과이므로 범용 합격 규격으로 읽으면 안 된다 *[C-6-24][C-6-25]*.

항목	요구치	기준·출처 성격	출처 ID
Cu recess(디싱)	약 400°C 어닐 조건 사례에서 1~5nm, 웨이퍼 전면 균일. 조건별 사례값이며 범용 규격이 아님	Intel NCCAVS 발표	S-6-25
Cu recess(미세 피치)	1μm 미만 피치에서 5nm 미만	ECS 학술지, OA	S-6-26
유전막 거칠기	SiCN에서 달성 가능한 값 RMS 0.10nm (SiO_2 0.16, SiOxNy 0.23). 요구 규격이 아니라 비교 실측값	Intel NCCAVS 발표	S-6-25
선택비 설계	Cu 대 SiCN 제거율 1 대 1.5 (near-unity 지향)	ECS 학술지, OA	S-6-26
금속 오염	5×10^{10} atoms/cm^2 미만 수준	장비사 세정 사양 예시	S-6-25
2μm 피치 실증	Cu recess 2.5nm 미만, 정렬 오차 350nm 미만	imec, ECTC 2024	C-6-24
플라즈마 처리 후 표면	거칠기 0.5nm 미만, SiO_2 손실 1nm 미만. 배리어 1~2nm 돌출도 문제	Applied Materials·BESI, IMAPS 2023	C-6-25
저온 본딩 실증	SiCN 계면으로 250°C 어닐 후 본드에너지 2.2 J/m^2 초과	IEEE 학회 논문	S-6-29
최선단 피치 실증	450nm 피치, 2천만 접합, 수율 98%	ECTC 2026 보도	S-6-34

이 수치들을 비교하려면 지표의 정의와 기준면을 먼저 맞춰야 한다. 리세스와 디싱은 같은 높이 차를 가리키는 말이지만, 이 자료에서는 본딩을 위해 설계한 목표 함몰을 리세스, 연마가 남긴 결과로서의 함몰을 디싱으로 구분해 부른다(Day 8 §8.3). 어느 쪽이든 주변 유전막 표면을 기준면으로 두고 구리 패드 표면이 그보다 얼마나 낮은지를 잰다. 부호 규약이 중요하다. 패드가 낮으면 음수로, 높으면 양수로 적고 양수는 돌출을 뜻한다 [S-6-67].

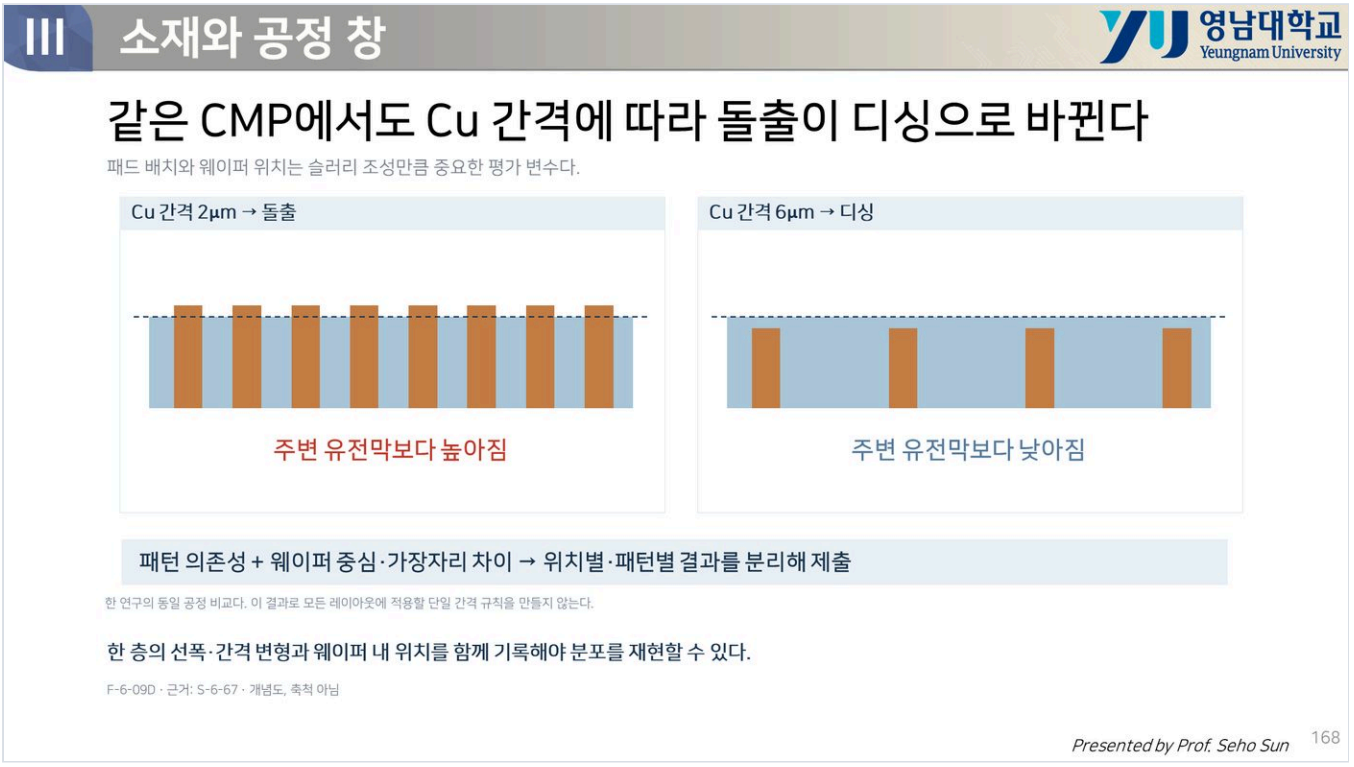
에로전은 기준면이 다르다. 패턴이 있는 영역 전체가 패턴이 없는 영역보다 얼마나 내려앉았는지를 잰다. 디싱이 패드 하나의 문제라면 에로전은 영역 전체의 문제다. 거칠기는 같은 면 안의 미세 요철이며 RMS 또는 Ra로 적는데, 스캔 면적을 함께 밝히지 않으면 비교가 성립하지 않는다.



도해 F-6-09A · 리세스와 디싱은 주변 유전막을 기준으로 읽는다 · 근거 S-6-67
교재 부호 규약: Cu가 낮으면 음수, 높으면 양수인 돌출이다.

도해 F-6-09B · 에로전은 패드가 아니라 패턴 영역 전체의 내려앉음이다 · 근거 S-6-67, S-6-68
패드 한 개의 높이차와 넓은 영역의 침식을 같은 값으로 합치지 않는다.

도해 F-6-09C · 척도가 달라지면 AFM·프로파일러·간섭계를 나누어 쓴다 · 근거 S-6-25, S-6-67, S-6-68
높이값에는 기준면·측정 위치·스캔 면적·계측 수단을 함께 남긴다.



도해 F-6-09D · 같은 CMP에서도 Cu 간격에 따라 돌출이 디싱으로 바뀐다 · 근거 S-6-67
한 층의 선폭·간격 변형과 웨이퍼 내 위치를 함께 기록해야 분포를 재현할 수 있다.

계측 수단도 척도에 따라 갈린다. 원자간력현미경(AFM)은 나노미터 이하까지 보지만 스캔 면적이 좁아 패드 단위 측정에 쓰인다. 앞서 인용한 디싱 값들은 모두 이 방법으로 얻었다 [S-6-67][S-6-68]. 접촉식 프로파일러는 마이크로미터 스케일의 단차와 에로전 프로파일을 길게 훑는 데 맞고, 광학 간섭계는 넓은 면적의 형상을 빠르게 잡아 웨이퍼 맵을 만드는 데 쓴다.

측정 위치도 규약이 필요하다. 같은 웨이퍼라도 중심과 가장자리가 다르고, 같은 다이 안에서도 패드 밀도가 높은 영역과 낮은 영역이 다르다. 한 연구는 웨이퍼 중앙을 기준으로 값을 제시하면서, 구리 간격이 2μm에서 6μm로 바뀌면 같은 공정에서도 패드 형상이 돌출에서 디싱으로 넘어간다고 보고한다. 같은 연구는 한 층에 선폭과 간격 변형을 너무 많이 섞지 말라고 권고한다 [S-6-67]. 자릿수 감각도 함께 잡아 두면 좋다. 리세스와 거칠기는 나노미터 한 자리, 에로전은 나노미터에서 수십 나노미터, 다이 스케일 형상은 마이크로미터 단위로 다룬다.

요점: 디싱과 에로전은 기준면이 다르다. 디싱은 옆의 유전막 면을 기준으로 패드가 얼마나 내려앉았는가이다. 에로전은 패턴 없는 영역을 기준으로 패턴 영역 전체가 얼마나 내려앉았는가이다.

자주 묻는 질문: 에로전은 어떻게 재는가? 패턴 영역과 패턴 없는 영역을 함께 지나는 선을 접촉식 프로파일러나 광학 간섭계로 훑어 단차를 잡는다. 패드 단위의 디싱은 AFM으로 따로 잰다.

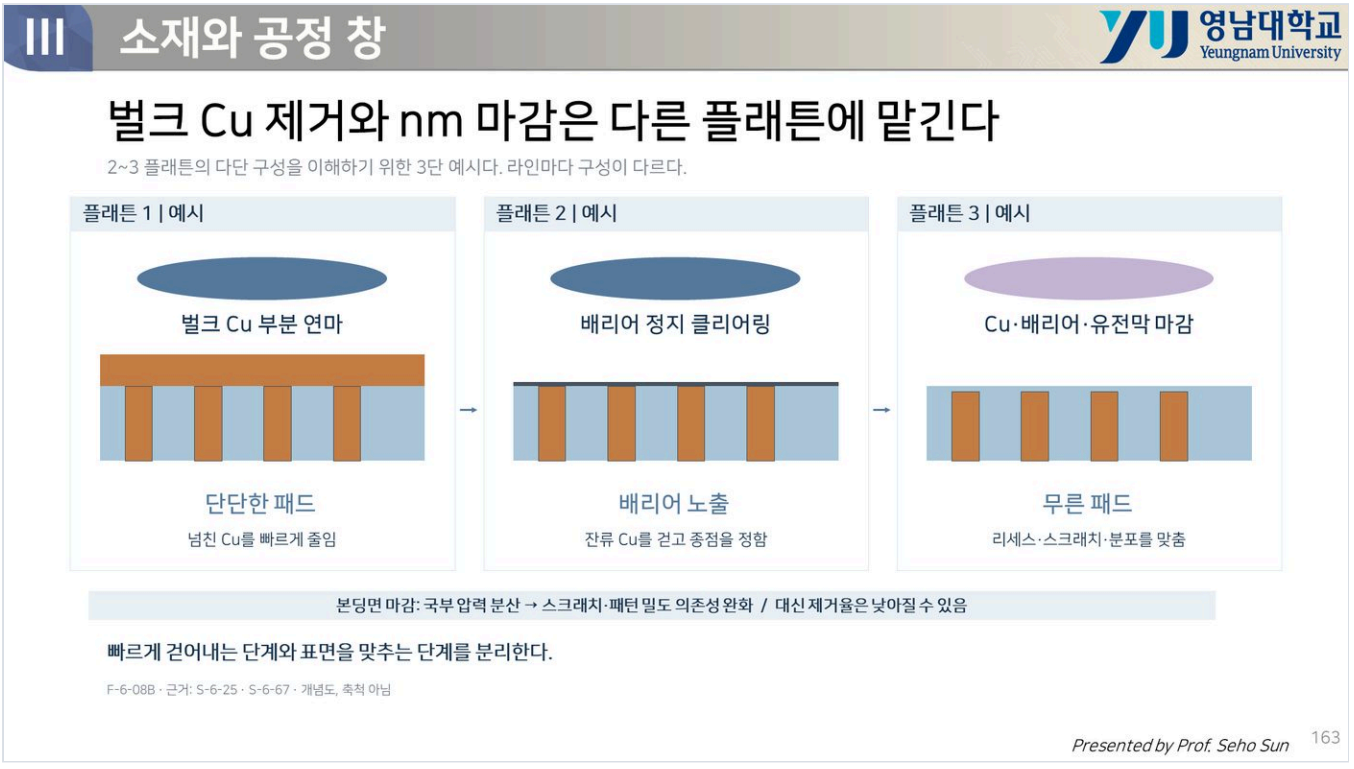
본딩면 CMP는 기존 배선 CMP와 목표 함수가 반대다. 배선 CMP는 빨리 깎는 것이 미덕이고 수십 nm의 디싱을 허용하며, 구리를 선택적으로 제거하고 산화막에서 멈추도록 설계된다. 본딩면 CMP는 제거율이 아니라 1~5nm의 recess를 웨이퍼 전면에서 재현하는 것이 합격선이다. 그러려면 산화막 제거율이 구리보다 근소하게 높은 near-unity 선택비가 필요하다 [S-6-25][S-6-26]. 결함이 미치는 영향도 다르다. 배선 CMP에서 스크래치는 해당 다이의 수율 손실이지만, 본딩면에서 파티클 하나는 보이드가 되고 보이드는 스택 전체의 폐기를 뜻한다.

그래서 세정이 슬러리와 한 묶음으로 따라온다. post-CMP 세정은 슬러리 입자 제거, 유기 잔사 제거, 금속 오염 저감, 워터마크 방지, 구리 부식 억제를 동시에 만족해야 한다. CMP가 표면 1~2nm와 표면 아래 1~20nm에 남기는 손상과 오염도 걷어내야 한다 [S-6-28]. 2026년에는 주사전자현미경에 후방산란 전자회절 검출기를 붙여 세정 후 구리 표면의 결정학적 상태까지 정량 평가하는 방법이 제안되었다. 표면이 깨끗한지를 파티클 카운트만으로는 판정할 수 없는 단계에 왔다는 뜻이다 [S-6-28].

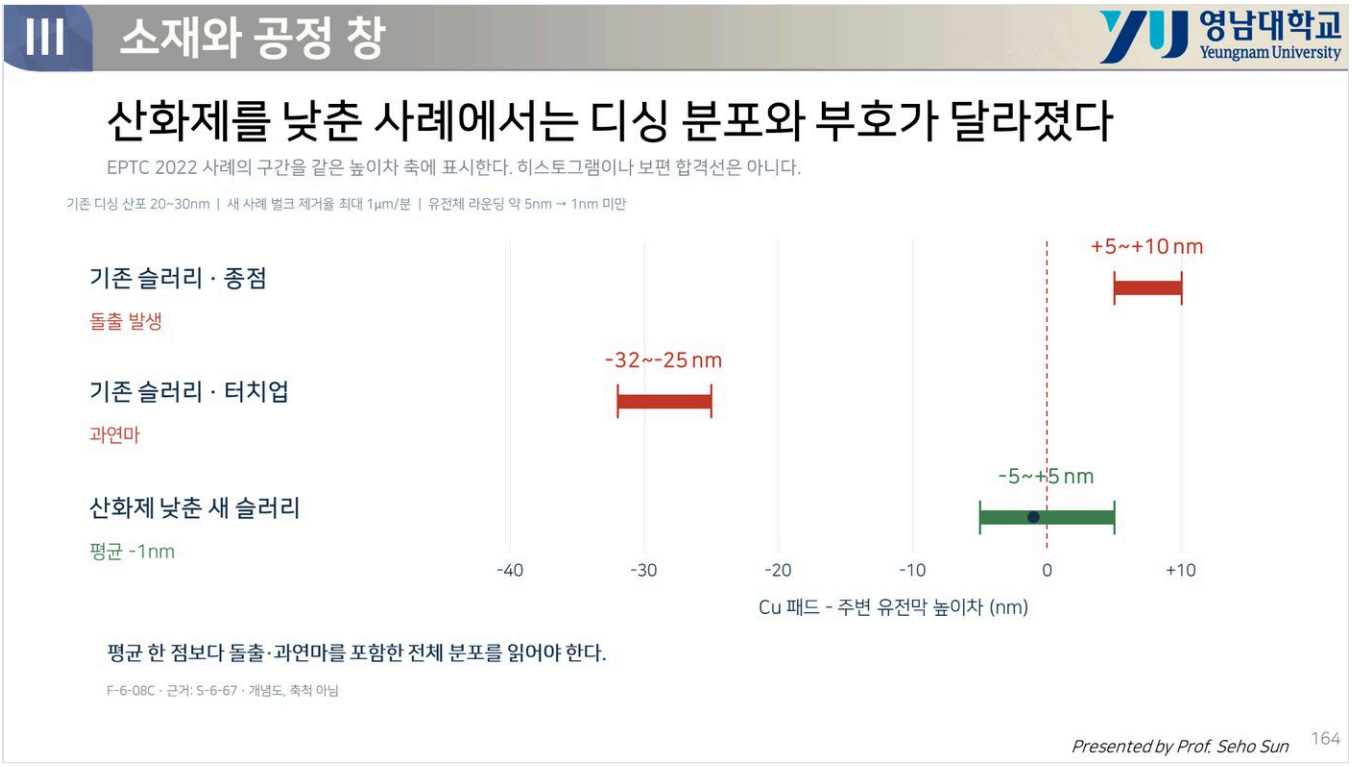
연마 패드와 컨디셔닝도 같은 이유로 사양이 바뀐다. 배선 CMP에서는 제거율을 확보하기 위해 단단한 패드를 쓰고 다이아몬드 컨디셔너로 표면을 거칠게 유지한다. 본딩면 마감 스텝에서는 디펙트를 최소화해야 하므로 무른 패드나 그보다 더 무른 패드를 쓴다. 패드가 무르면 국부 압력이 분산되어 스크래치가 줄고 패턴 밀도 의존성도 완화되는 대신 제거율이 낮아진다. 마감 스텝에서는 이 교환이 유리하다.

그래서 벌크 구리를 빠르게 걷어내는 단계와 배리어에서 recess를 다듬는 단계를 분리한 다단 구성이 쓰인다 [S-6-25]. 플래튼 수는 라인마다 다르다. 벌크 부분 연마, 배리어 정지 클리어링, 구리·배리어·유전막 동시 마감을 세 플래튼에 나누는 3단 구성도 함께 보고된다. 따라서 플래튼 수를 단정하지 말고, 벌크 제거와 마감을 분리한 2~3 플래튼의 다단 구성으로 이해하는 편이 안전하다.

도해 F-6-08A · CMP는 압반·패드·슬러리·온도를 함께 제어한다 · 근거 S-6-25, S-6-63, S-6-64
본딩면 슬러리는 단품 물성표보다 공정 조건과 함께 제안해야 한다.



도해 F-6-08B · 벌크 Cu 제거와 nm 마감은 다른 플래튼에 맡긴다 · 근거 S-6-25, S-6-67
빠르게 걷어내는 단계와 표면을 맞추는 단계를 분리한다.



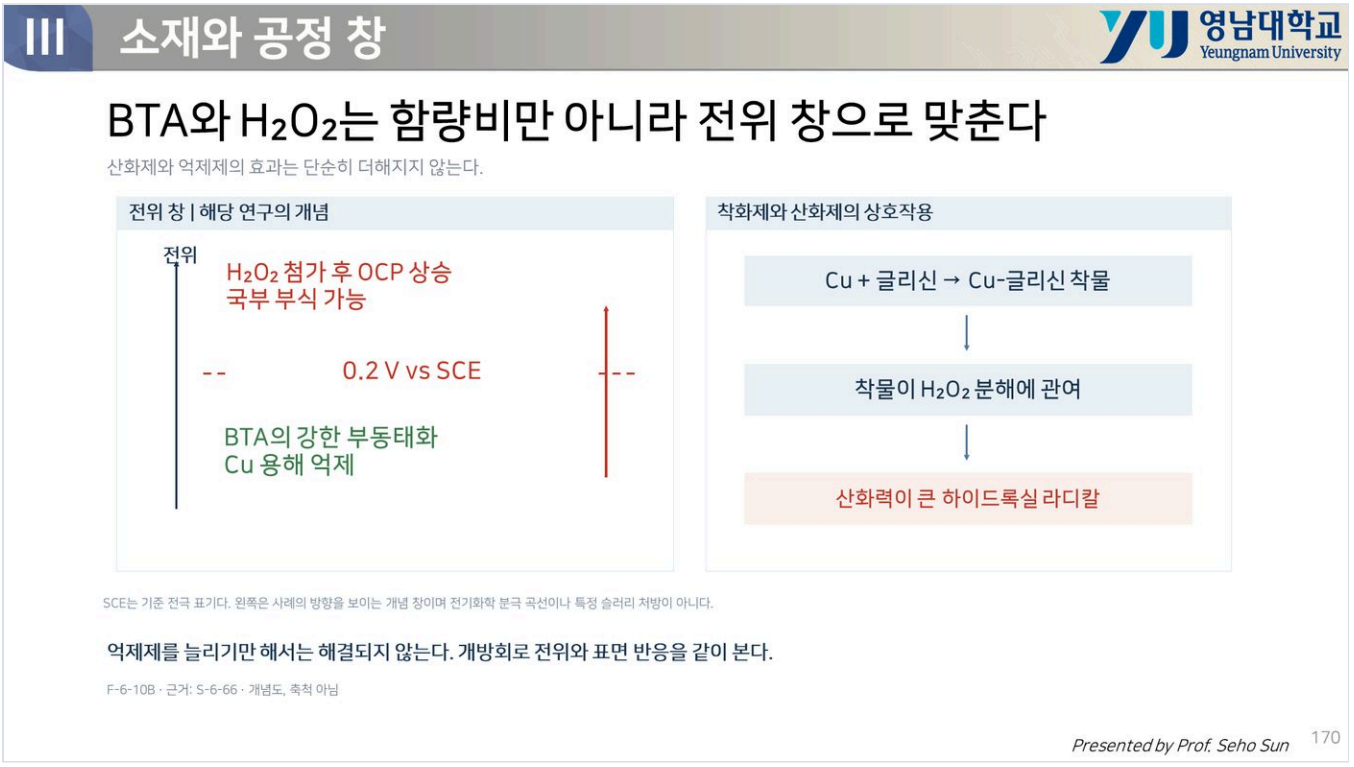
도해 F-6-08C · 산화제를 낮춘 사례에서는 디싱 분포와 부호가 달라졌다 · 근거 S-6-67
평균 한 점보다 돌출·과연마를 포함한 전체 분포를 읽어야 한다.

패드와 슬러리의 온도도 독립된 조절 변수다. 구리 제거에는 화학 경로와 기계 경로가 함께 작동한다. 화학적으로는 구리가 산화되고 그 산화물이 이온으로 용해되며, 기계적으로는 패드가 표면을 연마한다. 온도를 낮추면 구리 산화물의 이온화가 줄고 패드가 단단해져 실제 접촉 면적이 줄므로 두 경로가 동시에 약해진다. 그 결과 제거율이 내려가면서 에로전이 개선되는 방향으로 움직인다. 반대로 온도를 올리면 이온화가 늘고 패드가 연화되어 접촉 면적이 커진다.

CMP 패드의 온도 의존 거동과 연마 중 열 발생이 제거 특성을 바꾼다는 것은 공개 학술 문헌으로도 보고되어 있다 [S-6-63][S-6-64]. 소재 공급사 관점에서는 같은 산화제와 착화제 처방이라도 패드 온도가 다르면 결과가 달라진다. 그래서 슬러리 제안은 물성표가 아니라 온도와 압력과 회전수를 포함한 공정 창으로 내야 한다.

구리 CMP 슬러리는 크게 네 성분과 pH로 설명된다. 산화제가 구리 표면을 무른 산화물로 바꾸고, 착화제가 그 산화물을 용해 가능한 착물로 만든다. 부식 억제제는 깎지 말아야 할 자리를 부동태막으로 덮고, 연마 입자는 기계적으로 표면을 걷어낸다 [S-6-65].

도해 F-6-10A · Cu CMP 슬러리는 네 성분과 pH로 기능을 나눈다 · 근거 S-6-65, S-6-66
산화·착화·부동태화·기계적 연마가 같은 표면에서 함께 작동한다.



도해 F-6-10B · BTA와 H_2O_2는 함량비만 아니라 전위 창으로 맞춘다 · 근거 S-6-66
억제제를 늘리기만 해서는 해결되지 않는다. 개방회로 전위와 표면 반응을 같이 본다.

도해 F-6-10C · 본딩면에서는 선택비와 디싱을 함께 조정한다 · 근거 S-6-26, S-6-65, S-6-67
희석·산화제·억제제·입자·pH는 제거율 하나가 아니라 표면 형상과 결함으로 평가한다.

산화제는 과산화수소가 표준이다. 농도를 올리면 산화막이 빨리 자라 제거율이 오른다. 그런데 본딩면에서는 이 방향이 반대로 작동한다. TSV용으로 쓰던 기존 구리 슬러리와 배리어 슬러리를 그대로 가져오면 디싱이 20~30nm 범위로 흐트러지고, 더 나쁘게는 종점에서 구리 패드가 5~10nm 돌출한다. 돌출은 hybrid bonding에서 허용되지 않으므로 터치업 CMP를 한 번 더 돌리는데, 제거율이 높은 탓에 이번에는 영하 25~32nm로 과하게 파인다 [S-6-67]. 본딩면 전용이 아닌 슬러리로 잰 실측 분포는 −38~−22 nm였다(Day 7 §7.5 [S-7-37]).

같은 연구는 과산화수소 비중을 낮춘 새 슬러리로 벌크 구리 제거율을 분당 최대 1μm까지 내렸다. 느려진 제거가 클리어링 단계를 부드럽게 만들어, 압력과 슬러리 유량과 회전수로 돌출에서 디싱으로 미세 조정할 여지가 생겼다고 보고한다. 결과는 평균 디싱 영하 1nm, 분포 영하 5nm에서 양 5nm였다. 유전체 표면 라운딩도 약 5nm에서 1nm 미만으로 줄었다 [S-6-67]. 산화제 농도는 제거율을 조절하는 변수이면서 디싱 부호를 바꾸는 변수이기도 하다.

착화제로는 글리신 같은 아미노산과 유기산이 쓰인다. 구리 이온과 착물을 만들어 직접 용해 경로를 열어 주고, 생성된 구리와 글리신 착물이 과산화수소를 분해해 산화력이 더 큰 하이드록실 라디칼을 만든다 [S-6-66]. 착화제를 늘리면 화학 제거가 강해져 제거율이 오르지만, 정지시켜야 할 자리에서도 용해가 진행되어 디싱이 깊어진다.

부식 억제제는 벤조트리아졸 계열이 대표다. 구리 표면에 중합막을 만들어 용해를 막으므로 제거율을 내리고 결함과 디싱을 함께 줄인다. 억제제를 늘리면 결함은 줄고 제거율도 함께 줄어드는 교환 관계가 성립한다. 다만 억제제의 효과는 산화제와 단순히 합산되지 않는다. 벤조트리아졸은 0.2V(SCE)보다 낮은 전위에서 강한 부동태화를 주는데, 과산화수소를 넣으면 개방회로 전위가 그 위로 급상승해 국부 부식이 시작될 수 있다 [S-6-66]. 두 성분의 비율이 아니라 전위 창을 맞추는 설계라는 뜻이다.

연마 입자는 콜로이달 실리카가 기본이고, 유전막 제거율을 올려야 할 때 세리아가 쓰인다. 입자 크기와 농도가 제거율과 스크래치를 동시에 움직이므로, 본딩면 마감에서는 제거율을 포기하더라도 스크래치를 줄이는 쪽으로 잡는다. 구리와 SiCN을 함께 깎는 구간에서는 선택비를 near-unity로 끌어와야 한다. 한 연구는 알칼리 슬러리를 세 배 희석하고 과산화수소를 0.4 wt%로 맞춰 구리 대 SiCN 제거율을 1 대 1.5로 만들었다 [S-6-26]. 선택비를 실제로 조절한 변수가 희석과 산화제 농도였다는 점은 소재 회사에 직접적인 시사점이다.

요점: 본딩면 슬러리는 네 성분의 조정 방향이 배선용과 반대다. 산화제를 낮춰 제거율을 분당 1μm 수준까지 내리자 패드가 돌출에서 디싱으로 넘어갔다. 결과는 평균 영하 1nm, 분포 영하 5nm에서 양 5nm였다.

자주 묻는 질문: 억제제를 더 넣으면 해결되는가? 억제제를 늘리면 결함과 디싱은 줄지만 제거율도 함께 내려간다. 과산화수소와의 전위 창이 어긋나면 오히려 국부 부식이 생기므로 단일 성분 조정으로는 풀리지 않는다.

세정 이후의 시간도 공정 변수다. 구리는 공기에 노출되면 수 분 안에 자연 산화막이 자라고, 이 산화막이 원자 확산을 막아 구리끼리의 금속 결합을 방해한다 [S-6-70]. 그래서 세정이 끝난 웨이퍼를 언제까지 붙여야 하는지가 관리 대상이 되며, 업계는 이를 대기 시간(queue time)이라 부른다. 공개된 보편 규격은 없지만 영향의 크기를 가늠할 사례는 있다. 한 장비사의 학회 자료는 특정 조건에서 36시간을 대기한 뒤 수율이 약 98%에서 80%로 떨어졌다고 보고한다 *[C-6-25]*. 범용 보증값이 아니라 한 조건의 실측이지만, 대기 시간은 시간 단위로 관리해야 하는 변수다.

대응은 세 갈래다. 첫째는 보관 환경이며, 질소 같은 불활성 분위기나 진공에서 보관해 산화를 늦춘다. 둘째는 구리 자체의 설계다. 입계를 고정하는 첨가제를 도금 단계에서 넣어 미세 결정립을 유지하면 CMP 이후 2주에서 4주까지 구조가 유지된다는 공급사 자료가 있다 [S-6-70]. 셋째는 접합 직전 처리다. 플라즈마 활성화가 세정 과정에서 생긴 부동태층을 걷어내 구리끼리의 접촉을 다시 열어 준다 [S-6-26].

세정액 자체도 요구가 겹겹이다. 슬러리 입자와 유기 잔사, 금속 오염을 함께 제거하면서 스크래치나 거칠기 증가를 만들지 않아야 한다. 구리 부식을 억제하면서 건조 과정의 워터마크도 막아야 한다 [S-6-69]. 접합 직전에는 표면을 다시 계측해 파티클 수와 거칠기를 확인하는 단계도 붙는다. 최근에는 주사전자현미경에 후방산란 전자회절 검출기를 붙여 세정 후 구리 표면의 결정학적 상태까지 정량 평가하는 방법이 제안되었다 [S-6-28].

요점: 세정이 끝난 시점부터 접합까지의 대기 시간이 별도의 공정 변수다. 구리는 공기 중에서 수 분 안에 산화막을 만든다. 한 장비사 자료는 36시간 대기 후 수율이 98%에서 80%로 떨어진 사례를 보고한다.

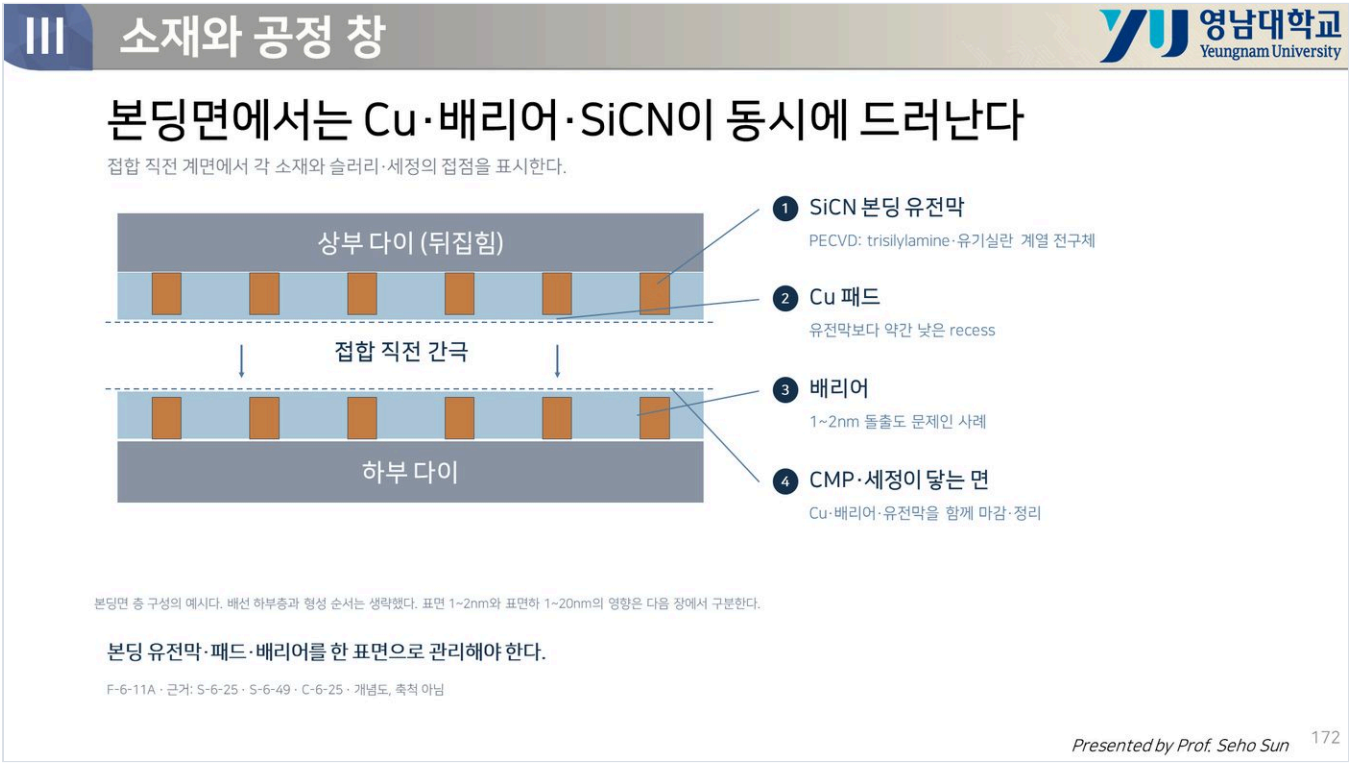
자주 묻는 질문: 세정 후 몇 시간 안에 붙여야 하는가? 공개된 보편 규격은 없고 라인마다 자체 대기 시간을 정한다. 36시간 대기에서 수율이 크게 떨어진 사례가 공개되어 있으므로 시간 단위 관리가 필요하다.

자주 묻는 질문: 세정액도 함께 파는가? 슬러리를 바꾸면 세정을 다시 퀄해야 하므로, 둘을 묶어 제안하는 것이 이 업계의 관행이다.

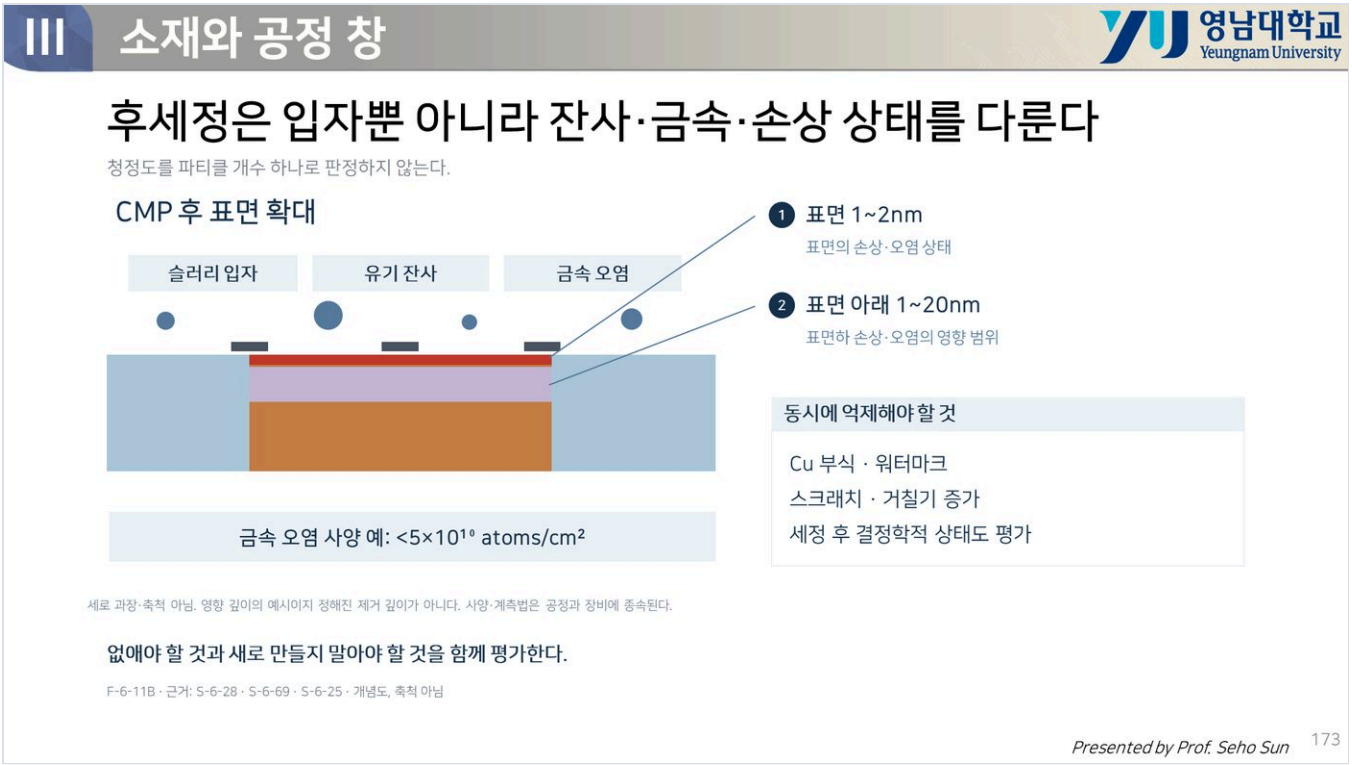
본딩 유전막 자체도 새로운 소재 수요다. SiCN은 SiO_2보다 거칠기가 낮고 본드 에너지가 높으며 구리 확산 배리어 성능이 좋아 표준 후보로 자리 잡았다 [S-6-26][S-6-27]. 다만 후보가 SiCN과 SiO_2 둘만은 아니다. 대학 강의자료 수준에서는 도포형 절연막인 SOD(spin-on dielectric) 계열도 본딩 유전막으로 함께 검토된다.

유전막이 무엇이냐에 따라 연마 압력의 창이 달라진다. 경도가 높은 유전막은 구리 제거율을 우선해 상대적으로 단단한 패드와 높은 압력을 쓸 수 있다. 반면 경도가 낮은 유전막은 침식을 피하기 위해 무른 패드와 낮은 압력을 써야 하므로 창이 좁아진다. 구체적 압력 수치는 공개 1차 자료로 확인하지 못했으므로 방향만 기억하는 것이 맞다. 저온화 흐름도 뚜렷하여 250℃ 어닐로 2.2 J/m² 이상의 본드 에너지를 얻은 사례가 보고되었다. 표면 활성화 조건과 유전막 조성을 함께 설계하는 연구도 이어지고 있다 [S-6-29].

SiCN은 PECVD(플라즈마 화학기상증착)로 증착하므로 trisilylamine 계열과 유기실란 계열 전구체 수요가 새로 생긴다 [S-6-49]. 다만 HBM용 SiCN 전구체의 상용 공급 구도는 아직 실명으로 공개된 보도가 없어 추정 영역이다. 국내에서는 솔브레인이 Cu 배리어·TSV용 CMP와 세정재, HCDS 같은 전구체 사업을 공개하고 있다. 그러나 이 사업을 hybrid bonding 전용 제품 출시나 고객 승인으로 읽어서는 안 된다 *[C-6-28]*.



도해 F-6-11A · 본딩면에서는 Cu·배리어·SiCN이 동시에 드러난다 · 근거 S-6-25, S-6-49, *C-6-25*
본딩 유전막·패드·배리어를 한 표면으로 관리해야 한다.

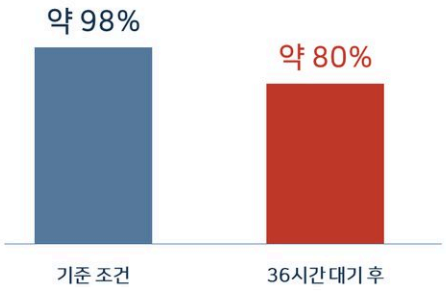


도해 F-6-11B · 후세정은 입자뿐 아니라 잔사·금속·손상 상태를 다룬다 · 근거 S-6-28, S-6-69, S-6-25
없애야 할 것과 새로 만들지 말아야 할 것을 함께 평가한다.

세정이 끝난 뒤부터 접합까지의 시간도 공정 변수다

Queue time의 한 조건 실측을, 보편 허용시간이나 보관 보증으로 읽지 않는다.

한 조건 사례 | 36시간 대기 영향



대응은 세 갈래다

1. **보관 환경**
   불활성 분위기·진공으로 산화 억제
2. **Cu 결정립 설계**
   도금 단계의 입계 고정 첨가제
3. **접합 직전 처리**
   플라즈마 활성화로 표면 상태 조정

주의: CMP 후 2~4주 결정립 구조 유지 사례는 산화·파티클·접합수율의 대기 보증기간을 뜻하지 않는다.

대기시간은 공정·보관 환경·접합 직전 처리를 묶어 정한다.

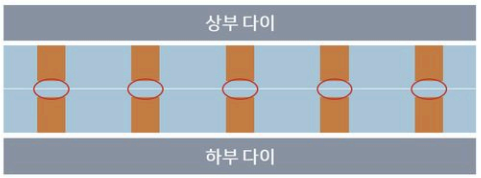
F-6-11C · 근거: C-6-25 · S-6-70 · S-6-26 · 개념도, 축척 아님

도해 F-6-11C · 세정이 끝난 뒤부터 접합까지의 시간도 공정 변수다 · 근거 *C-6-25*, S-6-70, S-6-26
대기시간은 공정·보관 환경·접합 직전 처리를 묶어 정한다.

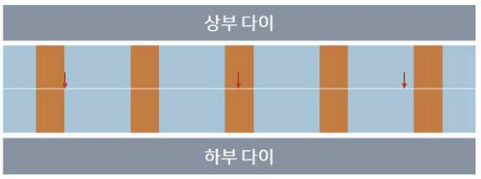
리세스 목표는 어닐 온도와 한 쌍으로 정한다

유전막끼리 먼저 맞닿고, 어닐에서 Cu가 팽창해 금속 간극을 닫는다.

예비 접합: 유전막 먼저 접촉



어닐: Cu 팽창·확산 접합



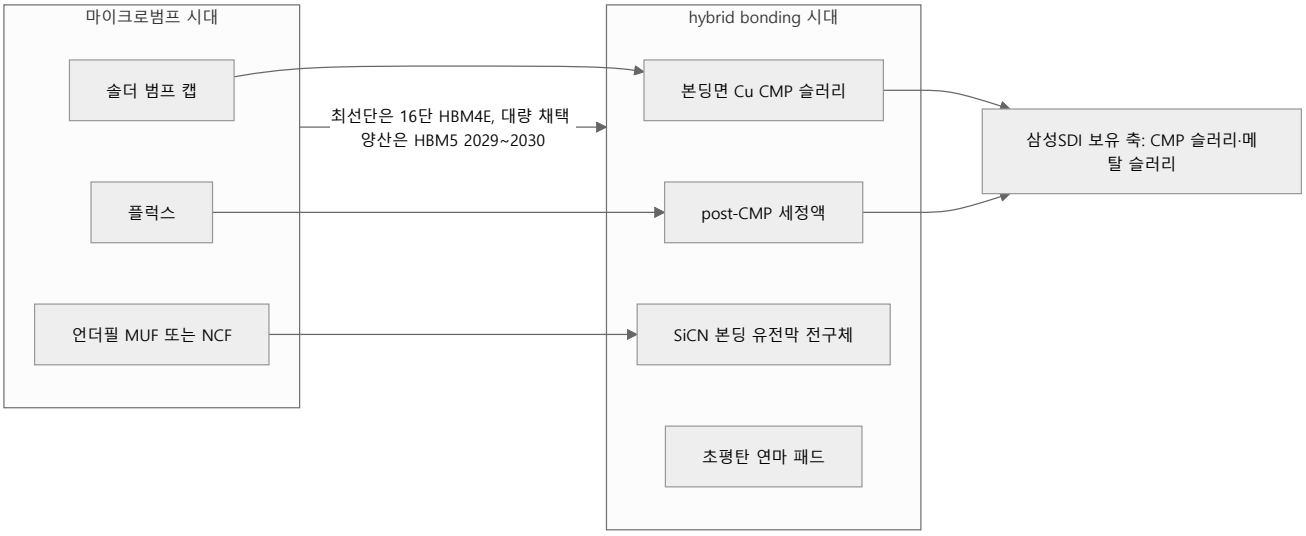
약 400℃ ↔ recess 1~5nm	250℃ 미만 ↔ Cu 디싱 <5nm	250℃ ↔ 본드 에너지 >2.2J/m²
조건부 사례 | S-6-25	저온 조건 사례 | S-6-62	별도 계면 실증 | S-6-29

Cu 열팽창의 교재 근사: 50℃당 길이 1μm에서 약 1nm. 모든 수치는 패드·유전막·어닐 조건에 종속되는 사례다.

어닐 온도를 낮추면, 닫아야 할 Cu 간극과 허용 분포도 다시 맞춰야 한다.

F-6-11D · 근거: S-6-25 · S-6-29 · S-6-62 · 개념도, 축척 아님

도해 F-6-11D · 리세스 목표는 어닐 온도와 한 쌍으로 정한다 · 근거 S-6-25, S-6-29, S-6-62
어닐 온도를 낮추면, 닫아야 할 Cu 간극과 허용 분포도 다시 맞춰야 한다.



어닐 온도와 recess는 서로 묶여 있다. 어닐 온도가 높으면 구리가 더 많이 팽창하므로 recess를 깊게 잡아도 갭이 닫힌다. 그러나 온도가 높을수록 주변 소자와 저온 접합부가 위험해지고, 열응력으로 인한 뒤틀림도 커진다. 그래서 업계는 어닐 온도를 400°C 이하에서 300°C 이하로 낮추는 방향으로 움직이고 있다. 온도를 낮춘 만큼 recess의 목표값과 허용 편차를 다시 잡아야 한다 [S-6-25].

이 종속성은 곡선으로 제시되어 있다. 디싱 값과 어닐 온도를 두 축으로 두고 어닐 후 접촉 면적을 그린 자료를 보면, 같은 디싱이라도 어닐 온도가 낮을수록 접촉 면적이 줄어든다 [S-6-62]. 그래서 합격선은 단일 숫자가 아니라 어닐 온도와의 짝으로만 정의된다. 약 400°C 어닐 조건에서는 1~5nm 사례가 보고되고 [S-6-25], 250°C 미만의 저온 어닐에서는 구리 디싱을 5nm 미만으로 가져가야 접합 면적이 확보된다 [S-6-62]. 두 수치는 서로 모순이 아니라 같은 곡선 위의 두 점이며, 하나의 규격이 아니다. 250°C 어닐로 충분한 본드 에너지를 얻은 실증은 이 곡선의 저온 쪽에 해당한다 [S-6-29].

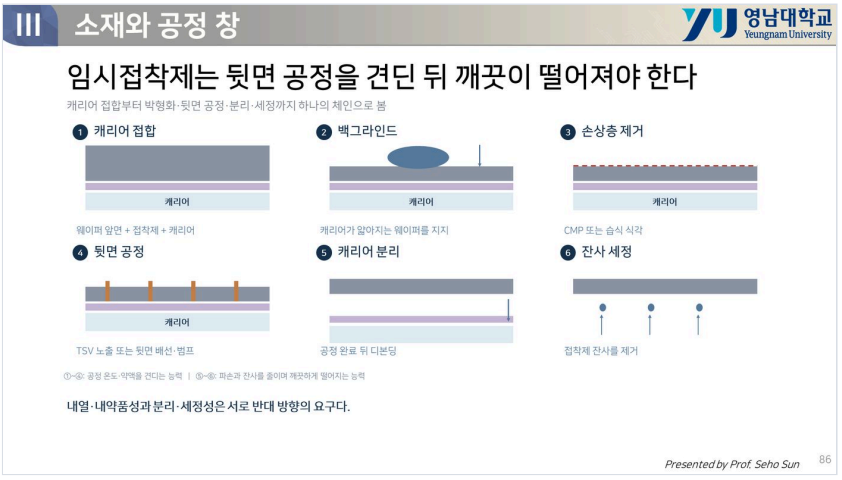
소재 공급사 관점에서 이 종속성은 슬러리 사양을 고객의 어닐 조건과 짝지어 제안해야 한다는 뜻이다. 카탈로그 제품으로는 팔 수 없다. 고객 공정과의 공동 최적화가 전제된다.

공급 구도는 이미 움직이고 있다. 시장조사 추정(구매가이드 기준)에 따르면 상위권 업체가 전체 CMP 슬러리의 65~70%를 차지한다. 상위권 업체는 CMC(Entegris), Fujimi, DuPont, AGC, Resonac 등이다 [S-6-47]. Fujifilm은 2025년 9월 29일 hybrid bonding 접합면 평탄화 전용 CMP 슬러리와 post-CMP 세정액을 함께 출시했다. Fujifilm은 이 제품이 익명의 주요 반도체 업체에 채택되었다고 공표하였다 [S-6-30]*[C-6-27]*. post-CMP 세정에서는 Entegris가 PlanarClean 계열로 앞서 있다 [S-6-25].

국내에서는 케이씨텍이 hybrid bonding 전용 구리 슬러리를 개발하면서, CMP 공정을 세분화해 구리 높이를 균일하게 만드는 접근을 취하고 있다 [S-6-31]. 케이씨텍은 2026년 2월 13일 SEMICON Korea에서 hybrid bonding 대응 구리 연마용 Ventus CMP 장비를 공개하였다. 같은 자리에서 500mm × 500mm 대면적 각형 유리를 처리하는 패널 레벨 유리 코어 기판 시스템도 함께 공개하였다 [S-6-32]. 동진쎄미켐은 SK하이닉스에 TSV용 구리 슬러리를 공급한 데 이어 hybrid bonding용 슬러리 공급을 추진하고 있다 [S-6-33]. 솔브레인은 HBM용 CMP 슬러리를 공급해 온 기반이 있다 [S-6-31].

소재 관점에서 보면: hybrid bonding 전환은 솔더·플럭스·언더필의 수요를 슬러리·세정액·전구체의 수요로 옮기며, 삼성SDI는 옮겨 가는 쪽의 소재를 이미 보유하고 있다. 다만 현재 보유한 슬러리는 목표 함수가 반대인 제품이어서 그대로 팔 수 없고, near-unity 선택비와 nm급 recess 재현이라는 새 사양으로 다시 설계해야 한다. 케이씨텍과 동진쎄미켐이 이미 개발을 공개했고, Fujifilm은 이미 채택 사례를 확보했다. 삼성전자는 평택에 D2W 하이브리드 본더 양산 라인을 준비하고, 장비 반입을 2026년 말부터 시작할 것으로 보도되었다 [S-6-55]. 따라서 2026년부터 2029년까지가 사실상 마지막 쿼 진입 구간이다. 슬러리를 제안할 때 세정액을 함께 묶어 제안하는 것이 이 업계의 표준적 확장 경로다.

6.5 임시접합, 캐리어, 박형화 소재



슬라이드 86쪽 · 임시접착제는 뒷면 공정을 견딘 뒤 깨끗이 떨어져야 한다

그 밖의 관련 슬라이드: 79쪽

관련 도해: F-2-06A TSV 리빌 ①: 캐리어 위에서 Cu 끝을 드러낸다 · F-2-06B TSV 리빌 ②: 절연하고 평탄화한 뒤 범프를 만든다 · F-2-06C 리빌 디싱과 본딩면 리세스는 같은 목표가 아니다 · F-6-06A 유리 코어·유리 인터포저·캐리어는 다른 부품이다

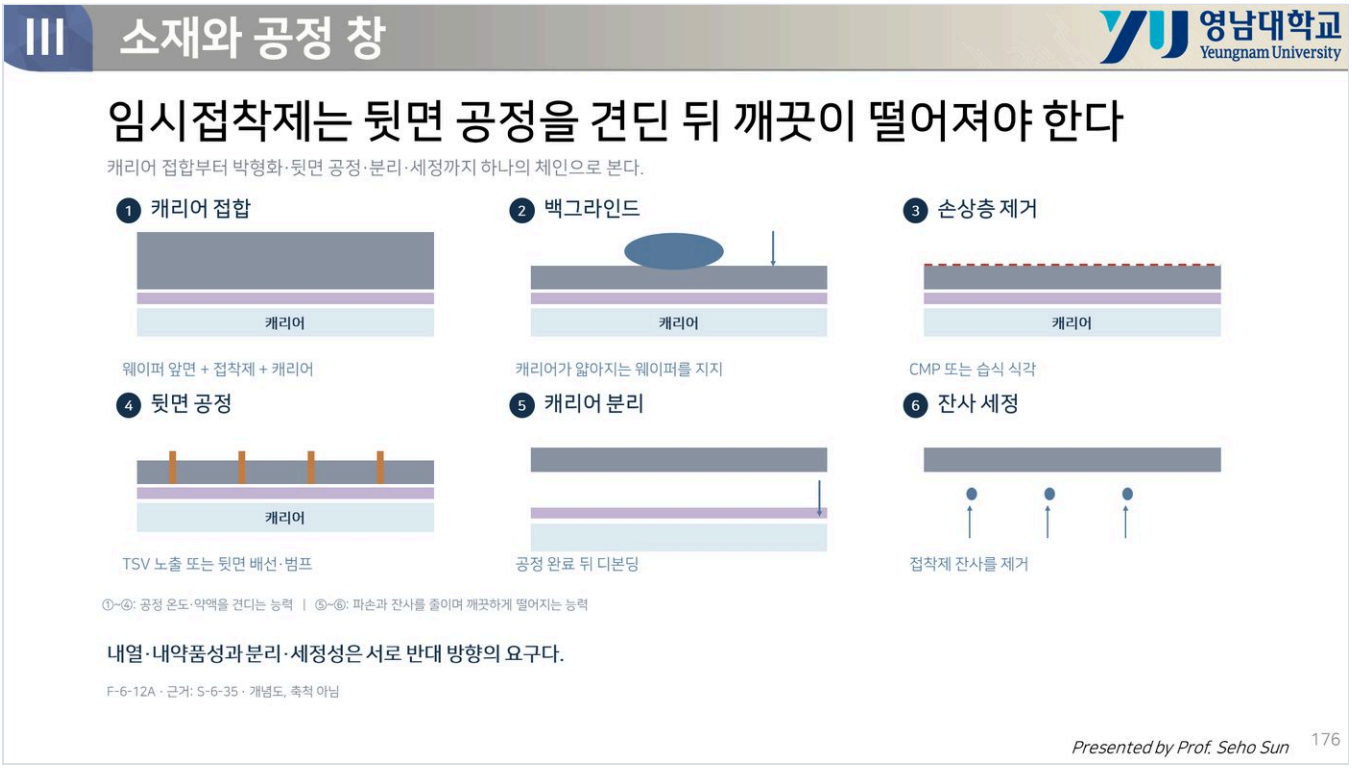
HBM의 코어 다이는 30μm 수준까지 얇아진다. 16단을 JEDEC 두께 한도 안에 넣으려면 다른 방법이 없다. 그런데 30μm 두께의 실리콘은 스스로 형태를 유지하지 못하므로, 연삭과 후속 공정 동안 이를 떠받칠 임시 지지체가 필요하다. 웨이퍼를 캐리어에 임시로 붙였다가 공정이 끝나면 떼어 내는 이 공정을 TBDB(Temporary Bonding and Debonding)라 부른다. 여기에 쓰이는 접착제와 캐리어가 하나의 소재 카테고리를 이룬다 [S-6-35].

분리 방식은 크게 네 가지다. 기계 박리는 물리적으로 캐리어를 벗겨 내는 방식으로 장비가 단순하지만 얇은 웨이퍼에 응력을 준다. 열 슬라이드는 접착제를 연화시켜 밀어내는 방식으로 열 이력이 남는다. 레이저 릴리즈는 캐리어를 투과한 레이저가 분리층만 분해하도록 하는 방식이며, 웨이퍼에 기계적 응력과 열 이력을 거의 주지 않는다. 네 번째는 배치 화학 방식으로, Day 2 §2.5가 정리한 분류에서 열슬라이드·상온 기계식·레이저와 나란히 놓인다 [S-2-31].

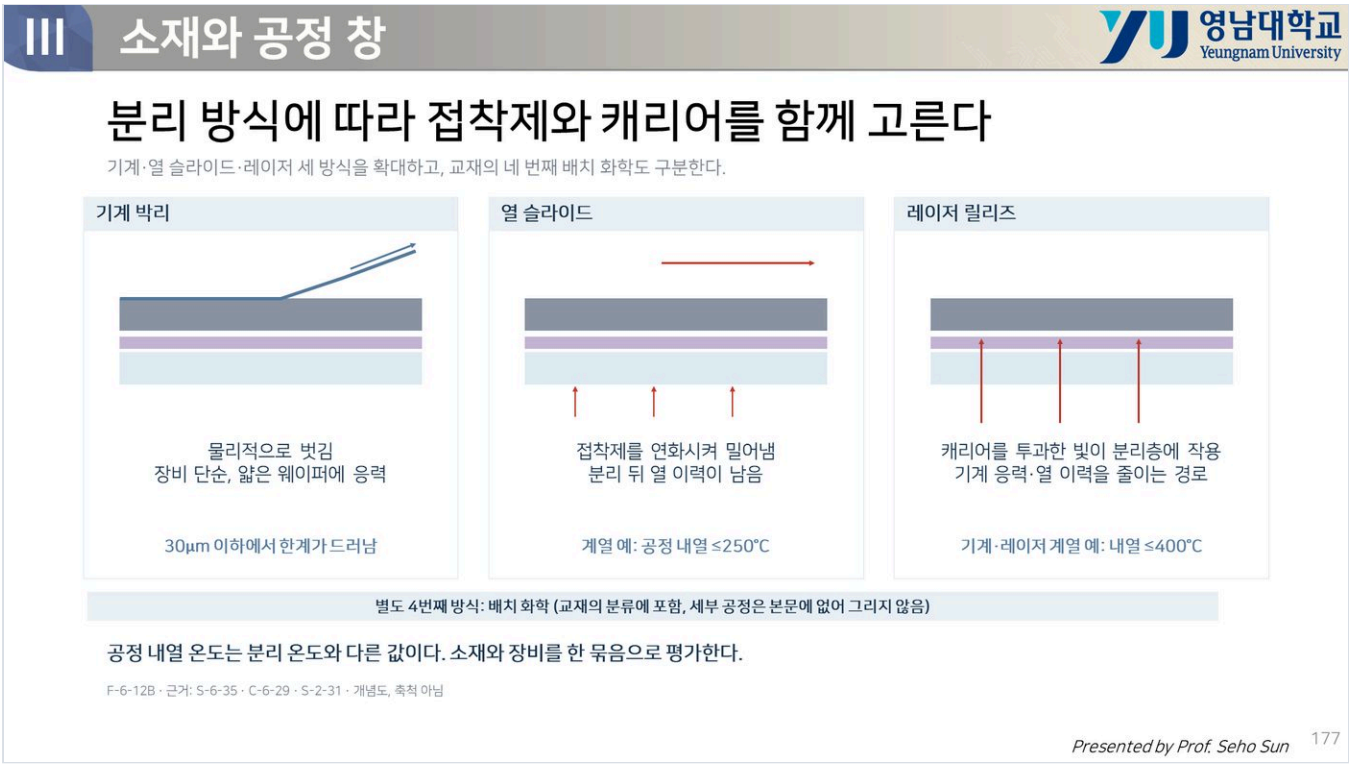
30μm 이하로 내려가면 기계 박리의 한계가 드러나므로 레이저 디본딩으로 무게중심이 이동하고 있다 [S-6-35]. Shin-Etsu의 레이저 디본딩 장비는 355nm 펄스 레이저를 써서 임시 수지층 표면에서만 흡수가 일어나도록 한다. 여기에는 300°C를 넘는 열안정성과 355nm에서의 응답성을 함께 갖춘 실록산계 가교 폴리머를 쓴다 [S-6-36].

임시접합 소재는 뒷면 공정 전 구간에 걸쳐 쓰인다. 먼저 소자가 완성된 웨이퍼의 앞면에 접착제를 도포하고 캐리어를 맞붙인다. 그 상태로 웨이퍼 뒷면을 백그라인드로 갈아 내고, 연삭으로 생긴 손상층을 CMP나 습식 식각으로 제거한다. 이어 TSV를 드러내거나 뒷면 배선을 형성하는 공정이 이어지고, 필요한 경우 범프까지 만든다.

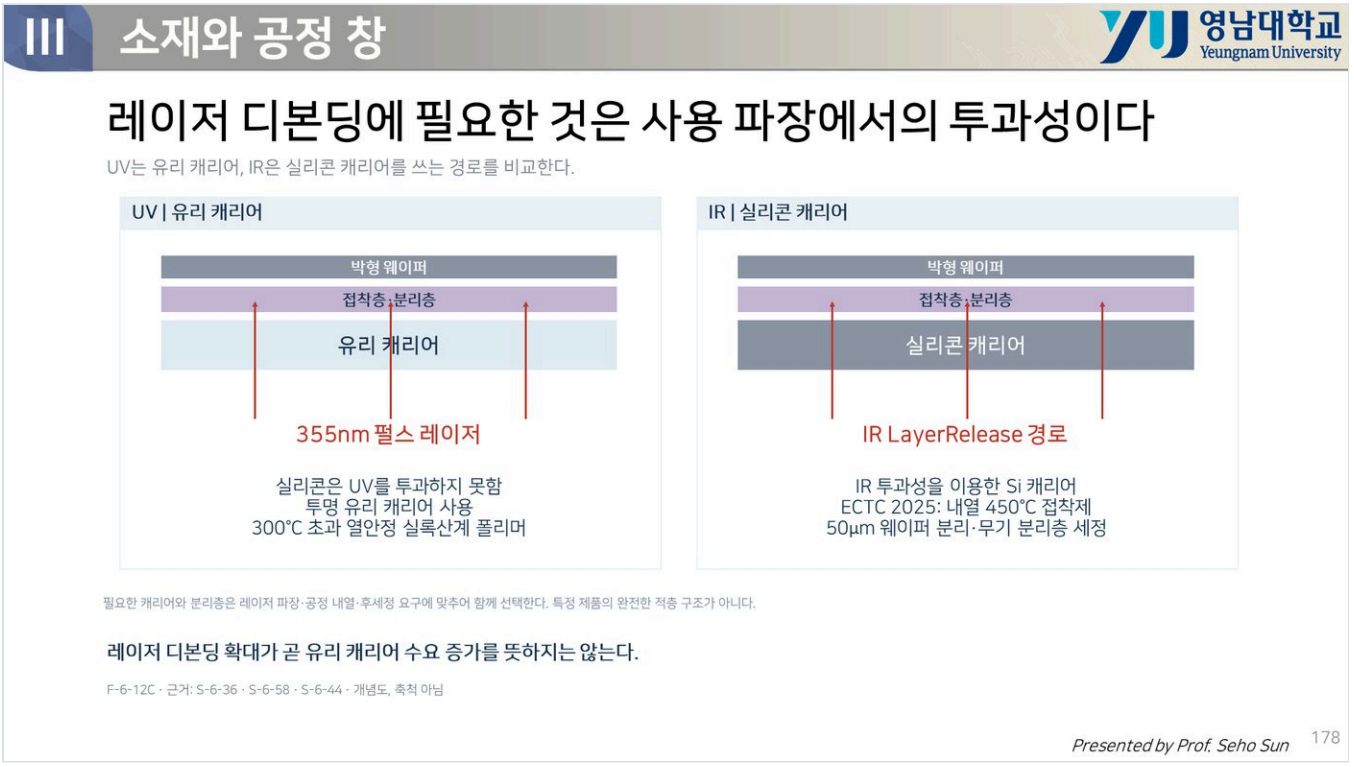
모든 뒷면 공정이 끝난 뒤에야 캐리어를 떼어 내고 접착제 잔사를 세정으로 걷어낸다. 접착제는 이 전 구간의 공정 온도와 약액을 견뎌야 하고, 동시에 마지막에는 깨끗하게 떨어져야 한다. 견디는 능력과 떨어지는 능력이 서로 반대 방향의 요구이며, 이 상충을 푸는 방식이 곧 제품 차별화다 [S-6-35].



도해 F-6-12A · 임시접착제는 뒷면 공정을 견딘 뒤 깨끗이 떨어져야 한다 · 근거 S-6-35
내열·내약품성과 분리·세정성은 서로 반대 방향의 요구다.



도해 F-6-12B · 분리 방식에 따라 접착제와 캐리어를 함께 고른다 · 근거 S-6-35, *C-6-29*, S-2-31
공정 내열 온도는 분리 온도와 다른 값이다. 소재와 장비를 한 묶음으로 평가한다.



도해 F-6-12C · 레이저 디본딩에 필요한 것은 사용 파장에서의 투과성이다 · 근거 S-6-36, S-6-58, S-6-44
레이저 디본딩 확대가 곧 유리 캐리어 수요 증가를 뜻하지는 않는다.

레이저 릴리즈에 필요한 것은 유리라는 재질이 아니라 사용 파장에서의 투과성이다. 자외선 방식은 실리콘이 자외선을 통과시키지 못하므로 주로 투명한 유리 캐리어를 쓴다. 반면 적외선 방식은 실리콘이 적외선을 투과한다는 성질을 이용하므로 실리콘 캐리어를 쓸 수 있다. EVG의 IR LayerRelease가 그 경로이며 [S-6-58],

뒤에 인용하는 2025년 ECTC 연구도 실리콘 캐리어를 사용하였다 [S-6-44]. 따라서 캐리어와 릴리즈층은 레이저 파장에 맞춰 함께 선택한다. 레이저 디본딩 확대를 곧바로 유리 캐리어 수요 증가로 옮겨 적으면 틀린다.

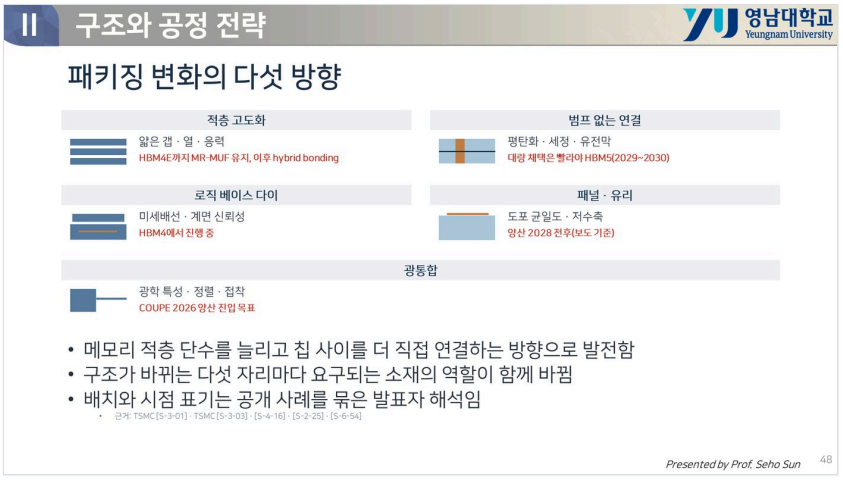
2025년 ECTC에서는 450°C까지 견디는 접착제와 적외선 레이저 디본딩을 결합한 공정이 보고되었다. 50μm 박형 웨이퍼에서 캐리어를 분리하고, 무기 분리층을 무기 세정액으로 제거하는 방식이다 [S-6-44]. 접착제의 열안정성이 올라갈수록 임시접합 상태에서 수행할 수 있는 공정의 온도 범위가 넓어지고, 그만큼 TBDB가 쓰이는 공정 구간이 길어진다.

항목	내용	기준 시점	출처 ID
박형화 목표	HBM 코어 다이 30μm급	2026.8 자료 기준	S-6-25
레이저 파장	355nm 펄스(Shin-Etsu 장비)	기업 자료	S-6-36
접착제 공정 내열	열 슬라이드 계열 250°C 이하, 기계·레이저 계열 400°C 이하(분리 온도와 다른 값)	제품 페이지	C-6-29
접착제 열안정성	300°C 초과, IR 레이저 대응품은 450°C까지	기업·학회	S-6-36, S-6-44
실증 웨이퍼 두께	50μm에서 IR 레이저 디본딩 및 잔사 세정 실증	ECTC 2025	S-6-44
주요 공급사	Brewer Science, TOK, Shin-Etsu, 3M, Dow 등 (제품별 적용 고객은 미확인)	시장조사 블로그	S-6-53
글라스 캐리어 시장	2025년 약 $0.74B, 연평균 17.6%, 상위 5사 약 40%	Mordor Intelligence	S-6-23
한국 참여	접착제와 캐리어 유리 모두 사실상 공백	2026.8 자료 기준	S-6-35

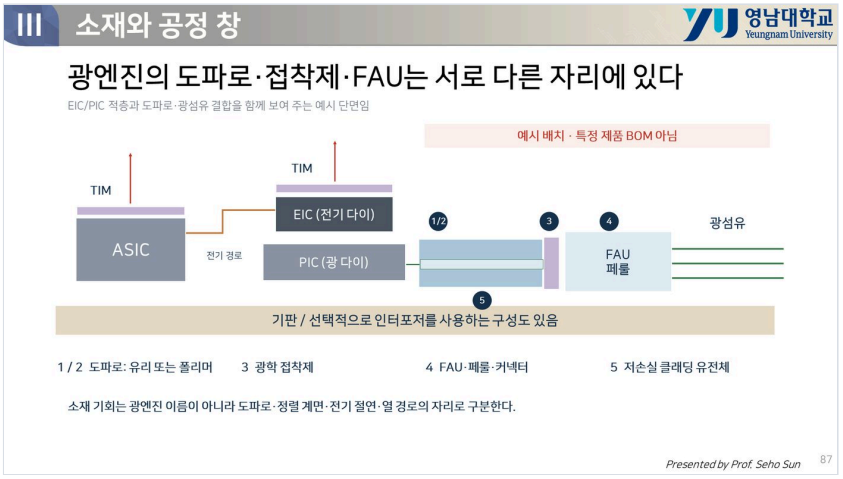
TBDB 수요에는 두 가지 특징이 있다. 하나는 적층 고도화가 진행될수록 수요가 단조 증가한다는 점이다. 단수가 늘수록 더 얇게 갈아야 하고, 더 얇게 갈수록 임시접합 없이는 공정이 성립하지 않는다. 다른 하나는 hybrid bonding으로 가더라도 이 수요가 줄지 않는다는 점이다. 오히려 hybrid bonding은 더 얇은 다이와 더 엄격한 표면 요구를 동반하므로 박형화와 세정 체인의 수요를 키운다.

> **소재 관점에서 보면**: TBDB는 한국 공급망이 접착제와 캐리어 유리 양쪽에서 거의 전면 공백인 영역이다 [S-6-35]. HBM 증산으로 소요량이 급증하는데 국산 대안이 없다는 사실은 수요 측면에서는 기회이지만, 진입 장벽 측면에서는 경고이기도 하다. 접착제는 분리 방식·레이저 파장·후속 공정 온도와 한 묶음으로 퀄된다. 잔사 하나가 다음 공정 전체를 망치므로 교체 저항도 크다. 삼성SDI 관점에서 이 카테고리는 즉시 진입 대상이라기보다, 자사 슬러리·세정 제안이 박형화 체인 전체로 확장될 때 함께 논의할 인접 영역으로 보는 것이 현실적이다.

6.6 CPO 소재와 5대 방향별 소재 수요 이동표



슬라이드 48쪽 · 패키징 변화의 다섯 방향



슬라이드 87쪽 · 광엔진의 도파로·접착제·FAU는 서로 다른 자리에 있다

그 밖의 관련 슬라이드: 45쪽 · 63쪽 · 64쪽 · 71쪽 · 72쪽 · 77쪽 · 96쪽 · 98쪽

관련 도해: F-5-04A 과립 EMC는 압축 성형으로 대면적을 덮는다 · F-5-04B 액상 주입과 성형 시험은 구분해서 읽는다 · F-5-10A TIM1·TIM1.5·TIM2는 서로 다른 계면이다 · F-5-10B 패키지 휨은 TIM 두께와 같은 자릿수다 · F-5-11A 폴리머 TIM은 순응성과 충전율을 함께 설계한다 · F-5-11B 같은 인듐이라도 솔더와 압축 시트는 다르다 · F-5-11C 그래파이트의 방향과 냉각액 조합을 확인한다 · F-6-02A PSPI와 PBO는 같은 자리에서 다른 고리 구조를 쓴다 · F-6-02B 분자 설계는 저온 경화·접착·저유전을 함께 조정한다 · F-6-02C 제품 조건과 유전 물성의 측정 주파수를 같이 읽는다 · F-6-07A TGV와 빌드업을 차례로 만들어 유리 코어 기판을 완성한다 · F-6-07B TGV 측벽과 균열은 유리·Cu·열사이클의 조합으로 읽는다 · F-6-07C 유리 원판부터 빌드업까지 공급 역할이 나뉜다 · F-7-08A 다섯 기회 축은 패키지의 서로 다른 자리를 겨냥한다 · F-7-08B 자료의 우선순위는 진입 확률과 성장 방향을 함께 본다 · F-7-08C 세 확장 사다리는 출발 화학과 도착 계면이 다르다 · F-7-10A 2026~2030: 기술 변화와 자료의 행동 제안을 같은 축에 놓는다 · F-7-10B 본딩 전환의 "세대"와 "연도"는 다른 정보다 · F-7-10C 자료가 권고하는 준비 순서는 기존 실적과 신규 데이터를 나눈다

전기 배선으로 신호를 보내는 거리가 길어질수록 소비 전력이 급격히 커진다. AI 클러스터에서 스위치와 가속기 사이의 대역폭 요구가 폭증했다. 그러면서 광 인터페이스를 랙 전면의 착탈식 모듈이 아니라 스위치 ASIC 바로 옆의 패키지 안으로 끌어들이는 방식이 실제 제품으로 나오고 있다. 이것이 CPO(Co-Packaged Optics)이며, 전기 다이와 광 다이를 한 패키지에 통합한다 [S-6-40].

업계는 네 갈래로 갈린다. Broadcom은 외부 광원에 마흐젠더 변조기와 엣지 커플러를 결합한 4λ CWDM 경로로 6.4Tbps 광엔진 여덟 개를 묶어 51.2Tbps를 낸다. NVIDIA는 외부 광원에 마이크로링 변조기와 그레이팅 커플러를 쓰는 단일 파장 다중 파이버 전략을 택했다. Intel은 DFB 레이저를 온칩에 올리는 내장 광원 경

로에 8λ DWDM을 쓰고, Ayar Labs는 마이크로링에 16λ DWDM을 결합한다. 에너지 효율은 네 경로 모두 비트당 5~7피코줄 구간에 있다. 다만 이 값은 리뷰 저자들이 공개 전력과 데이터율에서 역산한 추정치여서 회사 간 우열을 가리는 근거가 되지 않는다 [S-6-40].

CPO가 지금 등장한 이유는 전력에 있다. 구리 배선으로 고속 신호를 보내면 주파수가 올라갈수록 손실이 급격히 커지고, 그 손실을 이기기 위해 송수신 회로가 더 많은 전력을 쓴다. 스위치 전면의 착탈식 광모듈 방식에서는 ASIC에서 모듈까지의 구리 구간이 수십 센티미터에 달해 이 손실이 무시할 수 없는 크기가 된다. CPO는 광 변환을 ASIC 바로 옆으로 당겨 구리 구간을 수 센티미터로 줄이며, 그 결과 비트당 에너지가 내려간다. 삼성 파운드리는 2027년 열압착 본딩 기반 광엔진, 2029년 CPO 턴키 서비스를 로드맵으로 제시하였다 [S-6-48]. 전력이 곧 데이터센터의 물리적 한계인 상황에서, 이 개선은 성능이 아니라 설치 가능 규모를 바꾸는 종류의 개선이다.

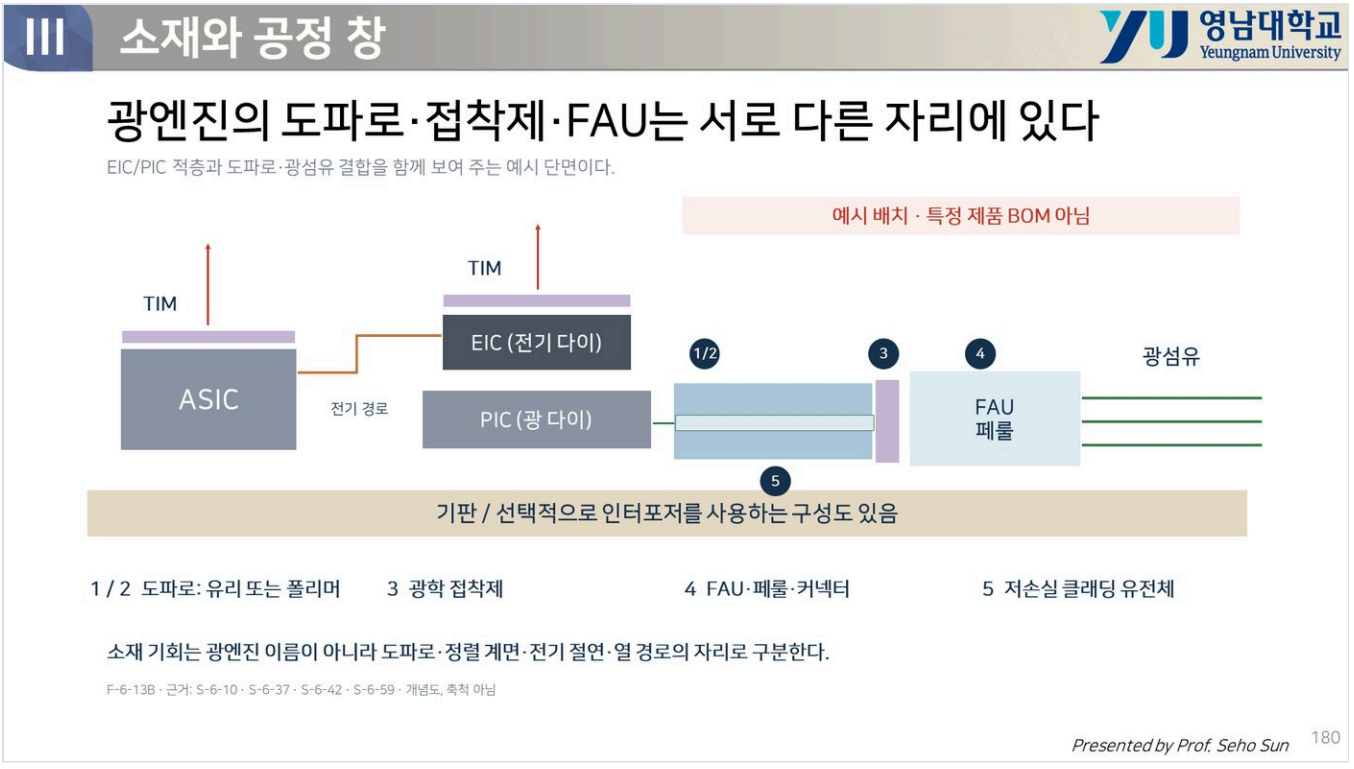
CPO는 패키징에 새로운 부담을 가져온다. 광 다이와 전기 다이를 한 패키지에 넣으면 2.5D 또는 3D 집적이 필요하고, 여기에 광섬유를 정렬해 붙이는 완전히 새로운 조립 공정이 추가된다. 광섬유 정렬은 서브마이크로미터 수준의 위치 정밀도를 요구하며, 일단 붙인 뒤에는 재작업이 사실상 불가능하다. 게다가 광 부품은 열에 민감해서 패키지 안의 온도 분포가 곧 광학 특성의 변동으로 나타난다. 2026년 ECTC에서 기판에 직접 실장한 구성이 인터포저 위에 올린 구성보다 광 다이의 온도 상승을 크게 억제했다는 보고가 나온 것도 이 민감성 때문이다 [S-6-21]. 소재 회사 입장에서는 CPO용 소재가 전기적 물성만이 아니라 광학 물성과 열 물성까지 동시에 규정받는다는 뜻이다.

TSMC의 COUPE(Compact Universal Photonic Engine)는 2026년 생산을 시작해 물량을 늘리는 단계다(인용 기준으로는 '2026년 양산 진입', 2026년 9월 27일 추가 확인). 근거는 두 가지다. 2026년 8월 31일 數位時代 보도에 따르면 TSMC 陳明發 부처장(副專案處長)은 같은 날 SEMICON Taiwan 실리콘 포토닉스 국제 포럼에서 'COUPE on Substrate' CPO 솔루션이 2026년에 생산을 시작한다고 설명하였다. 같은 기사는 魏哲家 회장이 7월 실적 발표 때 COUPE가 이미 생산을 시작했으며 점차 물량을 늘린다고 말했다고 전한다 [S-6-72]. 같은 발표의 대역폭 로드맵은 단일 COUPE 기준 2026년 3.2Tb/s, 2027년 무렵 6.4Tb/s, 그 뒤 12.8Tb/s, 25.6Tb/s, 51.2Tb/s 이상으로 해마다 두 배를 목표로 한다 [S-6-72]. 과거에 인용되던 "1세대 1.6Tbps급 플러그러블 광엔진, 2세대 6.4Tbps CoWoS 통합 CPO 2027년"이라는 세대 구분은 2026년 5월 TrendForce 로드맵 분석 기준이며 [S-6-39], 8월 31일 보도에는 1.6T 언급이 없다. 따라서 세대별 대역폭은 출처와 날짜를 붙여 읽어야 한다. 9월 1일 工商時報는 TSMC 부사장 발표를 인용해, 대역폭 밀도를 2026년 약 0.5Tbps/mm에서 2030년 4Tbps/mm로 올리는 과정에서 다열 FAU가 핵심 인터페이스가 된다고 전하였다 [S-6-73].

NVIDIA는 Quantum-X Photonics에 이어 Spectrum-X Photonics 이더넷 스위치를 내놓았다. 이때 공급망 파트너로 TSMC, Coherent, Corning, Foxconn, Lumentum, SENKO를 공식 명시하였다 [S-6-37]. 2026년 7월 27일 분석에 따르면 NVIDIA는 차세대 Spectrum-X CPO 스위치를 일부 파트너에 출하하기 시작했다. 같은 분석에 따르면 Broadcom은 51.2T Bailly CPO 스위치의 제한적 출하를 이어 가는 중이다. 분석은 광엔진 수율과 2.5D/3D 패키징 캐파를 확대의 병목으로 지목한다 [S-6-38]. 9월 11일 TrendForce는 Nikkei Asia를 인용해 두 회사 스위치 칩 기반 CPO가 2026년 하반기 생산에 들어갔다고 전하였다. 회사 원발표가 아닌 매체 인용이므로 [전망/보도] 수준으로 읽어야 한다 [S-6-76].

소재 관점에서 CPO가 여는 카테고리는 다섯 가지다. 광을 실어 나르는 도파로가 유리와 폴리머의 두 갈래이고, 도파로를 광섬유에 이어 붙이는 접착제와 커넥터가 한 갈래씩이다. 나머지 한 갈래는 광엔진 주변의 고속 전기 구간을 담당하는 저손실 유전체다. 아래 표는 각 카테고리의 요구 스펙과 현재 확인되는 공급사를 정리한 것이다. 공급사 이름은 기술 참여 사례일 뿐 특정 제품의 고객 승인을 뜻하지 않는다.

도해 F-6-13A · CPO는 광 변환을 ASIC 가까이 끌어들인다 · 근거 S-6-40
광엔진을 가까이 놓을수록 광학 접착·정렬·열관리도 패키징 안으로 들어온다.



도해 F-6-13B · 광엔진의 도파로·접착제·FAU는 서로 다른 자리에 있다 · 근거 S-6-10, S-6-37, S-6-42, S-6-59
소재 기회는 광엔진 이름이 아니라 도파로·정렬 계면·전기 절연·열 경로의 자리로 구분한다.

CPO 소재는 다섯 카테고리의 검증 항목으로 나뉜다

공급사 이름은 기술 참여 사례이며, 특정 제품의 고객 승인을 뜻하지 않는다.

1	유리 도파로	이온교환 (IOX) · 피치 ≥30μm 결합손실 <2dB · 수동 정렬	Corning GlassBridge 예
2	폴리머 도파로	싱글모드 · 0.1dB/cm급 전파손실 · 레인 밀도 · 조립성	기술 사례, 범용 규격 아님
3	광학 접착제	굴절률 정합 · 약260°C 리플로우 저아웃개싱 · 경화 수축 · 장기 정렬	리플로우 내성 제품은 존재
4	FAU·페룰·커넥터	코어 피치 정밀 제어 리플로우 대응 탈착 구조	고객 승인 여부 별도 확인
5	저손실 클래딩 유전체	저유전손실 · 에지커플링 모드 정합 광경화 폴리머의 클래딩·절연 겸용	PID 화학의 이전 사례

고정 공급사 목록이나 채택 BOM이 아니다. 숫자는 본문의 사례 조건과 함께 읽고 손실의 기준량을 구분한다.

전파 손실·결합 손실·굴절률·정렬 안정성은 서로 다른 지표다.

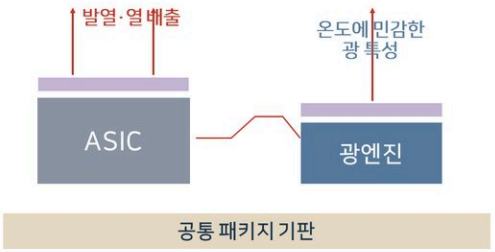
F-6-13C · 근거: S-6-42 · S-6-10 · S-6-59 · S-6-37 · 개념도, 축척 아님

도해 F-6-13C · CPO 소재는 다섯 카테고리의 검증 항목으로 나뉜다 · 근거 S-6-42, S-6-10, S-6-59, S-6-37
전파 손실·결합 손실·굴절률·정렬 안정성은 서로 다른 지표다.

광통합에서는 열 안정화가 광학 특성의 일부가 된다

ASIC의 열과 광 다이의 온도 민감성이 한 패키지 안에서 만나기 때문이다.

열 경로와 온도 민감성 | 개념



TIM과 패키지 내 온도 분포를 함께 설계

구조별로 확인할 검증 항목

열 안정화
레이저·마이크로링의 파장 정렬 유지

광학 계면
목표 파장 투과율 · 굴절률 정합

조립 안정성
경화 수축 · 서브μm 정렬 · 장기 유지

신뢰성
습열·리플로우 뒤 특성 재확인

교재 인용 사례: 기판 직접 실장이 인터포저 위 구성보다 광 다이 온도 상승을 억제. 비교 조건을 벗어난 일반화는 금지한다.

CPO는 광학 소재만의 문제가 아니다. TIM·열 경로·경화 수축·정렬 안정성을 함께 검증한다.

F-6-13D · 근거: S-6-40 · S-6-21 · S-6-59 · 개념도, 축척 아님

도해 F-6-13D · 광통합에서는 열 안정화가 광학 특성의 일부가 된다 · 근거 S-6-40, S-6-21, S-6-59
CPO는 광학 소재만의 문제가 아니다. TIM·열 경로·경화 수축·정렬 안정성을 함께 검증한다.

카테고리	요구 스펙	현직 공급사·사례	출처 ID
유리 도파로	웨이퍼급 이온교환(IOX), 피치 30μm 이상, 결합손실 2dB 미만, 수동 정렬	Corning GlassBridge	S-6-42
폴리머 도파로	싱글모드, 0.1dB/cm급 저손실, 레인 밀도와 조립성	IBM, Nitto, Sumitomo Bakelite	S-6-10
광학 접착제	굴절률 정합, 솔더 리플로우 약 260°C 내성, 저아웃개싱, 경화 수축과 장기 정렬 안정성	DELO(260°C 리플로우 후 투과율 유지), Dymax, EPO-TEK, Norland	S-6-59
FAU·페룰·커넥터	코어 피치 정밀 제어, 리플로우 대응 탈착 구조	Corning, SENKO, US Conec	S-6-37
저손실 클래딩 유전체	저유전손실, 에지커플링 모드 정합	Sumitomo Bakelite 광경화 폴리머	S-6-10
CPO 시장	2036년 $20B 초과, 2026~2036년 연평균 37%	IDTechEx 추정	S-6-41

Sumitomo Bakelite는 2026년 ECTC에서 Tohoku University와 함께 "Optical RDL Interposer Technology using Polymeric Hybrid Bonding and Waveguide for Integrated CPO"를 공개했다. 이 논문은 도파로 클래딩층과 유전체층을 동시에 맡는 다기능 광경화 폴리머를 다룬다 [S-6-10]. 감광성 유전체를 만들던 회사가 같은 화학으로 광도파로 시장에 진입한 것으로, PID 자산을 CPO로 옮길 수 있다는 실증이다.

광학 접착제는 흔히 미해결 공백으로 소개되지만 정확하지 않다. 리플로우에 대응하는 광학 접착제는 이미 존재한다. DELO는 PIC와 광트랜시버용 광학 접착제 다수 등급이 최고 260°C 리플로우를 거친 뒤에도 유의한 투과율 저하 없이 견딘다고 설명한다 [S-6-59]. 남은 과제는 소재 기능의 부재가 아니라 제품별 검증이다. 목표 파장에서의 투과와 굴절률 정합, 경화 수축이 정렬에 주는 영향, 장기 정렬 안정성, 습열 신뢰성, 조립 순서에 맞는 경화 조건을 CPO 구조마다 다시 확인해야 한다.

다만 CPO 소재 수요의 첫 번째 축은 광학 소재가 아닐 수 있다. 리뷰가 지목하는 최대 병목은 열관리다. 동봉된 ASIC의 전력 밀도는 높은데 SOI 플랫폼의 방열 능력은 제한적이다. 또 레이저와 공진형 마이크로링 변조기는 온도에 민감해, 파장 정렬을 유지하려면 열 안정화가 필수다 [S-6-40]. 삼성SDI 관점에서는 CPO가 광학 소재 시장이기 전에 열관리 소재 시장이라는 뜻이며, Day 5의 TIM 논의가 여기서 다시 이어진다.

아래 표는 AI 패키징의 다섯 방향별 소재 수요 이동을 2026년 9월 기준으로 정리한 것이다. 각 행은 한 방향에서 감소·소멸하는 소재와 증가·신설되는 소재, 그 시점, 삼성SDI의 접점을 대응시킨다.

방향	감소·소멸 소재	증가·신설 소재	시점	삼성SDI 접점
① 적층 고도화	없음. 단수에 비례해 오히려 증가	액상 EMC(MUF)·NCF 물량 증가, TBDB 접착제·글라스 캐리어, 스택 내장 방열 소재	즉시~2028	EMC 배합·필러 분산 (보유)
② bumpless 전환	솔더 범프 캡, 플럭스, 언더필 (MUF·NCF)	본딩면 Cu CMP 슬러리, post-CMP 세정액, SiCN 본딩 유전막 전구체, 초평탄 연마 패드	SK하이닉스는 HBM4E까지 Advanced MR-MUF 유지, hybrid bonding은 빨라야 HBM5. 삼성은 빨라야 16단 HBM4E. 대량 채택 양산은 2029~2030	CMP 슬러리·메탈 슬러리 (최대 기회)
③ base die 파운드리화	메모리사 조달 범핑·테스트 소재의 결정권 이탈	파운드리·OSAT(외주 조립·테스트) 채널향 범핑·테스트 소재. 영업 채널 이원화	HBM4에서 이미 진행(SK하이닉스는 TSMC 로직 공정, 삼성은 4nm base die 내재화, 2026)	채널 재설계 필요
④ 패널화·유리화	소면적 웨이퍼용 몰드·캐리어 규격	PLP용 대면적 몰드, 대면적 PID(액상에서 드라이필름으로), 유리 코어용 빌드업 유전체, TGV 충전재	파일럿 2026, 유리 양산은 2028년 이후로 이동	EMC·PID (보유, 규격 재설계 필요)
⑤ 광통합	기존 전기 인터커넥트 소재 일부	유리·폴리머 도파로, 리플로우 내성 광학 접착제, 저손실 클래딩 유전체, FAU·페룰	TSMC COUPE 2026, 삼성 2029 턴키	PID 화학 (감광 폴리머) 이전 가능

다섯 방향은 서로 독립된 선택지가 아니라 같은 압력에 대한 다섯 가지 대응이다. 압력의 근원은 하나이며, AI 연산이 요구하는 대역폭과 용량이 단일 칩의 물리적 한계를 넘어섰다는 사실이다. 단수를 더 쌓는 것이 ①, 쌓는 방식을 바꾸는 것이 ②, 누가 만드는지를 바꾸는 것이 ③이다. 판을 키우고 재료를 바꾸는 것이 ④, 신호의 매체를 바꾸는 것이 ⑤다. 그래서 다섯 방향은 시간을 두고 순차적으로 오는 것이 아니라 상당 부분 겹쳐서 온다.

겹침은 소재 수요를 단절이 아니라 중첩으로 만든다. 방향 ②가 진행되어도 방향 ①이 동시에 진행되므로, 2028년까지는 언더필과 EMC 수요가 오히려 늘면서 슬러리와 세정액 수요가 그 위에 얹힌다. "hybrid bonding이 오면 언더필이 없어진다"는 서술은 방향만 맞고 시점과 크기를 모두 놓친다. 정확한 서술은 기존 소재의 수명이 최소 한 세대 연장되었고, 그 위에 새 소재 수요가 겹쳐 올라온다는 것이다.

2026년 9월 기준으로 이 표에서 8월 22일 시점 대비 바뀐 칸은 세 개다. 방향 ②의 시점은 Hot Chips 2026에서 SK하이닉스가 밝힌 내용으로 구체화되었다. 방향 ④의 시점은 유리기판 일정이 유리 코어 2027년 하반기와 완성 기판 2028년으로 단계가 갈리면서 정밀해졌다 *[C-6-20][C-6-22]*. 방향 ⑤는 광엔진 수율과 패키징 캐파라는 병목이 확인되면서 본격 램프가 2027~2028년으로 재확인되었다 [S-6-38].

방향 ②의 근거는 다음과 같다. 2026년 8월 23일 Hot Chips 강연에서 SK하이닉스 패키지 엔지니어링 담당은 hybrid bonding이 HBM4E에는 준비되지 않을 것이라고 밝혔다. 총 두께 775μm 한도 때문에 Advanced MR-MUF를 HBM4E까지 연장해 NVIDIA Rubin 공급 주기를 감당한다는 설명이다 [S-6-54]. 20단 이상 적층에 대한 hybrid bonding은 연구 단계로 두었으므로 HBM5가 가장 이른 제품 창이며, 본격 양산은 2029~2030년으로 본다 [S-6-54].

두께 한도는 세 층위를 구분해야 한다. JEDEC이 2025년 4월 16일 HBM4 표준 JESD270-4를 발간한 것은 공식 공표로 확인된다 [S-6-50]. 그러나 720μm에서 775μm로의 완화는 그 보도자료의 헤드라인 스펙에 들어 있지 않다. 이 수치의 최초 출처는 2024년 3월 JEDEC 위원회의 합의를 전한 보도이고 [S-6-71], 2025년 4월 표준

확정 보도에서 다시 전해졌다 [S-6-56].

JEDEC 문서 원문에서 이 조항이 JESD270-4에 있는지 개정판 JESD270-4A에 들어갔는지는 확인하지 못했다. 따라서 775μm는 보도 기준 수치다. HBM4E용으로 약 900μm까지 더 완화하는 방안은 2026년 4월 1일 기준 검토 중이라는 보도 단계이며 확정 사항이 아니다 [S-6-52]. 세 층위를 섞은 "JEDEC이 두께를 900μm로 완화했다"는 문장은 검토 중인 것을 확정된 것처럼 전달한다.

> **소재 관점에서 보면**: 다섯 방향 중 삼성SDI의 보유 자산과 직접 겹치는 것은 ②와 ④이고, 화학이 이전 가능한 것이 ⑤다. ②는 시점이 가장 명확하고 경쟁자가 이미 진입한 영역이므로 지금 움직이지 않으면 진입 기회가 사라진다. ④는 시점이 뒤로 밀렸지만 그만큼 POR이 굳지 않아 준비할 시간이 있다. ⑤는 화학 자산의 이전 가능성이 입증된 인접 시장이지만 광학 규격에 대한 사내 역량이 별도로 필요하다. 세 방향의 우선순위를 이 순서로 두는 것이 근거에 부합한다.

6.7 최신 동향 (2026년 8월 22일 이후)

지난 조사 기준일인 2026년 8월 22일 이후 2026년 9월 27일까지 Day 6 주제에서 확인된 변화는 다섯 갈래에 새로 확인한 아홉 건을 더해 열네 건이다. 앞의 다섯 갈래는 hybrid bonding 도입 시점, 앱솔릭스 자금 집행, 유리기판 진영의 KPCA 공식 자료, CPO 후공정 분업, 삼성전기 일정을 둘러싼 보도와 반박이다. 새 아홉 건은 아래 소제목에 날짜 순으로 정리하였다. 갈래별 내용은 다음과 같다.

첫째는 hybrid bonding 도입 시점이다. SK하이닉스는 2026년 8월 23일 Hot Chips 2026에서 hybrid bonding이 HBM4E에는 준비되지 않을 것이라고 밝혔다. 총 두께 775μm 한도 때문에 Advanced MR-MUF를 HBM4E까지 연장해 NVIDIA Rubin 공급 주기를 감당한다는 설명이었다 [S-6-54]. 이틀 뒤인 8월 25일에는 자사 뉴스룸에 hybrid bonding을 다룬 외부 전문가 기고를 게시했다. 이 기고는 HBM 적용 방향을 설명하면서도 비용과 장비, 공정 성숙도 때문에 도입 시점이 불확실하다고 명시하였다 *[C-6-08]*. 외부 필자의 기술 해설이므로 회사의 제품 양산 전환 공지로 읽어서는 안 된다.

둘째, 앱솔릭스 자금 조달이 실행 단계로 넘어갔다. 앱솔릭스는 2026년 8월 21일 주주배정 방식으로 4,011억원 규모 유상증자를 결정하였다. 조달 자금은 유리기판 평가와 고객사 인증, 생산공정 수율 개선과 품질 향상을 위한 설비 보완에 배정된다 [S-6-15]. 이어 SKC는 2026년 9월 4일 이사회에서 약 2,810억원을 투입해 앱솔릭스 신주 19만 2,416주를 취득하기로 결정하였다 [S-6-17].

제품 단계도 공개되었다. 임베딩 제품은 미국 조지아 공장 샘플의 전기적 특성 등 사전평가를 마치고 신뢰성 평가에 들어갔다. 논임베딩 제품은 2026년 하반기 공급사 선정이 예정된 과제에 참여했고, 선정 결과에 따라 연내 기술검증(PoC) 진입을 준비하고 있다 [S-6-17]. SKC의 투입액은 이후 9월 22일 추가 청약으로 늘었다(2026년 9월 27일 추가 확인, 아래 추가 확인 항목) [S-6-83]. 증권가 분석은 SKC 주가의 핵심 변수가 시장 전망치가 아니라 첫 고객의 양산 인증이라고 평가한다 [S-6-17].

셋째, 유리기판 진영의 공식 자료가 이어졌다. LG이노텍은 2026년 9월 9일 KPCA Show 자료에서 유리기판의 2028년 목표를 제시하였다. 이는 AI용 FC-BGA의 2027년 일정과 구분되는 별개 일정이다 *[C-6-22]*. 삼성전기는 9월 10일 같은 전시에서 유리 코어와 TGV, 금속 충진, 정밀 가공 기술을 공개하였으나, 기존 생산 계획을 앞당기는 확정 공표는 확인되지 않았다 *[C-6-21]*. 두 자료 모두 회사 뉴스룸에서 나왔으므로 8월의 지연 보도보다 증거 수준이 높다. 특히 LG이노텍의 2028년 목표는 이전에 인용되던 2030년 서술을 대체한다.

넷째, CPO 후공정 생태계가 대만에서 분업 체제로 구체화되었다. 2026년 9월 14일 현지 보도에 따르면 대만의 검사·장비 5개사가 CPO 공정 4단계를 나누어 공략하는 체제를 본격화하였다. 역할 분담은 다음과 같다 [S-6-43].

- 파이버 옵틱 커뮤니케이션즈: 광섬유 배열 프로브카드로 1단계 불량 다이 선별
- 허메스 테스팅 솔루션즈: 박막 프로브카드로 공정 앞단 검사
- GMT 글로벌: 1.6Tbps급 정렬 시스템으로 3단계
- 올링 테크: 광섬유 배열 접합과 접착제 도포를 포괄하는 조립·검사 자동화 장비
- 혼 프리시전: 시스템 수준 테스트 핸들러로 4단계 최종 검사

다만 해당 보도는 참여 기업 모두가 양산 공급 계약을 확보한 상태는 아니라는 점을 분명히 하고 있다 [S-6-43]. 소재 관점에서는 3단계에 광섬유 배열 접합과 접착제 도포가 명시적으로 들어가 있다. 리플로우 내성 광학 접착제 수요가 장비·공정 규격과 함께 확정되어 가고 있다는 뜻이다.

다섯째, 삼성전기의 일정을 둘러싼 보도와 회사 설명이 갈렸다. 디일렉은 2026년 8월 12일 글라셈 생산라인 장비 발주가 2025년 12월, 2026년 3월, 6월로 세 차례 이상 밀렸다고 보도하였다. 보도는 그 원인을 고객사 신뢰성 평가 인증 미통과로 들었다 [S-6-18]. 삼성전기는 8월 19일 추가 답변에서 고객 인증 실패를 부인하고 평가가 진행 중이라고 설명하면서, 유리 코어 2027년 하반기와 완성 기판 2028년을 구분하였다 *[C-6-20]*. 두 설명 중 어느 쪽도 독립 검증되지 않았으므로 둘을 함께 보아야 한다.

9월 19일 이후 추가 확인 (2026년 9월 27일 기준)

- **케이씨텍의 유리기판 CMP 공급 보도(2026년 8월 24일)**: 디일렉 보도에 따르면 케이씨텍이 SKC 자회사 앱솔릭스의 미국 조지아 유리기판 라인에 CMP 장비와 슬러리를 단독 공급하며, 출하는 이르면 4분기에 시작된다 [S-6-75]. 장비 가격은 대당 70억~80억원으로 고사양 반도체 CMP 장비와 비슷하고, 케이씨텍으로서는 첫 유리기판 CMP 진입이다 [S-6-75]. 보도는 앱솔릭스가 그동안 기계 가공과 식각, 연마로 유리기판을 만들어 왔으나, 미세 배선과 TGV 공정의 평탄도 요구가 높아지면서 CMP 공정이 추가되었다고 설명한다 [S-6-75]. 케이씨텍은 고객사를 밝히지 않았으므로 회사 확인이 아닌 업계 보도로 인용해야 한다. 유리기판에 빌드업 유전체와 TGV 충전·계면 접착재에 이어 CMP 슬러리라는 세 번째 소모성 소재 자리가 생겼다는 뜻이다. 장비와 달리 슬러리는 생산량에 비례해 반복 매출이 된다.
- **Qnity의 패키징 전용 CMP 슬러리 Stackplane(2026년 8월 31일)**: Qnity Electronics(구 DuPont 전자소재 부문)는 첨단 패키징 전용 CMP 슬러리 제품군 Stackplane을 발표하였다 [S-6-74]. 다섯 계열 가운데 SP1000과 SP2000은 hybrid bonding, SP3000은 TSV, SP4000은 폴리머 CMP, SP5000은 패널 레벨 TGV와 유리 CMP를 겨냥한다 [S-6-74]. 회사는 9월 2~4일 SEMICON Taiwan에 이어 10월 19~22일 서울에서 열리는 ICPT에서도 이 제품군을 소개한다고 밝혔고, 보도자료에 채택 고객은 적혀 있지 않다 [S-6-74]. 이 발표로 hybrid bonding용 CMP 소재의 최신 제품 공표는 2025년 9월 Fujifilm에서 2026년 8월 Qnity로 바뀌었다. 한 회사가 hybrid bonding, TSV, 폴리머, 유리 네 용도를 한 브랜드로 묶었다는 점은 패키징 CMP가 독립 제품 범주로 자리 잡고 있음을 보여 준다.
- **CPO 생산 진입 보도(2026년 9월 11일)**: TrendForce는 Nikkei Asia를 인용해 NVIDIA와 Broadcom 스위치 칩 기반 CPO 솔루션이 올해 하반기 생산에 들어갔다고 전하였다 [S-6-76]. 같은 기사에서 Huawei는 200Gbps 36채널로 7.2Tbps를 내는 근접 패키지 광학(NPO) 모듈을 공개하였고, 3.2Tbps 모듈은 2026년 실배치를 예상한다 [S-6-76]. 이 생산 진입 서술은 두 회사의 원발표가 아니라 분석기관의 매체 인용이므로 [전망/보도] 수준으로 읽어야 한다. 그럼에도 6.6절이 인용한 7월 27일 분석의 "일부 파트너 출하, 제한적 출하"보다 한 단계 나아간 신호다 [S-6-38]. TSMC COUPE의 생산 개시 발언과 함께 보면, 광학 접착제와 FAU 수요가 계획에서 실물 생산 단계로 넘어가고 있다 [S-6-72].

- **삼성전자 글라스 캐리어 세정 물량 보도(2026년 9월 20일)**: 서울경제 영문판은 반도체 업계 관계자를 인용해 삼성전자가 글라스 캐리어의 외주 세정 물량을 2026년 월 2만 장에서 2027년 월 5만 장으로 늘린다고 보도하였다 [S-6-80]. 같은 보도는 2025년 수요가 월 1만 장 수준이었다고 전한다 [S-6-80]. 회사 발표는 없으며, 이 수치는 재사용 캐리어의 세정 물량이지 신품 유리 구매량이 아니다. 그래도 HBM 증산이 완제품에 남는 소재뿐 아니라 임시접합, 박리, 세정처럼 공정 중에 반복 소모되는 소재의 수요로 이어진다는 방향을 보여 준다.
- **hybrid bonding 도입 조건 보도(2026년 9월 21일)**: 헤럴드경제는 SK하이닉스 김지훈 아메리카 시니어 디렉터가 9월 9일 미국 산호세에서 SEMI가 주관한 행사의 패널 토론에서 hybrid bonding 도입 조건으로 수율 90~98%와 수명 3~5년을 제시하였다고 보도하였다 [S-6-77]. 이는 회사 공식 발표가 아니라 패널 발언을 전한 보도다. 같은 기사의 "HBM4E 16단 또는 HBM5 20단부터 도입"이라는 시점은 김 디렉터의 발언이 아니라 업계 전망으로 적혀 있다 [S-6-77]. 경쟁사 쪽은 익명 전언만 있다. 9월 23일 시사저널e는 업계를 인용해 삼성전자가 HBM4E부터 HCB 적용 목표를 유지하고 있으나 HBM용 HCB 수율은 50%대라고 전하였다 [S-6-78]. 9월 2일 전자신문은 업계를 인용해 TSMC가 당분간 마이크로범프를 유지하며 협력사에 5μm급 접합을 요청했고, 그 양산은 2028년 하반기로 예상된다고 보도하였다 [S-6-79]. 두 회사의 발표는 없다. 세 보도를 합쳐도 6.6절의 "대량 채택 2029~2030" 판단은 바뀌지 않으며, 도입 조건이 처음으로 수치로 제시되었다는 점이 새롭다.
- **제이앤티씨의 TGV 유리기판 공장 신설 공시(2026년 9월 21일)**: 제이앤티씨는 경북 김천 일반산업단지 약 3만 평에 3,470억원을 들여 TGV 유리기판 공장을 신설한다고 공시하였다 [S-6-81]. 투자액은 자기자본의 140.08%이고 건설 기간은 2027년 1월부터 2030년 6월까지이며, 회사는 2027년 TGV 유리기판 양산을 목표로 한다 [S-6-81]. 제이앤티씨는 7월 일본 Toppan과 TGV 유리기판 상용화 협약을 맺었고 양산 수율 약 94%를 확보했다고 밝혔다. 다만 수율은 회사 주장이며 고객 인증 결과는 공개되지 않았다 [S-6-81].
- **BOE의 유리 코어 기판 공개 보도(2026년 9월 22일)**: 지디넷코리아는 BOE가 같은 날 베이징 자체 행사 'IPC 2026'에서 유리 코어 기판을 공개하였다고 보도하였다. 사양은 종횡비 15:1(기존 10:1), 두께 1mm, TGV 직경 67μm, 빌드업 24층(기존 20층)이다 [S-6-82]. 보도에 따르면 BOE 회장은 파일럿 라인 설치를 마치고 고객과 공동 개발을 진행하고 있으며, 1년 안에 양산 투자 계획을 확정하겠다고 말하였다 [S-6-82]. BOE 원발표는 직접 열지 못했으므로 매체 보도 기준으로 인용한다. 6.3절 진영 표는 한국, 미국, 일본만 다루는데, 이 보도로 중국이 빌드업 유전체와 TGV 소재의 또 다른 수요처로 등장하였다.
- **SKC의 앱솔릭스 추가 청약(2026년 9월 22일)**: SKC는 앱솔릭스 유상증자에 921억원을 추가 청약한다고 밝혔다. 9월 23일 디일렉 보도에 따르면 SKC의 청약액은 2,809.8억원에서 3,730.6억원으로, 취득 주식은 19만 2,416주에서 25만 5,474주로 늘어 지분이 70.05%에서 82.37%가 된다 [S-6-83]. 늘어난 6만 3,058주는 나머지 지분 29.95%를 가진 Applied Materials가 배정분 약 1,202억원 가운데 일부만 청약해 생긴 실권주다 [S-6-83]. 이로써 앱솔릭스 관련 자금 집행은 SKC 5월 증자 배정, 앱솔릭스 8월 증자 결정, SKC 9월 4일 출자 결정, 9월 22일 추가 청약의 네 건이 된다. 네 건은 법인과 단계가 다르므로 합산하면 중복 계산이 된다 [S-6-16][S-6-15][S-6-17]. 제품 단계는 임베딩 제품 신뢰성 평가와 논임베딩 제품 PoC 준비로 9월 4일 서술과 같다.
- **Brewer Science의 고온 내성 레이저 박리 소재 예고(2026년 9월 24일)**: Brewer Science는 9월 30일 IMAPS 2026에서 첨단 패키징 임시접합·박리용 고온 내성 레이저 박리 소재를 발표한다고 예고하였다 [S-6-84]. 새 박리층은 BrewerBOND C1301 계열 접착제와 짝을 이루어 최대 350°C 공정을 견디고, 308nm와 355nm UV 레이저로 박리한 뒤 용제 세정으로 잔사를 제거한다 [S-6-84]. 세부 데이터는 학회 발표 이후에 공개되므로 수치는 회사 예고 기준으로만 읽는다. 6.5절에서 다룬 대로 공정 온도 상한이 곧 임시접합 소재의 선택 조건이라는 점을 다시 확인해 주는 사례다.

> **소재 관점에서 보면**: 추가분 가운데 가장 직접적인 변화는 CMP 쪽에 있다. 케이씨텍의 유리기판 슬러리 공급과 Qnity의 SP4000·SP5000은 hybrid bonding 접합면 밖에서도 폴리머와 유리라는 새 연마 대상이 제품화 단계에 들어섰음을 보여 준다. 삼성SDI 슬러리 자산이 닿을 수 있는 접점도 6.4절의 본딩면 CMP에서 유리기판 CMP까지 넓어진다 [S-6-75][S-6-74]. 유리기판은 SKC 추가 출자, 제이앤티씨 공장 신설, BOE 공개로 수요처가 늘었다. 그러나 어느 곳도 고객 양산 인증을 공개하지 않았으므로, 시간축을 2028년 이후로 보는 판단은 그대로 둔다. hybrid bonding은 도입 조건이 수치로 제시되었을 뿐 시점은 바뀌지 않았고, CPO는 생산 진입 보도가 늘었으나 대부분 회사 원발표가 아닌 매체 인용이다. 이번 확인분은 기회의 방향을 바꾸지 않고 슬러리 접점의 폭을 넓힌 것으로 읽는 것이 정확하다.

이 자료의 최신 동향 기준 시점은 2026년 9월 27일이다. 추가분 가운데 날짜와 함께 인용할 만한 것은 세 가지다. 8월 31일 Qnity의 패키징 전용 CMP 슬러리 Stackplane 발표 [S-6-74], 9월 22일 SKC의 앱솔릭스 921억 원 추가 청약과 지분 82.37% [S-6-83], 9월 9일 패널 발언을 전한 9월 21일 보도의 hybrid bonding 도입 조건(수율 90~98%, 수명 3~5년) [S-6-77]이다.

앞의 다섯 갈래를 함께 보면 하나의 방향이 보인다. 유리기판과 CPO 모두 기술 시연 단계에서 고객 인증과 양산 준비 단계로 넘어가는 중이다. 그 전환 지점에서 병목은 소재가 아니라 신뢰성 검증과 조립 수율에 있다. hybrid bonding도 같은 구도이며, 소재 성능이 아니라 두께 한도와 비용이 도입 시점을 정하고 있다 [S-6-54]. 소재 회사가 지금 해야 할 일은 새로운 물성을 하나 더 얹는 것이 아니라, 고객의 신뢰성 시험 항목에 맞춘 데이터 패키지를 준비하는 쪽에 가깝다.

앞으로 지켜볼 항목은 세 가지다. 앱솔릭스 논임베딩 제품의 하반기 공급사 선정 결과에 따라 유리기판의 시점 서술 전체가 달라진다 [S-6-17]. 아지노모토의 2026년 3분기 가격 인상이 실제로 집행되었는지와 증설 계획이 구체화되었는지도 확인할 대상이다 [S-6-12]. 삼성전자 평택 hybrid bonding 라인의 장비 반입 진척은 슬러리 쿼 창의 개시 시점을 결정한다. 세 항목 모두 원문으로 다시 확인할 필요가 있다.

반면 소재 제품 자체의 신규 공표는 ABF와 PID에서는 확인되지 않았고, hybrid bonding용 CMP에서는 이번에 한 건이 더해졌다. ABF는 2026년 5월의 30% 인상 보도와 2027년 말까지의 수급 부족 전망이 최신이다. 기준일 이후 아지노모토가 일괄 인상률이나 새 단기 캐파 수치를 확정해 직접 공표한 자료는 추가로 확인되지 않았다 [S-6-12][S-6-13]*[C-6-13]*. PID는 2026년 7월 LG화학 인터뷰가 최신 1차 자료다 [S-6-06]. hybrid bonding용 CMP 소재는 2025년 9월 Fujifilm의 전용 슬러리·세정액 출시 *[C-6-27]*에 이어, 2026년 8월 31일 Qnity(구 DuPont)가 발표한 패키징 전용 슬러리 Stackplane이 최신 제품 공표다(2026년 9월 27일 추가 확인) [S-6-74].

국내 업체들의 hybrid bonding 전용 슬러리·세정액·전구체에 관해서는 제품명과 날짜가 함께 확인되는 원자료를 이번 조사에서 확보하지 못했다. 이는 제품이 없다는 판정이 아니라 공개 근거가 없다는 뜻이다 *[C-6-28]*. 기술 이정표로는 2026년 5월 ECTC의 450nm 피치 98% 수율 보고가 최신이다 [S-6-34].

6.8 핵심 정리

번호	문장	출처
1	보도 기준으로 아지노모토는 ABF 필름 가격을 약 30% 인상하여 2026년 3분기부터 적용하고, AI 서버 기판의 수급 부족은 2027년 말까지 이어질 전망이다. 회사 자신은 일률 인상률을 공표하지 않으므로 이 수치는 매체 보도다. 그럼에도 고객이 빌드업 유전체를 이원화할 유인은 지금 가장 크다.	S-6-12, S-6-13, C-6-13
2	hybrid bonding의 본딩면 CMP는 기존 배선 CMP와 목표 함수가 반대여서, 제거율이 아니라 구리 recess를 나노미터 단위로 웨이퍼 전면에 재현하는 것이 관건이다. 목표값은 피치와 패드 구조, 유전막, 어닐 조건마다 따로 정해지며, 약 400°C 어닐 조건의 사례가 1~5nm, SiCN 유전막의 달성 가능 거칠기가 RMS 0.10nm로 보고되어 있다.	S-6-25, S-6-26
3	2026년 ECTC에서 Applied Materials와 EV Group은 450nm 피치에서 웨이퍼 쌍당 2천만 개의 구리 접합을 98% 수율로 구현했다고 보고했다.	S-6-34
4	앱솔릭스는 2026년 8월 21일 4,011억원 유상증자를 결정했고, SKC는 9월 4일 이사회에서 약 2,810억원 투입을 확정했다. SKC는 9월 22일 921억원을 추가 청약해 총 약 3,731억원, 지분 82.37%가 되었다. 임베딩 제품은 신뢰성 평가에, 논임베딩 제품은 하반기 공급사 선정 과제에 들어가 있다.	S-6-15, S-6-17, S-6-83
5	TSMC COUPE는 2026년 생산을 시작해 물량을 늘리는 단계다. 8월 31일 보도에 따르면 회장이 7월 실적 발표 때 COUPE가 이미 생산을 시작했다고 말했고, 같은 날 포럼에서 COUPE on Substrate의 2026년 생산 개시가 다시 제시되었다. 단일 COUPE 대역폭은 2026년 3.2Tb/s에서 2027년 무렵 6.4Tb/s로 해마다 두 배가 목표다. 1.6T와 6.4T로 나눈 세대 구분은 5월 분석 기준이므로 출처와 함께 읽어야 한다.	S-6-72, S-6-39

6.9 자기 점검 퀴즈

문항 1. hybrid bonding용 본딩면 CMP 슬러리가 기존 구리 배선용 CMP 슬러리와 가장 근본적으로 다른 점은 무엇인가?

A. 연마 입자의 경도를 높여 구리 제거율을 최대화하도록 설계한다 B. 산화막을 깎지 않도록 구리 선택비를 극단적으로 높여 설계한다 C. 구리와 유전막의 제거율 선택비를 near-unity로 맞춰 수 nm recess를 남긴다 D. 슬러리 pH를 강산성으로 낮춰 구리 표면 부식을 유도하도록 설계한다

문항 2. 유리 코어 기판이 도입되면 ABF 수요는 어떻게 되는가?

A. 유리 코어가 빌드업 유전체를 대체하므로 ABF 수요가 즉시 소멸한다 B. 유리 코어는 ABF와 무관한 별개 시장이어서 ABF 수요에 아무 영향이 없다 C. 유리 코어 기판은 배선이 유리 내부에 형성되므로 빌드업 공정 자체가 사라진다 D. 유리 코어 위에도 빌드업 유전체가 필요해 ABF는 잔존하고 감광성 대안이 함께 열린다

문항 3. 글라스 캐리어 웨이퍼 시장의 집중도에 대한 올바른 서술은 무엇인가?

A. AGC, Plan Optik, Corning, SCHOTT 4사가 매출의 약 90%를 차지한다 B. 경쟁 강도는 중간이며 상위 5개사가 시장의 약 40%를 점유한다 C. Corning이 단독으로 매출의 60% 이상을 점유하는 독과점 구조다 D. 완전 경쟁 상태여서 상위권 집중도를 수치로 말할 수 없다

문항 4. SKC와 앱솔릭스의 유리기판 투자 구조를 정확히 서술한 것은?

A. SKC의 1조1,671억원 증자 중 5,896억원이 앱솔릭스 몫이고, 앱솔릭스 명의 4,011억원 증자는 별건이다 B. 앱솔릭스가 2026년 5월 1조1,671억원 증자를 결정하고 2027년 양산을 목표로 잡았다 C. Applied Materials가 앱솔릭스 증자를 단독으로 인수해 지배력을 확보하였다 D. 앱솔릭스는 외부 조달 없이 자체 이익만으로 투자를 집행하고 있다

문항 5. PID와 PSPI의 저온 경화가 요구되는 물리적 이유로 가장 정확한 것은?

A. 저온에서 경화해야 막의 유전율이 낮아지는 물리적 관계가 있기 때문이다 B. 고온 경화가 가능한 대면적 양산 장비가 시중에 공급되지 않기 때문이다 C. 소자와 범프가 올라간 웨이퍼를 고온에 두면 휨과 솔더 용융, 소자 손상이 생기기 때문이다 D. 경화 온도를 낮추면 photo-via 해상도가 자동으로 함께 높아지기 때문이다

서술형 1. hybrid bonding 전환이 솔더·플럭스·언더필의 수요를 슬러리·세정액·전구체의 수요로 바꾸는 논리를 공정 단계에 따라 설명하고, 그 시점이 왜 "HBM4E 16단이 최선단, 대량은 HBM5"로 정리되는지 근거와 함께 쓰시오.

서술형 2. 삼성SDI가 이미 보유한 PID와 CMP 슬러리를 5대 방향별 소재 수요 이동표 위에 올려놓고, 어느 방향에 어떤 순서로 자원을 배분해야 하는지 근거와 함께 논하시오.

정답과 해설

아래는 위 문항의 해설이다. 먼저 스스로 답한 뒤 이 상자를 펼쳐 보듯 읽는다.

문항 1

정답은 C다. 본딩면 CMP에서 관건은 제거율이 아니라 구리 recess를 나노미터 단위로 웨이퍼 전면에 재현하는 것이며, 그러려면 산화막 제거율이 구리보다 근소하게 높은 near-unity 선택비가 필요하다. 목표 recess 값 자체는 피치와 패드 구조, 유전막, 어닐 조건에 따라 달라진다. 학술 연구는 세 배 희석한 알칼리 슬러리에 과산화수소 0.4 wt%를 넣어 구리 대 SiCN 선택비를 1 대 1.5로 맞춘 비선택성 연마 조건을 제시한다 [S-6-25][S-6-26].

A가 틀린 이유는 고제거율이 배선 CMP의 목표이지 본딩면 CMP의 목표가 아니기 때문이다. 오히려 제거율이 높으면 nm급 제어가 불가능해진다. B는 기존 구리 배선 슬러리의 설계 방향(oxide stop)을 그대로 서술한 것으로, 본딩면에서는 정확히 반대 방향이다. D는 구리 부식이 본딩 보이드로 직결되므로 post-CMP 세정에서 반드시 억제해야 하는 현상이며, 유도 대상이 아니다.

문항 2

정답은 D다. 근시일의 유력 아키텍처는 유리 코어에 빌드업을 올리는 하이브리드 구조이며, 유리 코어는 ABF와 경쟁하지 않고 기판 부품을 추가하는 구도다. 변화 포인트는 유리 위의 빌드업이 레이저 비아 ABF 대신 감광성 photo-via 유전체로 갈 수 있다는 것이며, 이것이 PID 화학이 기판으로 확장되는 경로다 [S-6-10].

A는 층 구조를 오해한 것이다. TGV는 코어를 관통할 뿐이고 미세 배선은 여전히 코어 위아래의 빌드업층에서 이루어진다. Intel이 2026년 ECTC에서 시연한 패널도 10-2-10 구성, 즉 유리 2층 위아래에 각각 10층의 빌드업 배선을 갖는다 [S-6-21]. B는 두 소재가 같은 기판 단면 안에 공존한다는 사실과 배치된다. C는 TGV가 관통 전극일 뿐 배선층이 아니라는 점을 놓친 것이다.

문항 3

정답은 B다. 원출처는 경쟁 강도를 중간(moderate)으로 규정하고 상위 5개사가 약 40%를 점유한다고 명시하며, 주요 업체로 SCHOTT, Corning, AGC, Plan Optik, Tecnisco, NEG를 나열한다. 시장 규모는 2025년 약 $0.74B이고 연평균 17.6% 성장이다 [S-6-23].

A는 원출처와 대조한 결과 근거가 확인되지 않은 서술이다. 40%와 90%는 이원화 가능성을 정반대로 읽게 만드는 차이이므로 특히 중요하다. C는 어떤 출처에도 없는 수치다. D는 원출처가 집중도를 명시적으로 제시한다는 사실과 배치된다.

문항 4

정답은 A다. 유상증자의 주체를 혼동하는 것이 이 항목에서 가장 흔한 오류다. 2026년 5월의 1조 1,671억원 증자는 모회사 SKC의 것이고 그중 5,896억원이 앱솔릭스 투자로 배정되었으며 [S-6-16], 앱솔릭스 자체 명의의 4,011억원 증자는 2026년 8월 21일 결정된 별개 건이다 [S-6-15]. 이어 SKC는 2026년 9월 4일 이사회에서 약 2,810억원 투입을 결정하였다 [S-6-17]. 네 금액은 법인과 집행 단계가 달라 단순 합산하면 중복 계산이 된다.

B는 주체를 앱솔릭스로 잘못 잡았고, 덧붙은 "2027년 양산 목표"도 원출처와 독립 출처 어디에도 근거가 없는 서술이다. C는 Applied Materials가 앱솔릭스 지분 29.95%를 보유한 합작 파트너이지만 이번 증자를 단독 인수한 주체는 아니라는 점에서 틀렸다 [S-6-15]. D는 두 건의 증자 결정 사실 자체와 배치된다.

문항 5

정답은 C다. 폴리이미드는 통상 350°C 안팎에서 이미드화가 완결되는데, RDL은 소자와 범프가 이미 형성된 웨이퍼 위에서 만들어지므로 그 온도를 견딜 수 없다. 그래서 200°C 이하에서 이미드화율 95.9% 이상을 얻는 설계가 연구의 초점이 되었고, 제품에서도 170~250°C 경화 그레이드가 나와 있다 [S-6-45]*[C-6-03]*.

A는 인과가 뒤집혔다. 저온 경화와 저유전은 원래 상충하는 목표이며, 부피가 큰 디아민으로 자유부피를 키우는 분자 설계 같은 별도의 수단이 필요하다 [S-6-07]. B는 사실과 다르며, 고온 경화로도 막 물성 자체는 오히려 좋아진다. D는 해상도가 감광기 설계와 현상 조건에 지배되는 별개 축이라는 점을 놓친 것이다.

서술형 1

공정 논리는 이렇게 이어진다. hybrid bonding은 두 표면의 유전막끼리 직접 융착시키고 구리 패드끼리 직접 확산 접합시키므로, 솔더 범프 캡이 필요 없고 따라서 솔더 산화막을 제거하는 플럭스도 필요 없으며, 범프 사이 공간을 채우던 언더필(MUF 또는 NCF)도 필요 없다. 세 소재가 한꺼번에 사라진다. 대신 모든 부담이 표면 준비로 옮겨 간다. 구리 recess를 나노미터 단위로 재현하는 본딩면 CMP 슬러리(목표값은 피치·패드 구조·유전막·어닐 조건별로 결정), 파티클과 금속 오염을 제거하는 post-CMP 세정액, 융착 대상이 되는 SiCN 유전막을 증착하기 위한 PECVD 전구체, 그리고 디펙트를 억제하는 초평탄 연마 패드가 새로 필요해진다 [S-6-25][S-6-26].

시점이 뒤로 정리되는 근거는 세 가지다. 첫째, 공급사 자신의 발언이다. SK하이닉스는 2026년 8월 23일 Hot Chips 2026에서 hybrid bonding이 HBM4E에는 준비되지 않을 것이라고 밝히고 Advanced MR-MUF를 HBM4E까지 연장한다고 설명하였으며, 20단 이상은 연구 단계로 두어 HBM5를 가장 이른 제품 창으로 제시하였다 [S-6-54]. 둘째, 16단 수요 자체가 미지근하여 HBM4E 세대에서도 12단이 주류일 것으로 전망되고, 삼성도 빨라야 16단 HBM4E가 최선단 적용 지점으로 관측된다 [S-6-51]. 셋째, 삼성 Heat Path Block과 SK하이닉스 iHBM 같은 대체 방열 기술이 열 문제를 다른 방식으로 완화한다 [S-6-51]. 이 때문에 대량 채택 양산은 HBM5 20단, 2029~2030년으로 보는 것이 업계 컨센서스다 [S-6-54].

두께 조건은 표준 발간 사실과 보도 수치와 검토안을 구분해야 한다. JEDEC의 HBM4 표준 JESD270-4 발간(2025년 4월 16일)은 공식 공표로 확인되지만 [S-6-50], 720μm에서 775μm로의 완화는 2024년 3월 위원회 합의를 전한 보도가 최초 출처이고 [S-6-71] 2025년 4월 표준 확정 보도에서 재확인된 것이어서 [S-6-56] JEDEC 공식 문서 조항으로는 미확인이다. HBM4E용 약 900μm 안은 2026년 4월 1일 기준 검토 중인 보도 단계다 [S-6-52]. 소재 수요는 단절되지 않고 중첩된다. 기존 본딩 소재의 수명이 최소 한 세대 연장되었으므로 단기에는 스택 단수 증가에 비례해 EMC와 NCF 수요가 오히려 늘고, 그 뒤에 새 소재 수요가 겹쳐 올라온다.

서술형 2

보유 자산을 표에 매핑하면 세 방향과 만난다. CMP 슬러리는 방향 ②(bumpless 전환)와 직접 겹치고, PID는 방향 ④(패널화·유리화)와 직접 겹치며, PID의 감광 폴리머 화학은 방향 ⑤(광통합)로 이전 가능하다.

우선순위는 ② → ④ → ⑤ 순이 근거에 부합한다. ②가 첫 번째인 이유는 시점이 가장 명확하고 진입 기회가 사라지는 속도가 가장 빠르기 때문이다. 삼성전자의 평택 D2W 하이브리드 본더 양산 라인 장비 반입이 2026년 말부터 시작될 것으로 보도된 만큼 [S-6-55] 2026년부터 2029년까지가 퀄 진입 구간인데, 케이씨텍은 이미 hybrid bonding 전용 구리 슬러리를 개발 중이고 [S-6-31], 동진쎄미켐은 SK하이닉스향 공급을 추진하고 있으며 [S-6-33], Fujifilm은 2025년 9월에 이미 채택 사례를 확보했다 [S-6-30]. 다만 보유 슬러리를 그대로 제안할 수는 없다. 목표 함수가 반대이므로 near-unity 선택비와 nm급 recess 재현이라는 새 사양으로 재설계해야 하고, 세정액을 묶어 제안하는 것이 표준 확장 경로다.

④가 두 번째인 이유는 양산 시점이 아직 2027년 이후에 걸려 있기 때문이다. 삼성전기는 유리 코어 2027년 하반기와 완성 기판 2028년으로 단계를 구분하고 *[C-6-20]*, LG이노텍은 2026년 9월 9일 KPCA 자료에서 2028년 목표를 제시하였으며 *[C-6-22]*, 앱솔릭스는 임베딩 제품이 신뢰성 평가 단계에 있다 [S-6-17]. 시간이 남았다는 것은 곧 POR이 굳지 않았다는 뜻이므로 준비의 가치가 크고, 요구 물성(유리 밀착력·저수축·저유전)이 기존 ABF와 다르다는 점에서 선점 여지가 있다. 아지노모토의 ABF 인상 보도가 만든 이원화 유인도 배경 조건으로 작용한다 [S-6-12]*[C-6-14]*.

⑤가 세 번째인 이유는 화학 이전 가능성은 입증되었으나 역량 격차가 크기 때문이다. Sumitomo Bakelite가 도파로 클래딩과 유전체를 겸하는 광경화 폴리머로 그 경로를 실증했지만 [S-6-10], 광학 손실·굴절률 정합·파이버 정렬 같은 광학 규격은 전자재료와 다른 평가 체계를 요구한다. 또한 CPO의 실수요 램프가 광엔진 수율과 패키징 캐파 병목으로 2027~2028년에 걸쳐 있다 [S-6-38]. 따라서 ⑤는 즉시 투자 대상이라기보다 ④의 드라이필름·저유전 그레이드 개발이 자연스럽게 확장되는 후속 트랙으로 설계하는 것이 합리적이다.

6.10 용어 사전

용어(영문)	한 문장 정의	처음 나온 절
PID (Photo Imageable Dielectric)	노광과 현상만으로 비아를 형성할 수 있는 감광성 영구 절연막의 총칭	6.0
PSPI (Photosensitive Polyimide)	폴리이미드 화학을 쓰는 감광성 절연재로 고온 안정성과 미세 해상도가 강점인 계열	6.1
PBO (Polybenzoxazole)	폴리이미드 대비 흡습과 응력이 낮아 보호막·버퍼층에 많이 쓰이는 감광성 절연 고분자	6.1
이미드화 (imidization)	폴리아믹산 전구체가 열을 받아 고리 구조의 폴리이미드로 전환되는 경화 반응	6.1
네거티브형·포지티브형	노광부가 남는 방식과 노광부가 제거되는 방식으로 나눈 감광 소재의 두 유형	6.1
RDL (Redistribution Layer)	다이의 미세 패드 배치를 패키지 배선 피치로 재배치하는 박막 배선층	6.1
ABF (Ajinomoto Build-up Film)	FC-BGA 기판의 절연층으로 쓰이는 빌드업 필름으로 아지노모토가 사실상 독점한다	6.2
FC-BGA	플립칩으로 다이를 붙이고 하면에 BGA 볼을 배열하는 고성능 패키지 기판 형식	6.2
L/S (Line/Space)	배선의 선폭과 배선 사이 간격을 함께 나타내는 미세화 지표	6.2
솔더레지스트 (PSR)	기판 최외곽에서 솔더가 젖는 영역을 한정하고 배선을 보호하는 감광성 절연막	6.2
TGV (Through Glass Via)	유리 기판을 수직으로 관통하여 상하 배선을 연결하는 구리 충전 전극	6.3
유리 코어 기판 (Glass Core Substrate)	기판 코어를 유기 수지 대신 유리로 대체하여 평탄도와 CTE를 개선한 기판	6.3
글라스 캐리어 (Glass Carrier)	웨이퍼 박형화와 재구성 공정에서 웨이퍼를 임시로 떠받치는 유리 지지체	6.3
CTE (Coefficient of Thermal Expansion)	온도 변화에 따른 치수 변화율로 이종 소재 접합의 휨을 지배하는 물성	6.3
hybrid bonding	유전막끼리 융착시키고 구리 패드끼리 직접 확산 접합시키는 무범프 접합 방식	6.4
recess (dishing)	CMP 후 구리 패드가 주변 유전막보다 낮아진 함몰 깊이	6.4
CMP (Chemical Mechanical Planarization)	화학 반응과 기계적 연마를 함께 써서 표면을 평탄화하는 공정	6.4
SiCN	탄소와 질소를 포함한 실리콘 질화막 계열로 거칠기가 낮고 본드 에너지가 높은 본딩 유전막	6.4
본드 에너지 (bond energy)	접합된 두 표면을 다시 떼어 내는 데 필요한 단위 면적당 에너지	6.4
TBDB (Temporary Bonding and Debonding)	박형 웨이퍼를 캐리어에 임시로 붙였다가 공정 후 분리하는 소재·공정 체계	6.5

용어(영문)	한 문장 정의	처음 나온 절
레이저 릴리즈 (laser release)	투명 캐리어를 투과한 레이저가 분리층만 분해하도록 하여 웨이퍼를 떼어 내는 방식	6.5
CPO (Co-Packaged Optics)	광 인터페이스를 착탈식 모듈이 아니라 스위치 ASIC과 같은 패키지 안에 통합하는 방식	6.6
COUPE	TSMC의 실리콘 포토닉스 광엔진 플랫폼으로 전기 다이와 광 다이를 적층한다	6.6
FAU (Fiber Array Unit)	광섬유를 정밀한 피치로 배열해 광 칩에 결합시키는 부품	6.6
POR (Process of Record)	양산에서 공식 채택되어 변경이 어려워진 표준 공정·소재 조합	6.3

6.11 더 읽을 자료

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-6-26	논문	Minimizing Recess of Cu Pad on Hybrid Bonding with SiCN via Non-selective CMP and Post-cleaning Steps	ECS J. Solid State Sci. Technol. / Nakayama 외	2024	hybrid bonding CMP 요구치의 유일한 완전 공개 정량 논문	OA
S-6-25	표준·로드맵	A Review on CMP Challenges in Hybrid Wafer Bonding and Wafer Level Packaging	Intel / NCCAVS CMPUG	2023-09	recess 1~5nm와 SiCN RMS 0.10nm의 1차 출처 슬라이드	OA
S-6-21	기술블로그	ECTC 2026 리뷰(유리 패널·CPO·hybrid bonding)	SemiAnalysis	2026-07-02	Intel 510×515mm 유리 패널 등 2026년 최신 기술 이정표	무료등록
S-6-10	논문	ECTC 2026 발표 3편(Optical RDL Interposer, 유리 패키징용 감광성 RDL)	Sumitomo Bakelite·Tohoku Univ.·Georgia Tech	2026-05	PID 화학이 유리기판과 CPO로 이전된 사례	OA(요약)
S-6-40	논문	Silicon Photonics for Co-Packaged Optics: A Review of Core PIC Components and Industry Strategies	Adv. Mater. Technol. / Zhang 외	2026-08-20	업계 4사 경로 비교와 열관리 병목의 근거. 광학 접착제·클래딩 사양은 다루지 않는다	전문 확인
S-6-22	논문	Through glass via technology for advanced packaging	J. Mater. Sci.: Mater. Electron. / Wang 외	2026-07	LIDE 테이퍼 각, 펄스역전 도금, Cu 링 12μm 균열 임계의 근거	전문 확인
S-6-35	논문	Temporary Bonding and Debonding in Advanced Packaging: Recent Progress and Applications	Electronics (MDPI)	2023	TBDB 3방식과 접착제 화학의 기초를 잡는 OA 리뷰	OA
S-6-45	논문	A strategy to prepare low-temperature curable photosensitive polyimide with good comprehensive performance	Chem. Eng. J. / Huang 외	2023-12	200°C 경화 이미드화율 95.9%와 24 ppm/K CTE의 단일 귀속처	전문 확인
S-6-46	논문	Low-temperature photo imageable dielectric for redistribution layers in advanced packaging application	Mater. Sci. Semicond. Process. / Chang 외	2025-02	기판별 접착 9.45MPa 규격과 O_2/SF_6 디스컴 DOE. 이미드화율은 다루지 않는다	전문 확인
S-6-13	뉴스	ABF 30% 인상과 2027년 말까지의 수급 갭	wccftech	2026-05-11	ABF 이원화 창의 근거 수치 확보	OA
S-6-17	뉴스	SKC 2,810억원 앱솔릭스 투입, 수율 안정화 단계	파이낸셜뉴스	2026-09-10	유리기판 진영의 2026년 9월 실제 진도	OA

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-6-18	뉴스	삼성전기 유리기판 투자 일정 지연	디일렉	2026-08-12	유리기판 시점 서술을 과장하지 않기 위한 대조 자료	OA
S-6-38	분석기관	NVIDIA·Broadcom CPO 스위치 양산 램프와 병목	TrendForce	2026-07-27	CPO 실수요 시점과 병목 구조 확인	OA
S-6-34	뉴스	ECTC 2026: Applied Materials 450nm 피치 98% 수율	AtlasPCB	2026-05-26	hybrid bonding 피치 로드맵의 최신 상한	OA
S-6-01	기업발표	Asahi Kasei, PIMEL 생산능력 2030년까지 2배	Asahi Kasei	2025-08-22	PSPI 수요 전망을 공급사 투자로 역산	OA
S-6-06	기업발표	LG화학 PID 연구개발팀 인터뷰	LG화학	2026-07-08	경쟁사의 PID 전략(액상+필름, 유리기판 타깃) 1차 자료	OA
S-6-23	분석기관	Glass Wafer Carrier Market	Mordor Intelligence	2025	글라스 캐리어 집중도 수치의 원출처	무료등록

Day 7. 삼성SDI 전자재료의 위치와 기회 축

선수 지식 Day 1의 AP 계보와 시장 판본, Day 2의 요소공정, Day 4의 HBM 본딩 3트랙, Day 5~6의 소재 전지도

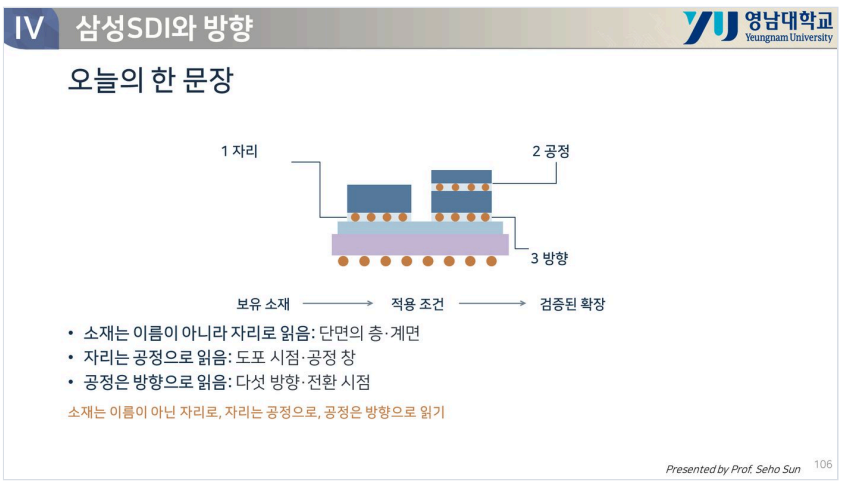
학습 목표: 이 Day를 마치면 다음 세 가지를 할 수 있다.

1. 삼성SDI 전자재료의 공식 포트폴리오와 2025~2026년 실적·컨퍼런스콜 발언을 근거로, 회사가 이미 Advanced Packaging 소재를 고객에 공급하고 있다는 사실을 수치와 원문 문구로 설명할 수 있다.
2. 일본 과점 지점별 점유율 수치가 각각 어떤 성격의 출처에서 나온 것인지 구분하고, 세컨드 소스 퀄 장벽의 실체와 이원화 창이 열리는 조건을 근거와 함께 설명할 수 있다.
3. 기회 축 다섯 개를 시장 규모·현직 공급사·요구 스펙·리스크와 함께 비교하고, 자주 나오는 질문 스무 개에 대한 답의 근거와 불확실성을 판단할 수 있다.

선수 지식: Day 1~6 전체 / **예상 소요**: 3시간

7.0 한눈에 보기

슬라이드 88쪽 · IV 삼성SDI와 방향: 단면 위에 우리 소재를 놓아 보기



슬라이드 106쪽 · 오늘의 한 문장

Day 7은 앞의 엿새 동안 쌓은 기술 지식을 삼성SDI 전자재료의 관점에서 다시 묶는다. 전자재료 엔지니어에게 필요한 것은 Advanced Packaging의 기술사가 아니다. "그 기술 변화가 삼성SDI가 만드는 소재의 수요를 어디서 만들고 어디서 없애는가"라는 질문에 대한 답이다. 그래서 이 장의 출발점은 기술이 아니라 회사다. 삼성SDI 전자재료는 편광필름 사업을 양도한 뒤 연 8,826억원 규모에 영업이익률 약 15%의 반도체·디스플레이 소재 조직으로 재편되었다. 2026년 2분기에는 매출 2,498억원과 영업이익 445억원을 올려 전년 동기 대비 각각 14.5%와 34.8% 성장했다 [S-7-02].

그다음 근거는 회사가 공식 자리에서 밝힌 방향이다. 2026년 2분기 컨퍼런스콜에서 회사는 상반기 성과로 "반도체 소재는 고방열 EMC와 같은 패키징 소재를 글로벌 고객사에 신규로 공급하며 고객 포트폴리오를 확대했다"고 밝혔다. 하반기 전망으로는 "팹 소재는 EUV 공정 파운드리의 미세 패턴화 등으로 유무기 패터닝 소재와 하이브리드 본딩용 슬러리 소재의 중요성이 높아지고 있다"와 "기존 방열 소재뿐만 아니라 재배선 소재, 공정용 점접착 필름 소재 등의 응용 분야가 확대되고 있다"를 함께 제시했다 [S-7-03]. 여기서 하이브리드 본딩용 슬러리는 패키징 소재가 아니라 팹 소재, 곧 전공정 소재 항목의 맥락에서 나온 말이다. 따라서 이 말은 앞 구절과 함께 읽어야 한다. 이 세 문장은 Day 7이 다룰 기회 축 다섯 개 가운데 세 개를 회사 스스로 공식화한 것이며, 이 장에서 가장 직접적인 근거다.

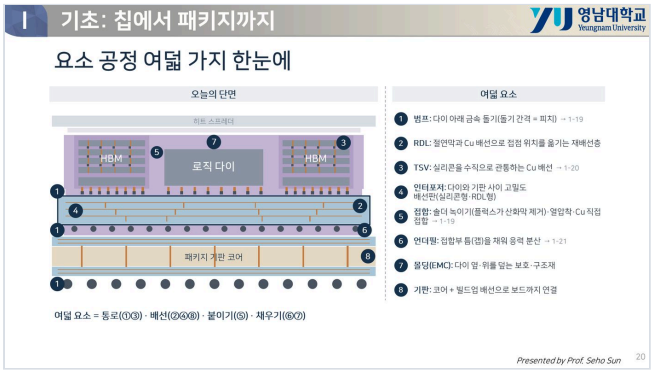
2026년 9월 IR52 장영실상 37주차 수상 자료도 근거에 더해진다. 한국산업기술진흥협회 IR52 보도자료 게시일은 2026년 9월 18일이고, 매일경제 기사는 9월 17일, 삼성SDI 뉴스룸 게시는 9월 19일이다. 따라서 날짜는 출처별로 따로 확인해야 한다. 이 수상 자료에서 삼성SDI는 모바일용 고방열 EMC에 대해 "지난해 상반기 국내 반도체 제조사 두 곳으로부터 양산 승인을 받았고" "올해부터는 해외 메모리 업체로도 수출을 시작"했다고 설명했다. 고객사가 이 소재 도입 이후 열저항을 "최대 47퍼센트(D램), 16퍼센트(AP)까지 개선했다"고도 밝혔다 [S-7-56]. 승인 시점이 2025년 상반기라는 설명은 컨퍼런스콜의 "4분기 고객 신제품 최초 적용"과 단계가 다른 정보다.

Day 1부터 Day 6까지는 사실을 정확히 아는 것이 목표였다. Day 7은 그 사실들을 어떤 순서로 놓을 때 삼성SDI의 위치가 정확히 보이는가를 다룬다. 같은 데이터라도 배치가 달라지면 결론이 달라진다. 일본 과점을 먼저 보이고 삼성SDI의 포트폴리오를 뒤에 놓으면 서술이 열세의 확인으로 흘러간다. 순서를 뒤집어 회사의 공식 발언을 먼저 놓고 과점 지도를 뒤에 놓으면, 이미 공급 중인 사실과 남은 진입 경로 세 개가 대비된다.

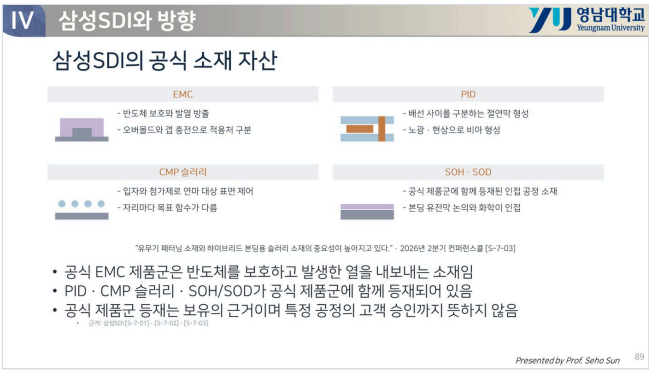
두 번째 배치가 근거의 강도 면에서도 타당하다. 회사가 글로벌 고객사에 패키징 소재를 공급한다는 것은 공식 발언으로 확인되는 사실이다 [S-7-03]. 반면 과점 점유율 수치에는 회사 자체 추정과 조사기관 추정, 언론 전재가 섞여 있다. 그래서 이 장의 절 순서는 회사에서 시작해 시장으로 나가고 다시 회사의 실행 과제로 돌아온다. 7.1은 회사의 현재 위치를, 7.2부터 7.5까지는 일본 과점 지도와 퀄 장벽, 이원화 창의 조건과 진입 세 루트, 국내 경쟁 지형, 기회 축과 시장 판본을 다룬다. 7.6은 자주 나오는 질문 스무 개를 모았다.

수치에는 유효 기간이 있다. 이 자료의 기준일은 2026년 9월 19일이고, 최신 동향은 2026년 9월 27일까지 추가로 확인했으며, 세미나는 9월 28일에 열렸다. 삼성SDI의 3분기 실적은 세미나 이후에 공표될 예정이고(9월 27일 현재 일자 미공지), 삼성전자 온양 팹의 착공식 개최 여부도 아직 확인되지 않았다. TSMC와 메모리 3사의 분기 공표도 이어진다. 그러므로 이 장의 수치는 기준 시점과 출처를 함께 확인하며 읽어야 한다. 분기 실적처럼 곧 바뀔 숫자는 최신 공표로 갱신해 읽는다. 로드맵 연도처럼 공표 기관이 갱신하는 항목은 원문을 다시 확인한다.

7.1 삼성SDI 전자재료의 현재 위치

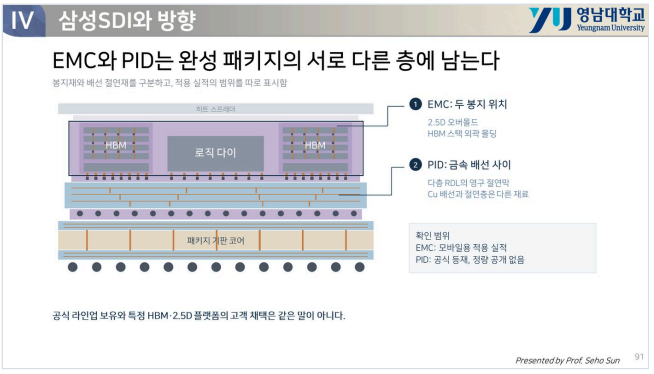


슬라이드 20쪽 · 요소 공정 여덟 가지 한눈에



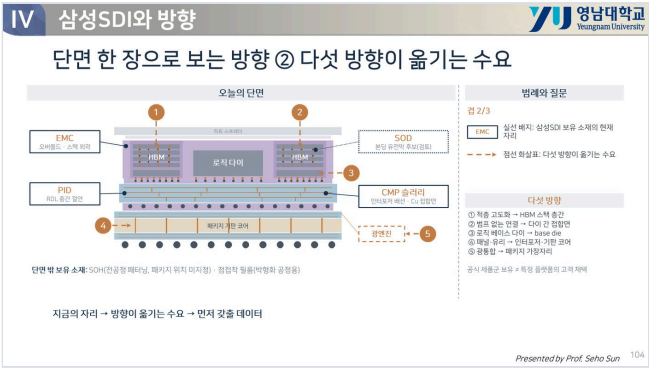
슬라이드 89쪽 · 삼성SDI의 공식 소재 자산

슬라이드 90쪽 · 보유 소재는 패키지의 네 공정 지점에 닿는다

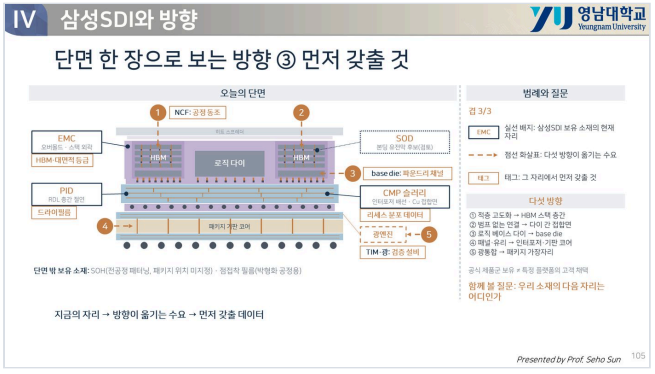


슬라이드 91쪽 · EMC와 PID는 완성 패키지의 서로 다른 층에 남는다

슬라이드 103쪽 · 단면 한 장으로 보는 방향 ① 지금의 자리



슬라이드 104쪽 · 단면 한 장으로 보는 방향 ② 다섯 방향이 옮기는 수요



슬라이드 105쪽 · 단면 한 장으로 보는 방향 ③ 먼저 갖출 것

그 밖의 관련 슬라이드: 19쪽 · 24쪽 · 25쪽 · 53쪽 · 54쪽 · 55쪽 · 57쪽 · 58쪽 · 75쪽 · 76쪽 · 84쪽

관련 도해: F-1-01 네 가지 제약이 패키징으로 모인다 · F-1-11A 접속 밀도를 따라 읽는 AP 계보 · F-1-11B 계보는 소재가 바뀌는 지도이기도 하다 · F-2-02A 같은 EMC라도 들어가는 자리가 다르다 · F-2-02B PID는 남는 층, CMP는 그 층을 만드는 공정이다 · F-5-01A 소재는 이름보다 들어가는 자리로 읽는다 · F-5-01B HBM·팬아웃에서는 수지의 역할이 달라진다 · F-5-01C 소재의 소멸은 패키지가 아니라 전환된 층 기준이다 · F-5-02A EMC는 고충전 필러와 가교 수지의 조합이다 · F-5-02B 필러 함량은 봉지재마다 다르다 · F-6-01A PID는 Cu 배선 사이에 남는 감광성 절연막이다 · F-6-01B 도포·노광·현상 뒤에는 비아 바닥을 확인한다 · F-6-01C 경화와 Cu 형성을 반복하면 다층 RDL이 된다 · F-6-01D 같은 PID라도 하지와 면적이 달라지면 요구가 바뀐다 · F-6-10A Cu CMP 슬러리는 네 성분과 pH로 기능을 나눈다 · F-6-10B BTA와 H_2O_2는 함량비만 아니라 전위 창으로 맞춘다 · F-6-10C 본딩면에서는 선택비와 디싱을 함께 조정한다

삼성SDI 공식 전자재료 페이지는 제품을 네 갈래로 나누어 등재한다. 반도체 공정소재는 SOH, SOD, CMP(Chemical Mechanical Planarization) 슬러리, EUV 소재, CIS-CR의 다섯 종이다. 반도체 패키징 소재는 EMC(Epoxy Molding Compound)와 PID(Photo Imageable Dielectric)의 두 종이다 [S-7-01]. 디스플레이 쪽에는 FOCA, OLED용 공정 보호필름, OLED 소재, TFE, QD Ink가 있고, 배터리 소재로는 분리막이 있다.

Advanced Packaging의 핵심 소재 카테고리 가운데 몰딩재와 재배선 절연막이라는 두 축이 이미 공식 라인업 안에 있다. hybrid bonding 전환의 최대 수혜 카테고리인 CMP 슬러리도 함께 있다. 공식 페이지는 PID를 "금속 배선층 사이의 절연막을 구성하는 감광성 패터닝 절연재"로 소개한다. 이 한 줄이 fan-out 재배선층과 유리기판 빌드업이라는 응용을 가리킨다 [S-7-01].

사업 규모의 재편은 2025년 9월 1일에 종결된 편광필름 사업 영업양도에서 비롯한다. 양도금액은 1조1,210억원이었고, 대상은 국내 청주·수원 사업장의 편광필름 제조·판매 사업과 중국 우시법인 지분 전량이었다 [S-7-07]. 회사는 그때 "반도체·OLED·배터리 등 차세대 소재 개발에 핵심 역량 집중"을 공식 표명했다. 이 거래 이후 잔존 전자재료는 2025년 연간 매출 8,826억원에 영업이익 1,295억원을 기록했다. 같은 해 배터리 부문이 1조8,519억원의 영업손실을 낸 것과 대비되는 전사의 유일한 흑자 축이었다 [S-7-05]. 과거에 자주 인용되던 "전자재료 매출 2조원대"는 편광필름을 포함한 수치이므로 현재 조직 규모와 혼용하면 안 된다.

2026년으로 들어오면 숫자가 개선된다. 1분기는 매출 2,220억원에 영업이익 210억원이었다 [S-7-08]. 2분기는 매출 2,498억원에 영업이익 445억원으로 전년 동기 대비 각각 14.5%와 34.8% 증가했다 [S-7-02]. 2분기 영업이익률은 약 17.8%로, 재편 직후 기준선으로 잡았던 약 15%를 넘어섰다. 회사는 2분기 실적 자료에서 "반도체 소재의 견조한 판매가 지속되는 가운데, 폴더블 스마트폰용 필름 소재를 중심으로" 매출과 수익성이 모두 개선되었다고 설명했다. 하반기 계획으로는 "반도체 신규 패키징 소재 및 디스플레이용 고부가 필름 소재를 중심으로 판매를 확대"를 제시했다 [S-7-02].

기간	매출	영업이익	영업이익률	출처
2025년 연간(계속영업)	8,826억원	1,295억원	약 14.7%	[S-7-05]
2025년 4분기	2,367억원	393억원	약 16.6%	[S-7-05]
2026년 1분기	2,220억원	210억원	약 9.5%	[S-7-08]
2026년 2분기	2,498억원(+14.5% YoY)	445억원(+34.8% YoY)	약 17.8%	[S-7-02]

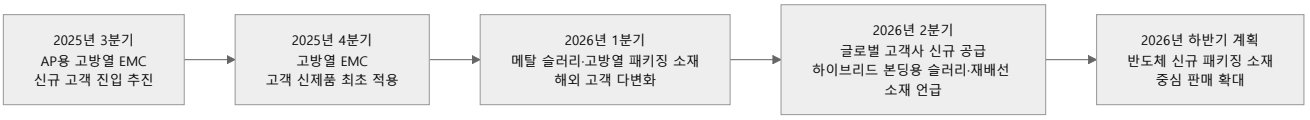
컨퍼런스콜 발언은 회사의 방향을 확인하는 1차 자료다. 네 개 분기의 발언을 시간 순으로 늘어놓으면 회사의 방향이 한 줄로 보인다.

시점	공식 발언(원문 취지)	가리키는 기회 축	출처
2025년 3분기	"메탈 슬러리 포트폴리오 확대 및 AP용 고방열 EMC 신규 고객 진입을 추진"	축 ①, 축 ③	[S-7-06]
2025년 4분기	"차세대 그린 호스트 및 고방열 EMC 소재를 고객 신제품에 최초 적용", 2026년 "고방열 EMC, 메탈 슬러리의 주요 고객사 양산 진입을 통해 매출 성장이 예상", "차세대 공정 대응용 패키징 재료 중심으로 포트폴리오 확장"	축 ①, 축 ③	[S-7-05]
2026년 1분기	"메탈 슬러리, 고방열 패키징 소재의 매출 확대로 시장수요 이상의 성장", "글로벌 반도체사에 패키징 소재 신규 진입 등 해외 고객 다변화에 집중"	축 ①, 축 ③, 해외 고객	[S-7-04]
2026년 2분기	상반기 성과로 "반도체 소재는 고방열 EMC와 같은 패키징 소재를 글로벌 고객사에 신규로 공급하며 고객 포트폴리오를 확대했다", 하반기로 "팹 소재는 EUV 공정 파운드리의 미세 패턴화 등으로 유무기 패터닝 소재와 하이브리드 본딩용 슬러리 소재의 중요성이 높아지고 있다", "기존 방열 소재뿐만 아니라 재배선 소재, 공정용 점접착 필름 소재 등의 응용 분야가 확대되고 있다"	축 ①, 축 ②, 축 ③(단 슬러리는 팹 소재 항목에서 언급)	[S-7-03]
2026년 9월(IR52 보도자료 09-18, 매일경제 기사 09-17, 뉴스룸 게시 09-19)	IR52 장영실상 37주차 수상 자료에서 모바일용 고방열 EMC에 대해 "지난해 상반기 국내 반도체 제조사 두 곳으로부터 양산 승인", "올해부터는 해외 메모리 업체로도 수출을 시작", 고객사 도입 후 열저항 "최대 47퍼센트(D램), 16퍼센트(AP)까지 개선"	축 ① 적용 단계의 구체화	[S-7-56]

이 표에서 가장 새로운 정보는 2026년 2분기 발언과 9월 수상 자료다. 회사가 "하이브리드 본딩용 슬러리 소재"와 "재배선 소재"를 자기 문장 안에 직접 넣은 것은 이번이 처음이다 [S-7-03]. 다만 회사는 하이브리드 본딩용 슬러리를 "팹 소재는 EUV 공정 파운드리의 미세 패턴화 등으로"라는 구절에 이어서 말했다. 따라서 패키징 소재가 아니라 전공정 소재 항목으로 분류한 것으로 읽어야 한다. 앞 구절을 잘라 내고 패키징 기회로만 인용하면 회사 발언을 과대 해석하게 된다.

9월 수상 자료는 적용 단계를 구체화한다. 국내 양산 승인은 2025년 상반기에 두 곳에서 이루어졌고, 해외 메모리 업체 수출은 2026년부터 시작되었다는 회사 설명이 나온다 [S-7-56]. 이는 컨퍼런스콜의 "4분기 고객 신제품 최초 적용"과 단계가 다른 정보다. 그러므로 승인과 고객 제품 적용과 양산 공급은 구분해 읽어야 한다. 또한 수상 대상이 "모바일용 고방열 EMC"이므로 이 실적을 HBM 공정 채택의 근거로 쓰면 안 된다.

1분기의 "글로벌 반도체사에 패키징 소재 신규 진입"과 2분기의 "글로벌 고객사에 신규로 공급"은 고객이 그룹 내부에 한정되지 않는다는 뜻으로 읽을 수 있다 [S-7-03][S-7-04]. 회사는 고객사명을 공개하지 않았다. 따라서 특정 회사를 고객으로 지목할 근거는 없다.



공급망 쪽에서도 확인되는 사실이 있다. 삼화페인트는 2026년 3월 6일 삼성SDI에 고성능 MMB(Master Batch, EMC 제조용 반제품)의 양산 공급을 시작했다고 밝혔다 [S-7-09]. 기사는 이 소재가 "신규 출시된 모바일 기기의 핵심 AP 패키징"에 적용된다고 설명했다. 양사는 2025년 4월에 EMC 조성물을 함께 개발하기로

합의한 뒤 약 열 달 만에 양산에 이르렀다.

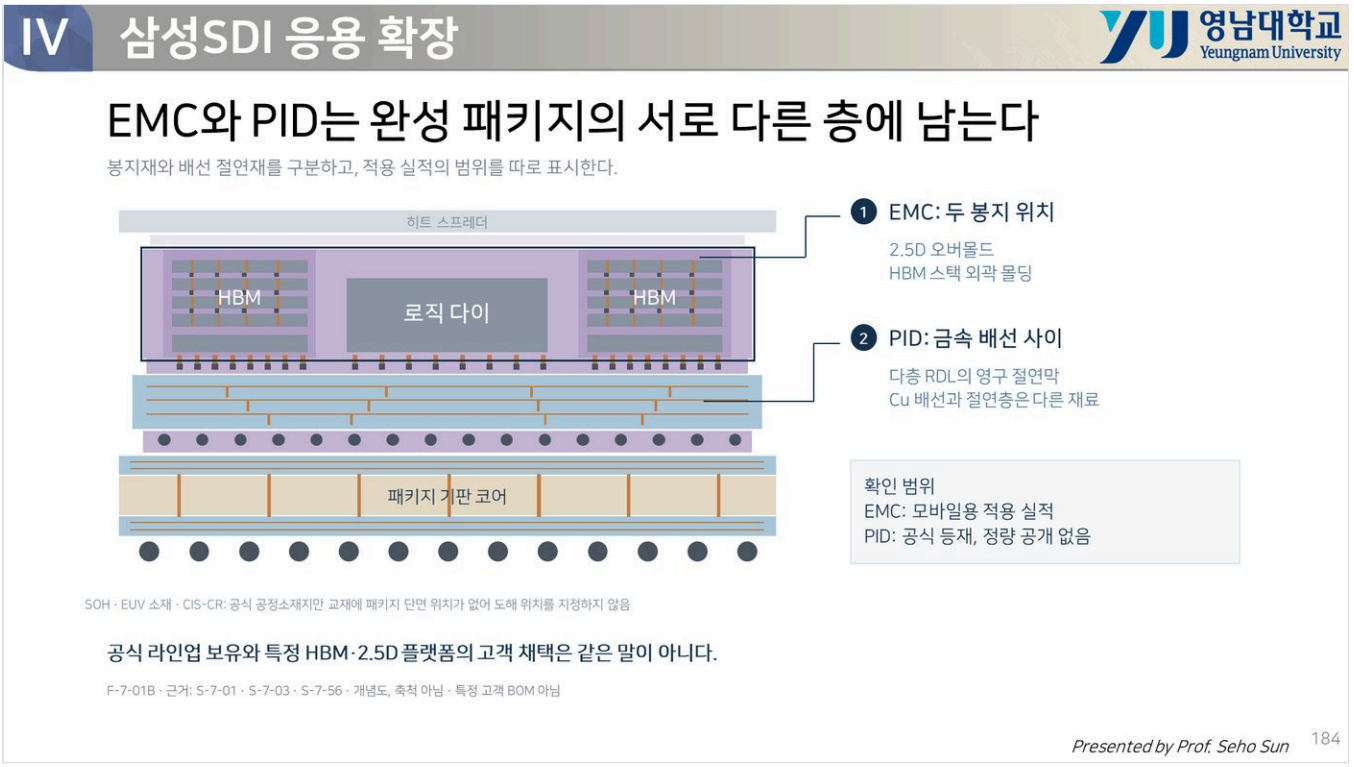
이 사례는 삼성SDI의 EMC가 상류 원료 단계까지 국내 협력사와 묶여 움직인다는 증거다. 같은 사례에서 고방열 EMC의 성능 개선이 수지·첨가제 단계에서 시작된다는 기술적 사실도 확인된다. 다만 기사에서 말하는 AP는 Advanced Packaging이 아니라 모바일 애플리케이션 프로세서를 가리킨다. 인용할 때 두 용어를 혼동하지 않아야 한다 [S-7-09].

보유 역량을 제품이 아니라 화학 공정 단위로 다시 묶으면 확장 경로가 보인다. 역량은 다음 네 가지다.

- **에폭시 컴파운딩과 필러 분산**: 1994년 EMC 생산라인 준공으로 시작한 30년 업력이 여기에 해당한다 [S-7-58]. 고열전도 필러를 균일하게 분산시켜 방열 성능을 올리는 기술이 고방열 EMC의 실체다. 이 역량은 HBM 몰딩과 2.5D 오버몰드, 패널레벨 대면적 몰드, 그리고 TIM 쪽으로 이어진다.
- **감광 소재 포뮬레이션**: PID와 CIS-CR, EUV 소재는 모두 빛에 반응하는 고분자 설계를 공유한다. 이 역량은 재배선층 절연막과 유리기판 빌드업 유전체, 나아가 광도파로 클래딩으로 이어진다 [S-7-01].
- **슬러리와 입자 분산**: CMP 슬러리에서 입자와 첨가제를 함께 최적화해 평탄화율과 결함을 동시에 잡는 기술이다. QD 잉크의 나노입자 분산 기술과 기반이 같다.
- **필름 코팅과 점접착**: FOCA와 OLED용 보호필름, TFE가 여기에 속한다. 회사가 2026년 2분기 전망에서 언급한 "공정용 점접착 필름 소재"가 바로 이 축이다 [S-7-03].

이 네 역량을 Advanced Packaging의 공정 지점 위에 얹으면 접점이 분명해진다. 웨이퍼를 얇게 갈아 캐리어에 임시로 붙이는 단계에는 점접착 역량이 닿는다. 재배선층을 형성하는 단계에는 감광 소재 역량이, 구리 표면을 접합 가능한 상태로 만드는 단계에는 슬러리 역량이 닿는다. 스택을 봉지하고 열을 빼는 단계에는 에폭시 컴파운딩 역량이 닿는다. 네 지점 모두 삼성SDI가 이미 다른 응용에서 다루어 본 화학이다. 그래서 신규 진입이 아니라 응용 확장이라는 설명은 수사가 아니라 기술적 사실이다.

도해 F-7-01A · 보유 소재는 패키지의 네 공정 지점에 닿는다 · 근거 S-7-01, S-7-03
봉지와 방열 · RDL 형성 · Cu 접합면 · 박형화가 네 역량의 접점이다.



도해 F-7-01B · EMC와 PID는 완성 패키지의 서로 다른 층에 남는다 · 근거 S-7-01, S-7-03, S-7-56
공식 라인업 보유와 특정 HBM·2.5D 플랫폼의 고객 채택은 같은 말이 아니다.

도해 F-7-01C · 접합면과 박형화는 완성 단면 밖의 공정으로 확대한다 · 근거 S-7-01, S-7-03
응용이 가까워도 접합 청정도·박리 잔사 등 새로운 요구 수준을 다시 맞춰야 한다.

다만 같은 화학이라도 요구 수준은 다르다. 디스플레이용 점접착 필름과 반도체용 임시접합 소재는 요구되는 청정도와 박리 잔사 기준이 다르다. 배선 CMP 슬러리와 본딩면 CMP 슬러리는 목표 함수 자체가 반대다.

그룹 밸류체인도 삼성SDI의 위치를 이루는 한 축이다. 삼성전자는 HBM4를 상용 출하하면서 소재 물량 자체가 늘고 있다. HBM 적층용 접착 소재는 상위 공급사 집중도가 높은 상태가 이어진다 [S-7-23]. 삼성전기는 FCBGA 고부가 비중을 높이면서 글라스 코어 기판 양산을 준비하고 있어 기판용 절연 소재 수요가 생긴다 [S-7-49]. 두 접점 모두 그룹 내 소재사가 우선 검증 대상이 되는 구조다.

다만 이 구조를 "삼성SDI는 그룹사라서 유리하다"로 읽으면 안 된다. 고객은 그룹 관계가 아니라 데이터로 소재를 선택한다. 국내 경쟁사들도 이미 같은 고객을 상대로 퀄을 진행하고 있다. 정확한 표현은 그룹 밸류체인이 접근성을 주지만 채택은 데이터가 결정한다는 것이다.

2026년 8월과 9월에 나온 삼성SDI 전자재료 관련 공식 자료 가운데 가장 최신은 9월 IR52 장영실상 수상 자료다(IR52 보도자료 09-18, 매일경제 09-17, 뉴스룸 09-19). 여기에 고방열 EMC의 국내 양산 승인 시점과 해외 수출 개시, 열저항 개선 수치가 담겼다 [S-7-56]. 반면 전자재료 부문의 별도 3분기 정량 가이던스, 신규 대규모 투자, 조직 개편 공표는 조사 범위에서 확인되지 않았다. 실적 관련 최신 1차 근거는 여전히 7월 말의 2분기 실적 자료와 컨퍼런스콜이다 [S-7-02][S-7-03]. 3분기 실적은 세미나 이후에 공표될 예정이다(2026년 9월 27일 현재 일자 미공지). 그때까지는 2분기 자료를 기준으로 삼고, 3분기 수치는 증권가 추정치라는 단서를 붙일 때만 인용한다 [S-7-78][S-7-79]. 3분기 실적 공표가 나오면 전자재료 부문 코멘트를 이 절의 발언 표와 함께 읽는다.

> **소재 관점에서 보면**: 삼성SDI의 현재 위치는 "아직 들어가지 않았다"가 아니라 "이미 들어와 있고, 이제 어디까지 넓힐 것인가"로 보아야 한다. 회사의 공식 문장 네 개가 고방열 EMC, 메탈 슬러리, 하이브리드 본딩용 슬러리, 재배선 소재를 이미 호명했기 때문이다. 이 관점은 전자재료 조직이 지난 네 분기에 실제로 해 온 일과 일치한다. 따라서 남은 과제는 신규 사업 제안이 아니라 이미 진행 중인 확장의 우선순위 정리다.

7.2 일본 과점 지도와 퀄 장벽

슬라이드 92쪽 · 과점 지점마다 패키지에서 맡는 위치가 다르다

슬라이드 93쪽 · 소재를 바꾸면 공정 평가와 재인증이 이어진다

그 밖의 관련 슬라이드: 99쪽 · 111쪽 · 118쪽

관련 도해: F-6-03A PID 평가는 패턴·계면·신뢰성의 세 단계를 잇는다 · F-6-03B 신뢰성 값에는 시험 조건과 재측정 항목을 붙인다 · F-8-02A 평가 자료는 다섯 시점에 걸쳐 완성된다 · F-8-02B 여섯 제출 항목에서 규격과 관행을 구분한다 · F-8-02C 결과를 얻기 전에 비교의 기준부터 합의한다 · F-8-03 표본 조합에서 옮겨 갈 것은 숫자가 아니라 형식이다

Advanced Packaging 소재의 핵심 카테고리 대부분은 일본 기업이 선점하고 있다. 그런데 과점을 말할 때 자주 인용되는 점유율 수치는 출처의 성격이 제각각이다. 회사가 스스로 공표한 것, 유료 시장조사기관이 추정한 것, 언론이 전재한 것이 섞여 있다. 이를 구분하지 않으면 인용한 수치의 근거가 흔들린다. 해당 카테고리 담당자라면 "그 95%는 어디 숫자냐"고 먼저 묻는다. 그래서 아래 과점 지도에는 출처 성격 열을 붙였다.

카테고리	과점 주체	인용 수치	출처 성격	출처
ABF 빌드업 필름	Ajinomoto Fine-Techno	약 95%	회사 자체 추정. Ajinomoto ASV Report 2023이 FY2022 기준 도표로 제시하며, 분모는 고성능 반도체 기판용 층간 절연필름이고 기판 시장 전체가 아니다. 2026년 언론도 같은 수치를 전재	*[C-7-10]* [S-7-21]
ABF 가격·물량	Ajinomoto	2026년 약 30% 인상, 중국 본토 공급 약 30% 축소	인상은 기판사 통지를 근거로 한 업계 보도, 중국 공급 축소는 익명 업계 소식통 전언으로 근거 수준이 다르다	*[C-7-13]* [S-7-22]
HBM MR-MUF 언더필	Namics	SK하이닉스향 독점 계약	언론 전재. 계약 만료 접근까지만 보도되었고 계약서·공식 만료일·갱신 여부는 미확인	[S-7-24]
HBM용 NCF	Resonac, Henkel, Namics	상위 3사 약 99%	단일 시장조사기관(QYResearch) 추정이며 원자료 검증은 유보. Henkel은 독일 기업이므로 일본 독점으로 부르면 부정확	[S-7-23]
PSPI·PID	HD MicroSystems, Toray, Fujifilm, Asahi Kasei	Toray 약 23%(2024년)	조사기관(Credence Research) 추정. 동일 연도·동일 시장 정의의 4사 합산 점유율은 확보하지 못함	[S-7-59]
구상 실리카 필러	Denka, Admatechs, Tatsumori	Denka가 반도체 봉지 용도 약 30%	회사 공식 IR(2024-11-08)의 응용 한정 수치. 세 회사 합산이나 전체 실리카 시장 점유율로 확대하면 안 된다. Admatechs는 제품 라인업으로만 확인	*[C-7-11]* [S-7-25]
TBDB 임시접합·박리제	Brewer Science, TOK, Shin-Etsu	개별 점유율 공개 없음	업체 제품 라인업 기준. Brewer Science는 미국 기업이며 접합 방식과 박리 방식별로 경쟁 범위가 나뉜다	공개 수치 없음
AP용 EMC	Sumitomo Bakelite, Resonac, Panasonic	AP용 EMC 3사 합산 약 40%. Sumitomo Bakelite 단독 점유율은 판본별로 약 18.2~20%(Market Report Analytics 2025~2026판)와 약 40%(Prof Research 2026년 1월판)로 갈린다	모두 조사기관 추정이며 HBM용 세부 시장이 아니다. 합산값과 단독값을 같은 자료에 함께 앞세우지 않는다	[S-7-20]

이 표를 인용할 때의 원칙은 세 가지다. 첫째, 집중도 수치마다 회사 자체 추정인지 조사기관 추정인지 언론 전재인지를 구분해 붙인다. ABF의 95%는 Ajinomoto가 지속가능성 보고서에서 스스로 제시한 FY2022 추정이므로 "언론 보도일 뿐"이라고 하면 오히려 틀린다 *[C-7-10]*. 둘째, 수치가 있는 경우에도 분모를 함께 적는다. ABF 95%의 분모는 고성능 반도체 기판용 층간 절연필름이고, Denka의 30%는 반도체 봉지 용도에 한정된 수치다 *[C-7-11]*.

셋째, 합산 점유율의 원자료가 확인되지 않은 항목은 합산값을 앞세우지 않는다. NCF의 99%와 EMC의 40%가 여기에 해당한다. 이런 항목은 공급사 명단과 집중 구조만 적는 편이 안전하다.

퀄 장벽을 설명할 때 자주 인용되는 수치 두 개는 원출처가 따로 있다. "세컨드 소스 퀄에 12~18개월"이라는 주장의 원출처는 조달 전략 가이드인 2026년 5월 8일자 SupplyICs 문서다 [S-7-26]. 이 문서는 자동차 Tier 2 부품의 세컨드 소스 임계 경로를 "Total (Critical Path) 14-18 months"로 제시한다. 절 제목에서는 12~24개월 구간을 제시하고, 조사 중앙값으로 자동차 14개월, 산업용 10개월, 소비자용 7개월을 함께 제시한다. 따라서 12개월은 하한이 아니라 구간의 한쪽 끝이고, 응용 분야에 따라 중앙값이 7개월까지 내려간다. 같은 문서는 "qualification time is dominated by activities with hard minimum durations, reliability testing cannot be meaningfully accelerated"라고 적어, 퀄 기간을 신뢰성 시험의 물리적 소요 시간이 결정한다고 설명한다.

이 수치에는 단서가 두 가지 붙는다. 원 맥락은 반도체 패키징 소재가 아니라 전자부품 대체 구매와 설계 변경이다. 또한 JEDEC 규정이나 파운드리의 공통 기준이 아니다 [S-7-26]. 따라서 이 구간을 그대로 패키징 소재의 인증 일정으로 환산할 수 없다. 정확한 표현은 특정 개월 수가 아니라 "인증에 장기간이 필요하며 고객·공정·변경 범위에 따라 달라진다"이다. 개월 수는 해당 고객의 평가 계획을 확보했을 때에만 의미가 있다.

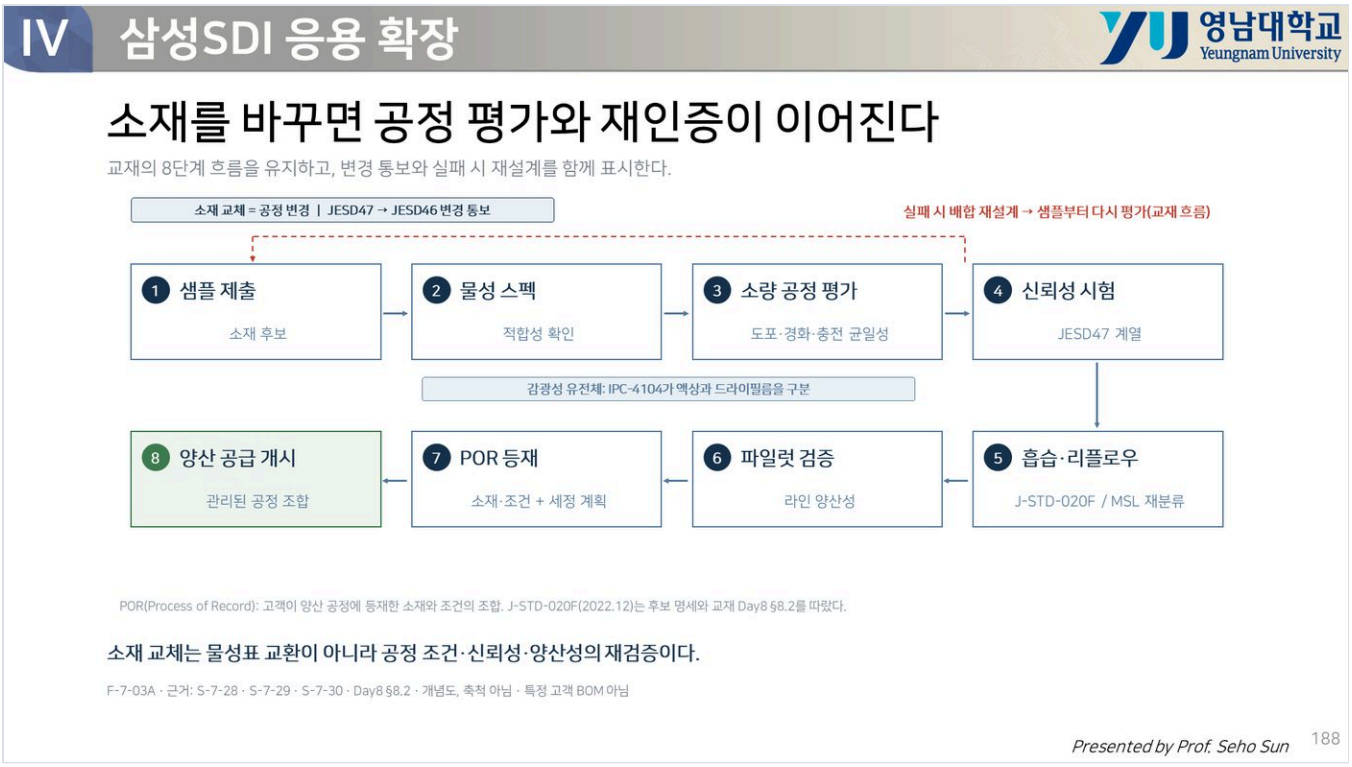
다음은 "6년 동안 1,400회 샘플을 제출했다"는 일화다. 대만 소재사 新應材(APTC)의 詹文雄 회장이 成功大學 재료 포럼에서 한 발언이며, 인용문은「有一支產品，我們6年送樣1400次」다. 원 보도는 天下雜誌 2026년 1월 20일 기사이고, 이 자료가 확인한 것은 2026년 3월 5일자 104 인력은행 블로그의 전재본이다 [S-7-27] *[C-7-14]*. 天下雜誌 본문은 구독 제한이 걸려 있어 원문 단락을 직접 대조하지 못했다. 따라서 이 인용문은 전재본 기준이다.

숫자의 의미도 정확히 읽어야 한다. 1,400은 서로 다른 배합의 개수나 실패 횟수가 아니라 시료 제출 횟수이며, 대상은 전공정 포토리소그래피 소재다. 그러므로 EMC나 언더필 인증에 보편적으로 걸리는 기간의 근거로 쓰면 안 된다.

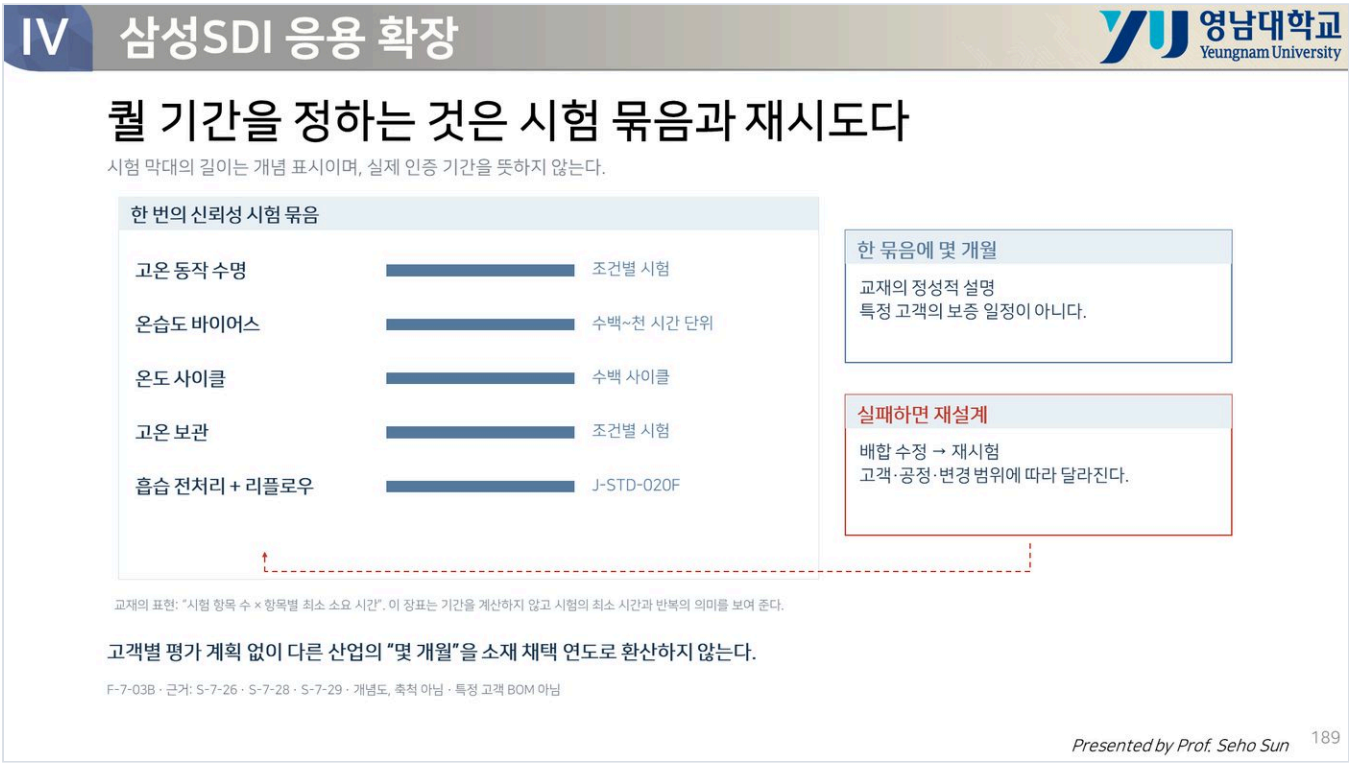
퀄 기간이 긴 이유는 표준 문서가 설명한다. JEDEC의 JESD47은 신규 제품이나 공정 변경을 포함한 제품군을 인증할 때 통과해야 하는 스트레스 시험의 기본 집합을 규정한다. 이 표준은 사용 조건보다 가속된 조건에서 소자와 패키지의 고장을 의도적으로 촉발하는 시험들로 구성된다 [S-7-28]. 소재를 바꾸는 것은 JESD47이 말하는 "process which is being changed"에 해당한다. 따라서 소재 교체는 곧 재인증을 뜻한다.

여기에 IPC와 JEDEC이 공동으로 제정한 J-STD-020이 겹친다. 이 표준은 비기밀 표면실장 소자의 흡습·리플로우 민감도를 분류하는 절차를 규정한다. 몰딩재와 언더필처럼 수분을 흡수하는 폴리머가 바뀌면 MSL 등급을 다시 매겨야 한다 [S-7-29]. 감광성 유전체 쪽에는 IPC-4104가 있다. 이 규격은 HDI와 마이크로비아 제조에 쓰이는 재료를 다루며, 감광성 유전체 드라이필름과 액상 재료의 인증·적합성 요구를 슬래시 시트로 명시한다 [S-7-30]. 신규 소재의 퀄 기간은 영업력의 문제가 아니라 표준이 요구하는 시험 항목 수와 각 항목의 최소 소요 시간을 곱한 결과다.

아래 흐름도에서 POR(Process of Record)은 고객이 양산 공정에 공식 등재한 소재와 조건의 조합을 가리킨다.

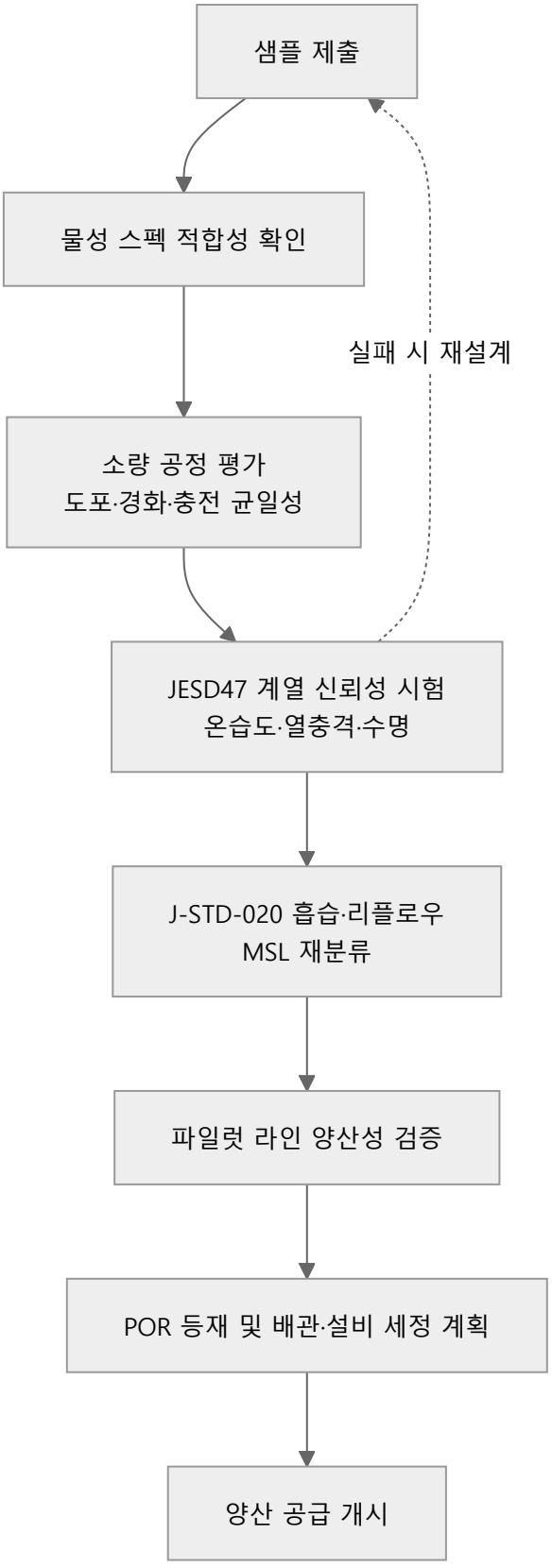


도해 F-7-03A · 소재를 바꾸면 공정 평가와 재인증이 이어진다 · 근거 S-7-28, S-7-29, S-7-30
소재 교체는 물성표 교환이 아니라 공정 조건·신뢰성·양산성의 재검증이다.



도해 F-7-03B · 큐 기간을 정하는 것은 시험 묶음과 재시도다 · 근거 S-7-26, S-7-28, S-7-29
고객별 평가 계획 없이 다른 산업의 "몇 개월"을 소재 채택 연도로 환산하지 않는다.

도해 F-7-03C · POR은 소재 이름이 아니라 소재와 공정 조건의 조합이다 · 근거 S-7-26, S-7-28, S-7-29, S-7-30
교체 비용은 소재 단가뿐 아니라 설비 세정·공정 재검증·고객 승인까지 포함한다.



공정 락인도 퀄 장벽의 일부다. 화학품은 공정 결합도가 높아서, 일단 양산에 도입되면 교체할 때 배관 전체 세정과 재검증이 필요하다. 이 비용과 리스크가 커서 기존 공급사가 고착된다 [S-7-26].

이원화 정책에는 유인과 비용이 함께 있다. 고객은 단일 공급 리스크를 없애기 위해 세컨드 소스를 원한다. 그러나 이원화 자체가 초기 인증 비용과 지속적인 공급사 관리 비용을 발생시키고 단가 프리미엄을 낳는다 [S-7-26]. 그래서 이원화는 평상시에 진행되지 않고, 공급 부족이나 가격 급등 같은 외부 충격이 있을 때 급격히 진행된다.

고객이 쉽게 움직이지 않는 이유는 이원화의 경제학에 있다. SupplyICs 문서에는 서로 다른 두 사례가 나오므로 섞지 말아야 한다. 절연 게이트 드라이버를 쓰는 철도 신호 장비 사례에서는 세컨드 소스 인증 비용이 18만5천 달러였다. 여기에 5년 상각 기준 연 3만7천 달러와 공급사 관리 연 1만2천 달러가 추가로 들었다. 이와 별개로 연 8만 개를 쓰는 유럽 산업용 32비트 MCU 사례에서는 물량을 60 대 40으로 나눈 결과 위험 조정 절감액이 연 약 8만6천 달러로 산출되었다 [S-7-26].

이원화 판단을 정하는 것은 숫자의 절대값보다 비용과 편익의 구조다. 이원화는 비용을 먼저 확정적으로 지출하고 편익은 확률적으로 회수하는 투자여서, 단일 공급 리스크가 체감될 때에만 결재가 난다. 가격이 30% 오르거나 물량 배분이 축소되는 사건이 그 체감을 만든다. 소재사에게 이 사실은 제안 시점을 정하는 기준이 된다. 공급 제약 신호가 없을 때 제안하면 비용 논의로 끝나고, 신호가 나타난 뒤에 제안하면 이미 평가가 진행 중인 경쟁사가 앞서 있다. 그러므로 데이터는 미리 축적하고 제안은 신호가 확인될 때 하는 순서가 합리적이다.

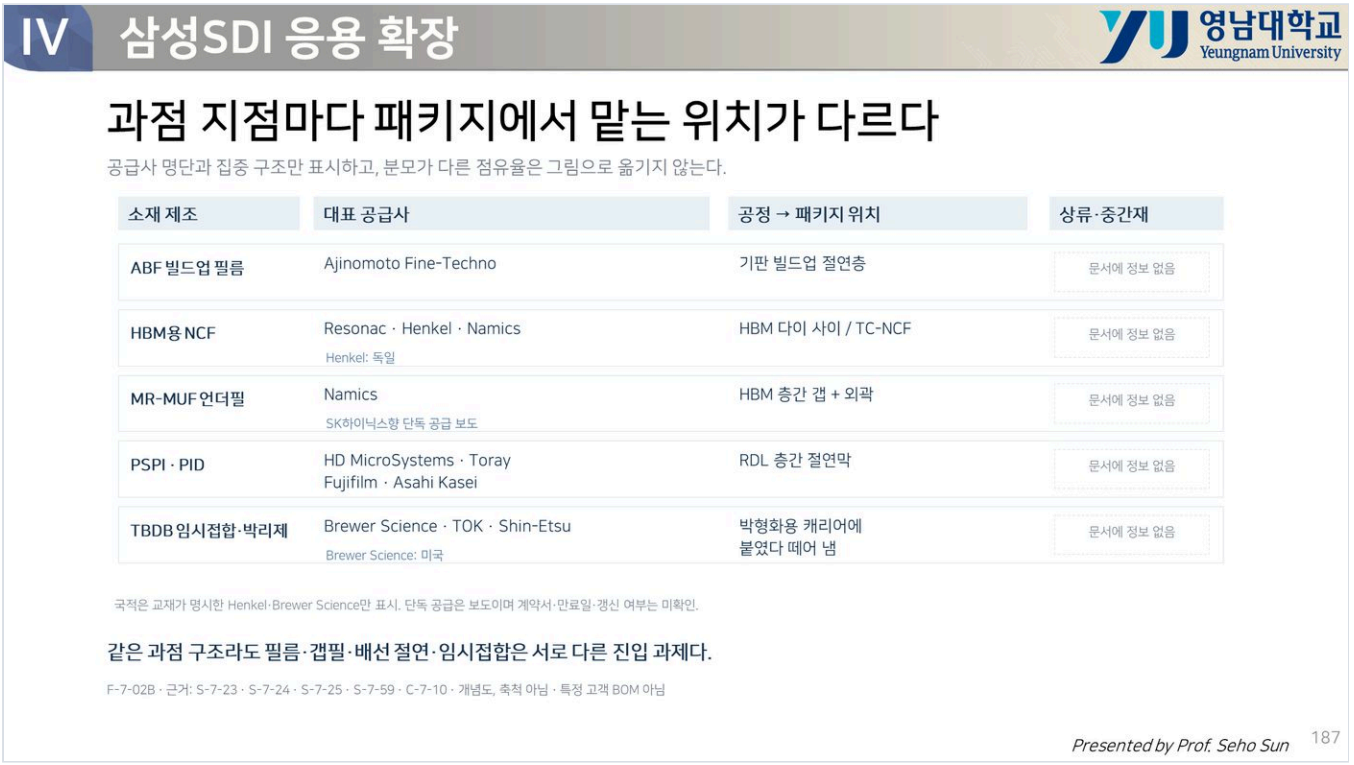
퀄 매트릭스를 구체적으로 보면 기간이 줄지 않는 이유가 드러난다. JESD47 계열 인증은 고온 동작 수명, 온습도 바이어스, 온도 사이클, 고온 보관 같은 항목으로 구성되며 항목마다 최소 시간이 정해져 있다. 온습도 바이어스 시험은 수백 시간에서 천 시간 단위로 돌아가고, 온도 사이클은 수백 사이클을 요구한다 [S-7-28]. 여기에 J-STD-020이 요구하는 흡습 전처리와 리플로우 반복이 더해지면 한 번의 시험 묶음에 몇 개월이 걸린다 [S-7-29].

시험 중 한 항목이라도 실패하면 배합을 고쳐 처음부터 다시 돌려야 한다. 퀄 기간이 응용과 고객에 따라 크게 벌어지는 것은 이 재시도 횟수가 다르기 때문이다. 이 구조를 이해하면 관심이 기간 자체에서 "삼성SDI 데이터의 어느 항목이 지금 비어 있는가"로 옮겨 간다. 준비 과제는 바로 그 항목을 특정하는 일이다.

상류 구조도 과점의 한 겹이다. 고방열 EMC의 성능은 수지 배합만으로 정해지지 않는다. 충전하는 필러의 입도 분포와 구형도, 표면 처리가 성능을 크게 좌우한다. 구상 실리카 필러의 대표 공급사는 일본 업체들이고, Denka는 반도체 봉지 용도에서 약 30% 점유율을 유지하는 전략을 공식 IR에서 제시했다. 저알파선 등급처럼 메모리용으로 요구되는 특수 등급은 선택지가 더 좁다 *[C-7-11]*[S-7-25].

이 구조에서 국내 EMC 업체는 완제품 단계에서 국산화를 이루어도 원가와 개발 속도의 일부가 여전히 상류에 묶인다. 삼화페인트가 삼성SDI에 MMB를 공급하기 시작한 것은 이 사슬의 중간 단계를 국내에서 처리하려는 시도로 읽을 수 있다 [S-7-09]. 이 지점은 리스크다. 현실적 대응은 분산과 계면 설계에서 차별화를 만드는 것이다.

도해 F-7-02A · EMC 공급 사슬의 앞단에는 필러와 반제품이 있다 · 근거 S-7-09, S-7-20, S-7-25, *C-7-11*
완제품 국산화 이후에도 차별화의 핵심은 필러 분산·계면 설계·수지 배합이다.



도해 F-7-02B · 과점 지점마다 패키지에서 맡는 위치가 다르다 · 근거 S-7-23, S-7-24, S-7-25, S-7-59, *C-7-10*
같은 과점 구조라도 필름·갭필·배선 절연·임시접합은 서로 다른 진입 과제다.

역사적 증거도 있다. 2019년 7월 일본 정부는 불화수소, 포토레지스트, 불화폴리이미드 세 품목의 대한국 수출 절차를 개별 허가로 바꾸었다. 미국 국제무역위원회 실무보고서는 당시 한국 반도체 산업이 이 세 화학 소재를 일본에 크게 의존했고 공급망이 극도로 집중되어 있었다고 정리했다 [S-7-34]. 이후 학술 연구가 그 조치의 실제 효과를 정량화했다. Makioka와 Zhang은 2024년 Journal of the Japanese and International

Economies에 게재한 논문에서 다음과 같이 보고했다. 수출 규제는 일본의 대한국 불화수소 수출을 크게 감소시켰지만 나머지 두 품목에서는 그렇지 않았고, 한국은 벨기에·미국·대만 등으로 조달을 재배치했으며 한국 내 생산이 증가했다 [S-7-33].

과점은 정책이나 가격 충격 앞에서 깨질 수 있다. 깨지는 속도는 그 시점에 준비된 대체 공급사가 있었는지에 달려 있다. 같은 논문의 품목별 결과가 이 점을 구체적으로 뒷받침한다.

세 품목 가운데 통계적으로 뚜렷한 타격을 받은 것은 불화수소뿐이었다. 2019년 3분기 기준으로 일본에서 한국으로 가는 불화수소 수출액이 96.8% 감소했다. 그런데 한국의 총수입액은 거의 변하지 않았고, 미국과 대만에서 들어온 수입이 유의하게 늘었다. 공급이 끊긴 것이 아니라 공급처가 바뀐 것이다 [S-7-33].

포토레지스트는 전환의 형태가 달랐다. 일본에서 들어온 수입은 크게 줄지 않았는데, 벨기에에서 들어온 수입액이 2019년 3분기에 947.5% 늘었다. 그 증가는 수량이 아니라 킬로그램당 3,500~4,400달러인 EUV 등급의 단가에서 왔다 [S-7-33].

이 대비에서 소재사가 얻는 실무 함의는 두 가지다. 전환 속도는 충격의 크기가 아니라 규제 이전의 의존도와 대체 공급원의 존재에 좌우된다. 2018년 한국 수입 기준으로 포토레지스트는 일본 의존이 87.99%였고 불화폴리이미드는 21.00%로 분산되어 있었다. 그런데 실제로 이동이 일어난 것은 대체 공급사가 이미 있던 불화수소였다 [S-7-33]. 또한 전환은 품목 단위가 아니라 등급 단위로 일어난다. 포토레지스트 전체가 아니라 EUV 등급만 옮겨 간 사실이 그 증거다.

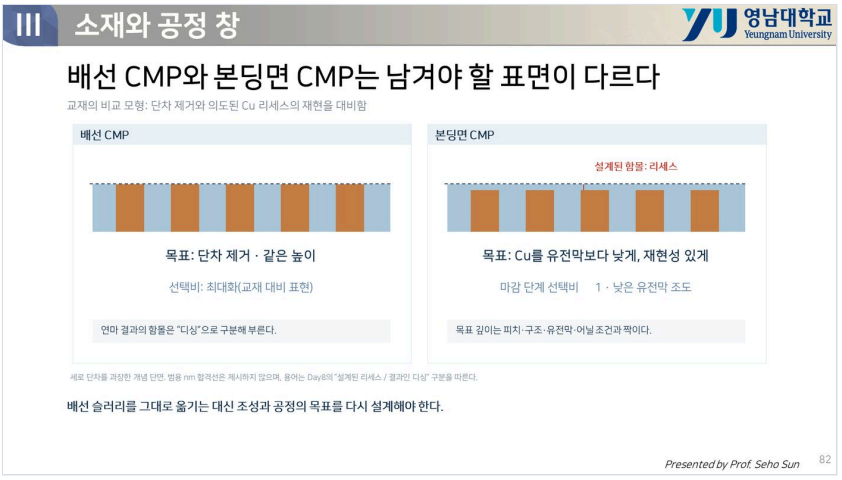
따라서 진입 표적을 고를 때는 카테고리가 아니라 등급을 기준으로 삼아야 한다. 다만 이 연구는 무역 통계 기반이고 기업 단위 조달 데이터가 아니다. 그러므로 개별 고객의 전환 여부를 이 수치로 추정하지 않는다 [S-7-33].

이원화 정책은 소재사에게 기회와 부담을 함께 준다. 기회는 고객이 단일 공급 리스크를 줄이려 한다는 데 있고, 이 유인은 공급이 타이트해질수록 커진다. 부담은 이원화가 소재사에게 반드시 유리하지만은 않다는 데 있다. 두 번째 공급사로 들어가면 물량 배분이 작고 단가 협상력이 약하다. 첫 번째 공급사가 가격을 낮추면 그 압력은 두 번째 공급사에게 먼저 온다.

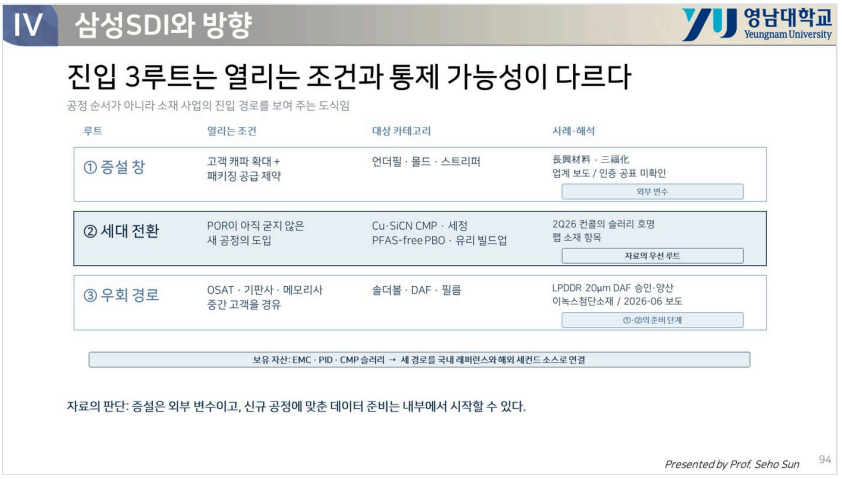
고객이 이원화를 유지하는 이유는 리스크 관리다. 그래서 두 번째 공급사가 품질 문제를 한 번 내면 이원화 자체가 철회될 수 있다. 세컨드 소스 진입 전략은 초기 물량이 작다는 것을 전제로 설계해야 한다. 진입 이후 수년 동안 결함 없이 공급을 유지하는 것이 실제 평가 기준이 된다. 이 조건을 함께 보아야 기회만 나열한 판단과 구별된다.

> **소재 관점에서 보면**: 과점 수치는 분모와 출처 성격이 함께 있어야 근거가 된다. 분모 없는 95%보다 "Ajinomoto가 FY2022 기준으로 고성능 반도체 기판용 층간 절연필름 시장에서 스스로 제시한 약 95%"가 정확한 표현이다 *[C-7-10]*. 쿼 장벽을 표준 문서로 이해하면 논점이 진입 시기의 지연 여부에서 준비 항목의 특정으로 옮겨 간다. 다만 그 구간을 착수 시점에 더해 채택 연도를 산출할 수는 없다. 고객의 평가 단계와 POR 결정 일정이 공개 확인되지 않기 때문이다.

7.3 이원화 신호와 진입 3루트



슬라이드 82쪽 · 배선 CMP와 본딩면 CMP는 남겨야 할 표면이 다르다



슬라이드 94쪽 · 진입 3루트는 열리는 조건과 통제 가능성이 다르다

관련 도해: F-4-12A HBM은 서로 다른 웨이퍼 경로가 만나는 제품이다 · F-4-12B 소재 승인 경로는 세 구성으로 나뉜다 · F-4-12C base die 제조 경로가 회사별로 다르다

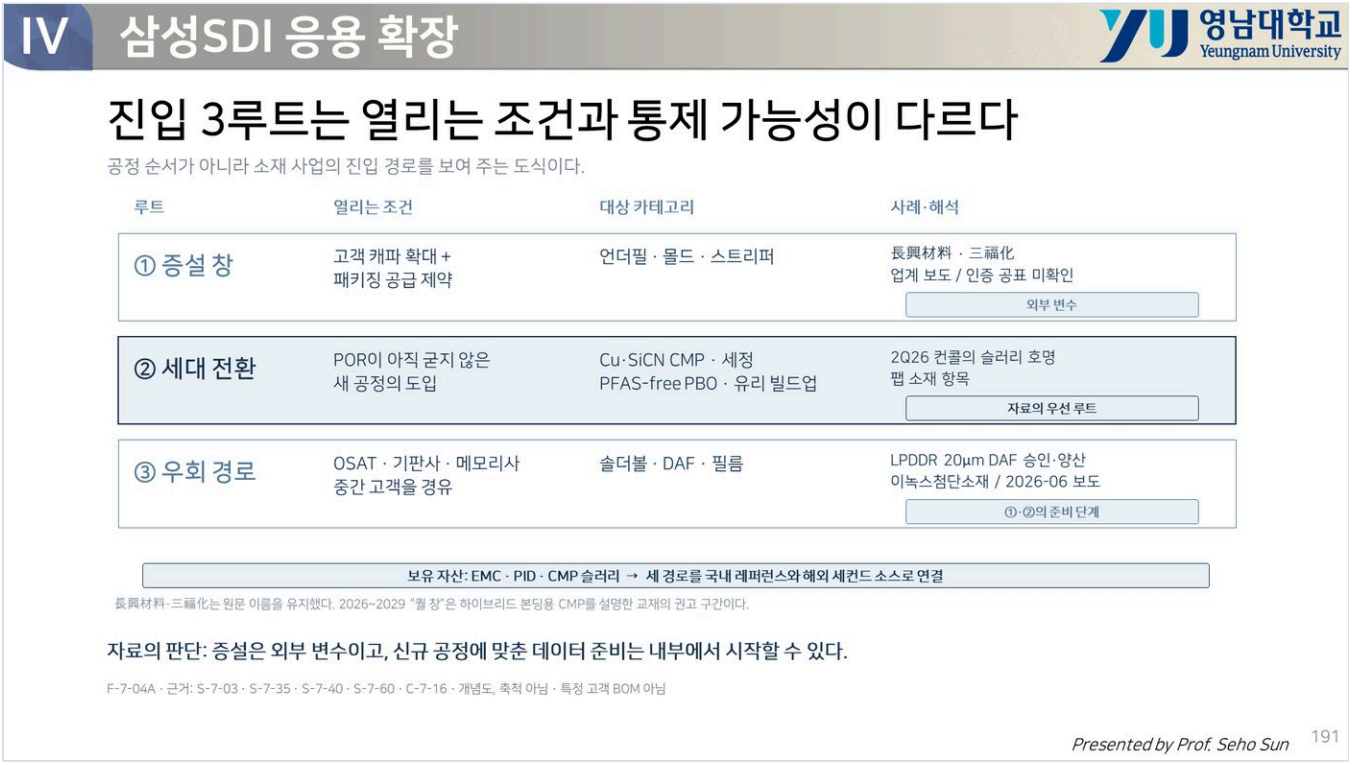
2026년에 관찰되는 이원화 신호는 네 가지다.

- **가격**: Ajinomoto가 2026년에 ABF 가격을 약 30% 인상한다고 기판사들에 통지했다고 보도되었다. AI 서버용 기판의 수급 불균형은 2027년 말까지 이어질 것으로 전망된다 [S-7-22]*[C-7-13]*.
- **물량 배분**: 같은 회사가 2026년 8월 중국 본토 고객에 대한 ABF 공급을 약 30% 줄이겠다고 통보했다는 보도가 나왔다. 다만 이 항목은 익명 업계 소식통 전언이어서 확인된 가격 인상과 근거 수준이 다르다 *[C-7-13]*[S-7-21].
- **패키징 캐파 제약**: TrendForce는 2026년 9월 18일 분석에서 칩 크기와 HBM 모듈 수가 늘면서 실리콘 인터포저 제조가 물리적 한계에 가까워지고 있다고 지적했다. 같은 분석은 CoWoS-L이 2028년까지 AI 칩 패키징의 주류 기술 지위를 유지할 것으로 전망했다 [S-7-60]. 공급 제약이 지속되는 국면에서는 공급사가 극소수인 병목 품목에 세컨드 소스 수요가 구조적으로 생긴다. 다만 이 자료의 조사 범위에서는 CoWoS 캐파가 특정 연도에 정확히 몇 배로 늘어나는지 확정하지 못했다. 확인되는 것은 배수가 아니라 공급 제약이라는 상태다.

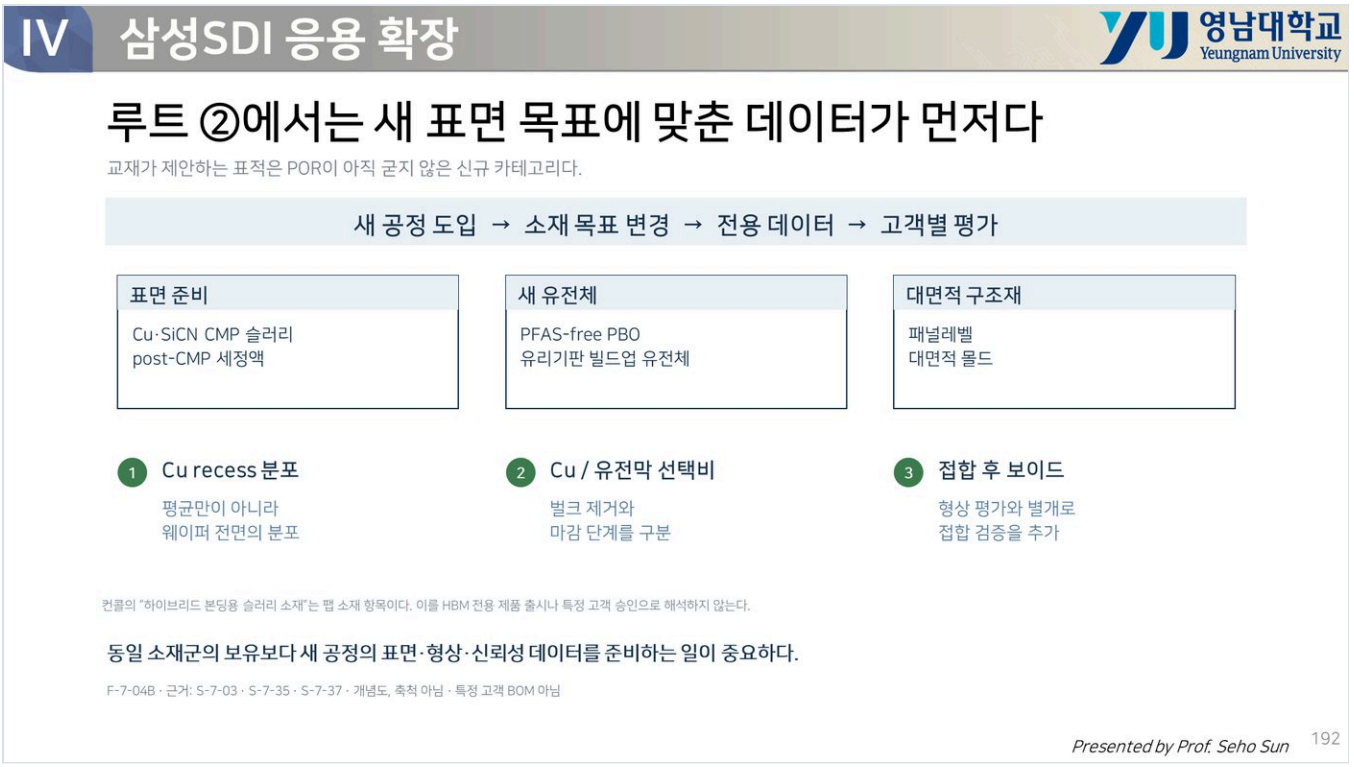
- **계약 상태**: SK하이닉스향 MR-MUF 언더필이 Namics 단독 공급이라는 보도가 있다. 계약 잔여기간 약 1년이라는 전언이 2026년 1월 기준으로 나왔으나, 이는 익명 단일 계열 출처다. 같은 보도는 SK하이닉스가 계약 만료 시점에 맞춰 hybrid bonding 제품을 내놓는 것을 이상적으로 보지만 지연 가능성이 더 크다고 전했다 [S-7-24]. 계약서와 공식 만료일, 갱신 여부는 확인되지 않았으므로 이 보도는 그 한계 안에서만 근거가 된다.

대만 쪽 소재 현지화는 근거 강도를 낮춰 읽어야 한다. 長興材料(Eternal Materials)가 MUF와 LMC로 CoWoS 공급망에 진입하고 2026년 Apple 프로세서용 물량을 확보했다는 것은 업계 보도 단계다. 날짜와 제품과 고객이 연결된 인증 공표는 이 자료의 조사 범위에서 확인되지 않았다 *[C-7-16]*. 三福化(San Fu Chemical)는 TSMC의 CoWoS와 InFO용 스트리퍼 주요 공급사라는 것까지 확인된다. 그러나 2023년 진입이라는 시점과 CoWoS향 매출 성장률, 신규 팹 물량 확정은 교차 확인되지 않았다. 회사 연차보고서도 증설과 반도체 특수화학품 계획을 설명할 뿐 2026년 신규 인증 완료를 말하지 않는다 *[C-7-16]*.

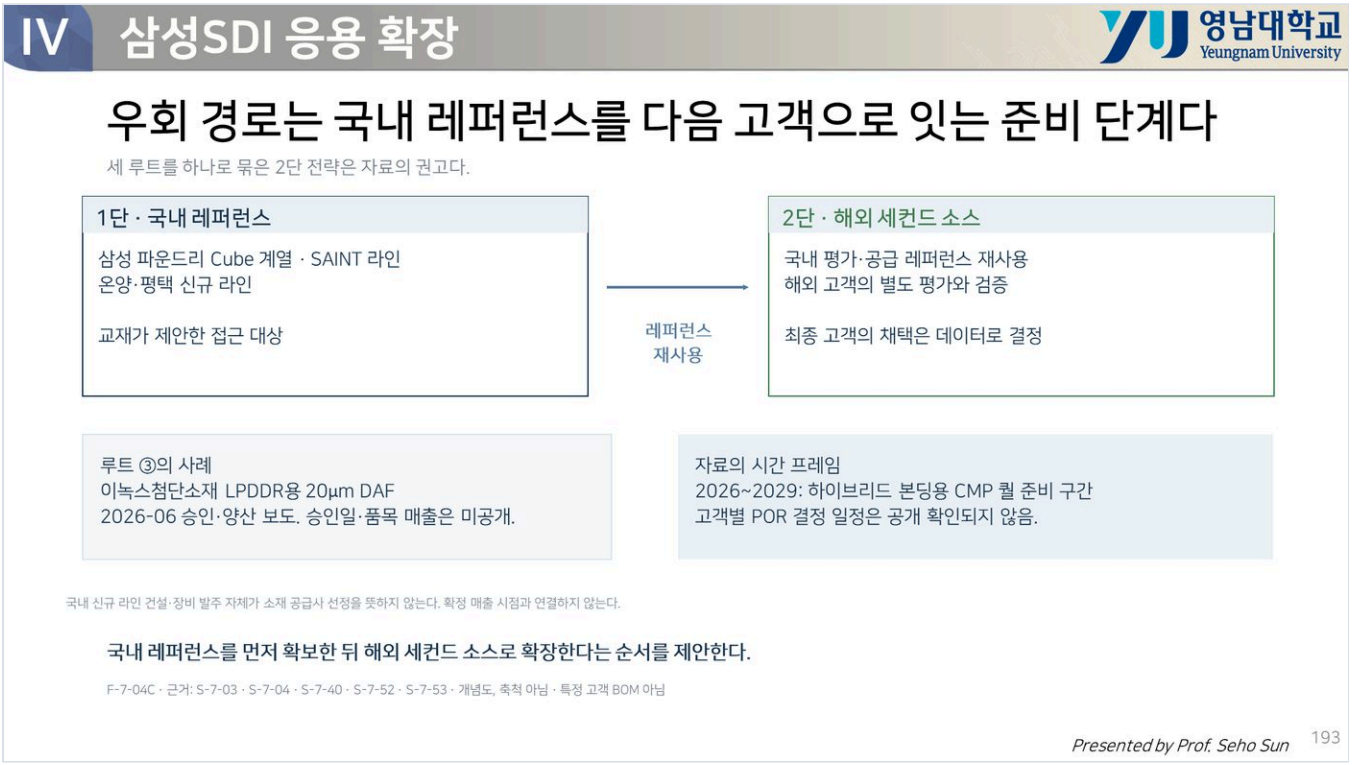
따라서 두 사례는 모두 업계 보도 단계의 정보다. 진입 루트 세 개는 다음 표와 같다.



도해 F-7-04A · 진입 3루트는 열리는 조건과 통제 가능성이 다르다 · 근거 S-7-03, S-7-35, S-7-40, S-7-60, *C-7-16*
자료의 판단: 증설은 외부 변수이고, 신규 공정에 맞춘 데이터 준비는 내부에서 시작할 수 있다.



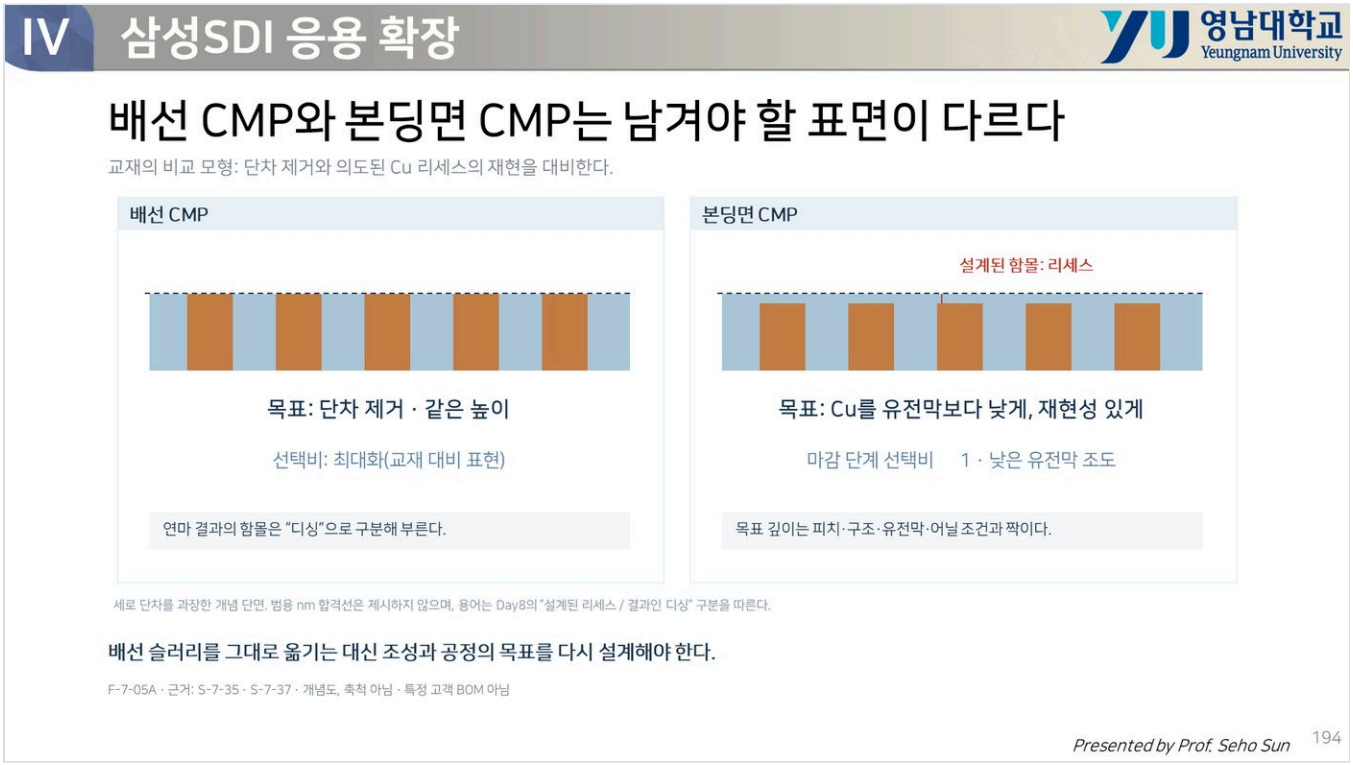
도해 F-7-04B · 루트 ②에서는 새 표면 목표에 맞춘 데이터가 먼저다 · 근거 S-7-03, S-7-35, S-7-37
동일 소재군의 보유보다 새 공정의 표면·형상·신뢰성 데이터를 준비하는 일이 중요하다.



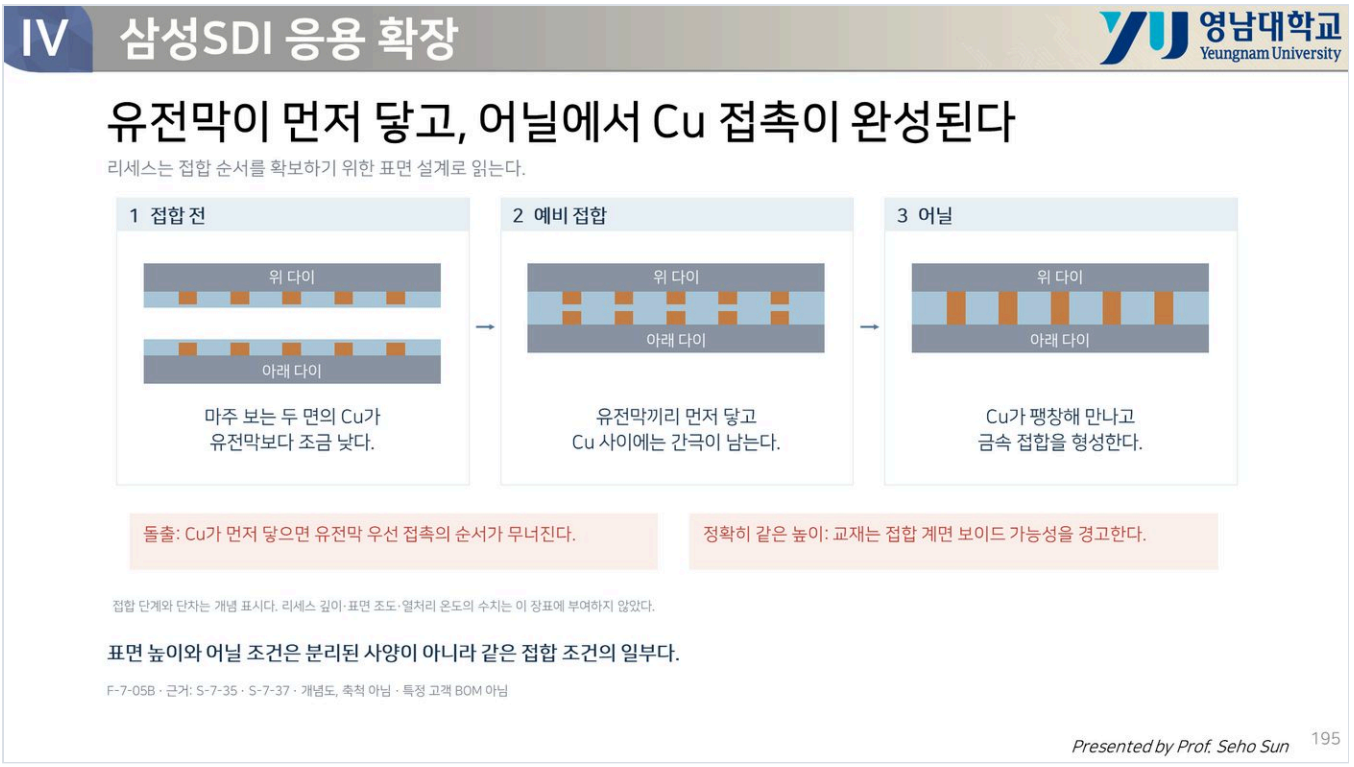
도해 F-7-04C · 우회 경로는 국내 레퍼런스를 다음 고객으로 잇는 준비 단계다 · 근거 S-7-03, S-7-04, S-7-40, S-7-52, S-7-53
국내 레퍼런스를 먼저 확보한 뒤 해외 세컨드 소스로 확장한다는 순서를 제안한다.

루트	열리는 조건	대상 카테고리	실증 사례	출처
① 증설 창	고객 캐파 확대와 패키징 공급 제약이 겹칠 때	언더필, 몰드, 스트리퍼처럼 공급사가 극소수인 병목 품목	長興材料의 CoWoS 진입과 三福化의 스트리퍼 공급은 모두 업계 보도 단계이며 인증 공표는 미확인	*[C-7-16]* [S-7-60]
② 세대 전환 신규 카테고리	POR이 아직 굳지 않은 새 공정이 도입될 때	hybrid bonding용 Cu·SiCN CMP 슬러리와 세정액, PFAS-free PBO, 패널레벨 대면적 몰드, 유리기판 빌드업 유전체	삼성SDI 2026년 2분기 컨콜이 "하이브리드 본딩용 슬러리 소재"를 직접 호명	[S-7-03] [S-7-35]
③ 우회 경로	최종 고객 직납 대신 중간 고객을 경유할 때	솔더볼, DAF, 필름 계열	이녹스첨단소재가 글로벌 반도체 제조사로부터 LPDDR용 20㎛ DAF 승인을 받고 양산 개시(2026-06)	[S-7-40]

루트 ②의 비중이 가장 크다. POR이 확정되지 않은 영역에서는 현직 공급사의 고착 효과가 아직 작동하지 않기 때문이다. hybrid bonding용 Cu CMP가 그 전형이며, 요구 물성의 방향 자체가 기존 배선 CMP와 반대다. 배선 CMP는 단차를 없애는 것이 목표다. 본딩면 CMP는 Cu를 유전막보다 의도적으로 낮게 남기고, Cu와 유전막의 선택비를 마감 단계에서 거의 1에 맞추며, 유전막 조도를 낮게 유지해야 한다.



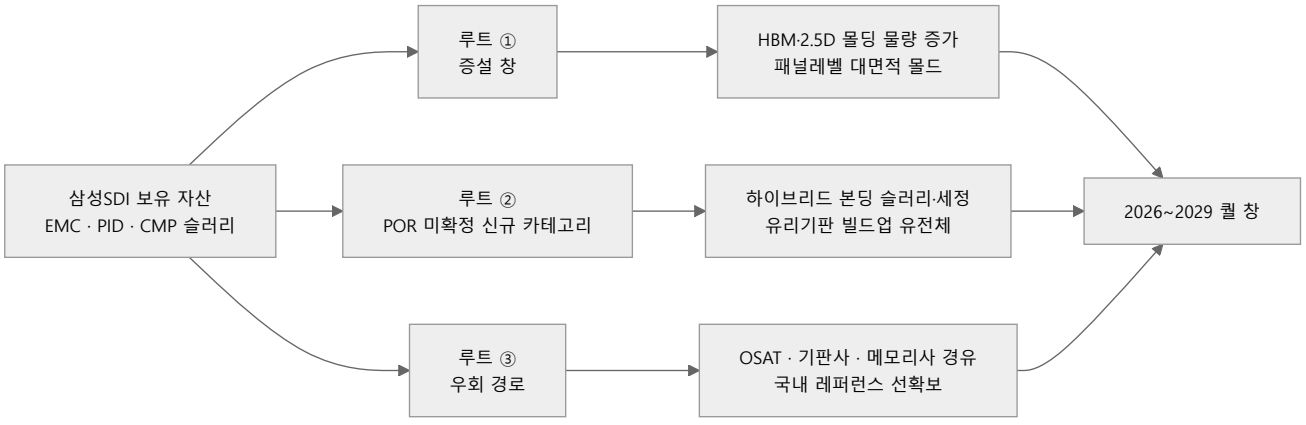
도해 F-7-05A · 배선 CMP와 본딩면 CMP는 남겨야 할 표면이 다르다 · 근거 S-7-35, S-7-37
배선 슬러리를 그대로 옮기는 대신 조성과 공정의 목표를 다시 설계해야 한다.



도해 F-7-05B · 유전막이 먼저 닿고, 어닐에서 Cu 접촉이 완성된다 · 근거 S-7-35, S-7-37
표면 높이와 어닐 조건은 분리된 사양이 아니라 같은 접합 조건의 일부다.

자주 인용되는 recess 1~5nm와 RMS 0.1nm대는 특정 어닐 조건을 동반한 사례값이다. 그러므로 목표치는 피치와 패드 구조와 유전막과 어닐 조건별로 다시 정해야 한다. IEEE ECTC 계열 연구는 W2W hybrid bonding에서 웨이퍼 전면에 걸친 Cu CMP dishing 균일 제어가 관건이라고 보고했다. 같은 연구는 슬러리 조성 선택이 그 dishing을 정한다고 보았다 [S-7-37].

2026년 Advanced Science에 게재된 연구는 플라즈마로 개질한 Cu와 폴리머 계면의 CMP를 다룬다. 이 연구는 본딩 수율이 비아 내 Cu recess, 유전막의 erosion과 조도, 고밀도와 저밀도 비아 사이의 표면 형상 차이에 좌우된다고 정리했다 [S-7-35]. 두 연구는 배선 슬러리를 그대로 가져다 쓸 수 없는 이유의 학술 근거다.



루트 ③에서는 최종 고객에 직납하는 길 대신 OSAT와 기판사, 메모리사를 거쳐 들어가는 길이 실질적인 관문이다. 이녹스첨단소재가 그 예다. 2026년 6월 보도에서 이 회사가 글로벌 반도체 제조사에서 LPDDR용 20마이크로미터 두께 DAF 승인을 받고 양산을 시작한 것이 확인되었다. 같은 회사의 반도체 매출 비중은

2025년 1분기 6.6%에서 2026년 1분기 9.9%까지 다섯 분기 연속 올라갔다 [S-7-40]. 다만 원 보도는 승인일과 해당 품목의 매출 기여액을 제시하지 않는다. 그러므로 이 DAF의 기여와 승인 후 성과가 나타나기까지의 기간은 확인되지 않는다.

이 경로는 최종 고객의 전면 퀄보다 진입 장벽이 낮다. 한번 실적이 생기면 그 실적이 다음 고객에 대한 레퍼런스가 된다. 단점은 물량 규모가 작고 단가 협상력이 약하다는 것이다. 그래서 루트 ③은 목적지가 아니라 루트 ①과 ②로 가기 위한 준비 단계로 설계해야 한다.

장비 쪽 이원화 관행도 소재 이원화의 선행 지표가 된다. SK하이닉스는 HBM4용 TC 본더를 한미반도체와 한화세미텍에 비슷한 규모로 나누어 발주했다. 이는 공급망 안정화를 위해 두 공급사를 동시에 유지하는 정책의 결과로 보도되었다 [S-7-47]. 장비를 이원화하는 고객은 소재도 이원화할 유인이 크다. 세메스가 HBM용 D2W 하이브리드 본더를 고객과 계약하고 신뢰성 검증 단계에 들어간 것은 hybrid bonding 라인이 실물로서는 시점이 가까워졌다는 신호다 [S-7-55]. 소재사는 장비 발주 뉴스를 자기 퀄 일정의 선행 지표로 읽어야 하며, 장비가 들어오고 나서 슬러리를 준비하면 이미 늦다.

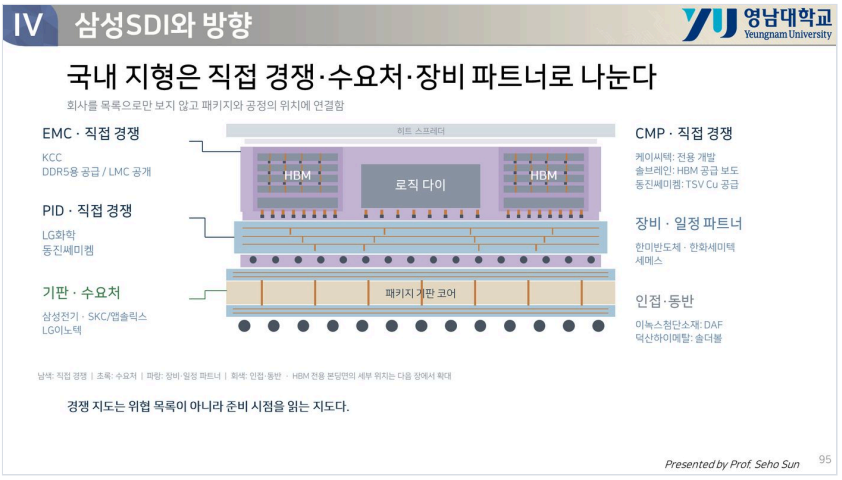
고객이 새 공정을 처음 세우는 POR 미확정 단계에서는 소재 후보를 복수로 평가한다. 이 단계에서는 기존 거래 실적보다 데이터 품질이 더 크게 작용한다. 반대로 한번 POR이 등재되면 교체 비용이 배관 세정과 재검증까지 포함해 커지므로 사실상 진입이 막힌다 [S-7-26]. 따라서 진입 확률은 시간의 함수이며, 같은 카테고리라도 1년 차이로 확률이 크게 달라진다. hybrid bonding용 CMP 슬러리에서 2026년부터 2029년 사이를 퀄 창이라고 부르는 것은 삼성전자의 검증 라인과 양산 라인이 이 구간에 램프업하고, 그 뒤에는 POR이 굳기 때문이다.

세 루트를 하나의 전략으로 묶으면 2단 구조가 된다. 1단은 국내 레퍼런스 확보다. 삼성 파운드리의 Cube 계열과 SAINT 라인, 그리고 온양과 평택의 신규 라인이 대상이다. 신규 라인은 POR이 아직 굳지 않았으므로 진입 확률이 상대적으로 높다 [S-7-52][S-7-53]. 2단은 그 레퍼런스를 들고 해외 고객의 세컨드 소스로 가는 것이다. 회사가 2026년 1분기에 밝힌 "글로벌 반도체사에 패키징 소재 신규 진입 등 해외 고객 다변화"가 바로 이 2단에 해당한다 [S-7-04].

이 순서를 뒤집으면 비용이 커진다. 해외 고객의 전면 퀄은 기간이 길고 실패 시 회수할 자산이 적다. 반면 국내 레퍼런스는 같은 데이터를 재사용할 수 있다. 대만 로컬 소재사들이 로컬 퀄을 먼저 통과한 뒤 증설 창으로 확장한 경로와 구조가 같다.

> **소재 관점에서 보면**: 진입 전략의 목표는 "일본 회사를 이기자"가 아니라 "진입 기회가 생기는 시점에 준비된 상태로 있자"다. 기회는 세 가지 방식으로 생기는데, 그중 삼성SDI가 통제할 수 있는 것은 루트 ②뿐이다. 증설과 계약 만기는 외부 변수다. 반면 POR이 굳기 전에 데이터를 쌓아 두는 것은 내부 의사결정으로 가능하다. 그래서 자원 배분의 우선순위는 "지금 매출이 나는 축"과 "지금 데이터를 쌓아야 2028년에 매출이 나는 축"을 나누어 정해야 한다.

7.4 국내 경쟁사·동반자 2026년 동향



슬라이드 95쪽 · 국내 지형은 직접 경쟁·수요처·장비 파트너로 나눈다

그 밖의 관련 슬라이드: 67쪽

관련 도해: F-5-08A NCF는 다섯 기능을 한 필름에 넣은 소재다 · F-5-08B NCF 설계 지침과 1세대 실측값을 분리한다

국내 지형은 2026년에 눈에 띄게 움직였다. 경쟁사와 동반자를 한 표로 놓고 보면 삼성SDI의 상대 위치가 분명해진다.

회사	2026년 동향	삼성SDI와의 관계	출처
덕산하이메탈	2026년 1분기 연결 영업손실 약 7억원·별도 영업이익 23억원, 2026년 2분기 연결 기준 매출 907억원(+58.1% YoY)·영업이익 101억원으로 흑자 전환(잠정 공시 보도, 2026-08-06). 상반기 누적 매출 1,594억원·영업이익 94억원. 2026년 9월 9일 KPCA Show에 솔더볼·MSB·Cu-Cored 솔더볼·페이스트·플럭스를 출품	직접 경쟁 아님. 솔더 계열의 수명 논거로 활용. 출품은 신규 고객 인증과 별개	[S-7-38] *[C-7-20]*
덕산하이메탈 (정정 항목)	대표가 2025년 11월 인터뷰에서 "HBM에는 우리 솔더볼이 쓰이지 않는다. HBM은 12단·16단 적층으로 연결부가 극도로 미세하다"고 밝힘	HBM 미세피치화가 솔더볼 적용을 제한한다는 기술 로드맵과 정합	[S-7-39]
솔브레인	삼성전자·SK하이닉스에 HBM 전용 CMP 슬러리를 공급하는 것으로 보도됨	CMP 슬러리 직접 경쟁	[S-7-46]
케이씨텍	CMP 장비와 슬러리를 함께 보유. hybrid bonding 전용 Cu 슬러리를 개발하며 Cu 높이 균일화를 최적화 중. 2026년 세미콘코리아에서 CMP 장비 Ventus와 유리 코어 연마 장비를 공개	hybrid bonding 슬러리 선행 경쟁자	[S-7-45]
동진쎄미켐	국내 유일 EUV 포토레지스트 양산, TSV Cu 슬러리 공급, ABF 대체용 DJBF 개발, PID 개발 착수. 2026년을 글로벌 성장 가시화 원년으로 제시	CMP 슬러리와 PID 양축에서 경쟁	[S-7-50]
LG화학	액상 PID 개발을 끝내고 필름 PID까지 확보. 글로벌 최상위 반도체 회사와 협업 중이라고 밝힘. 2026년 9월 2~4일 SEMICON Taiwan 2026에 Build-up Film·PID·DAF·Bonding/Debonding·Stripper·TIM 등 패키징 소재군을 출품. 고객명과 인증 통과는 미공개	PID 직접 경쟁 후보	[S-7-43] [S-7-44] *[C-7-18]*
KCC	DDR5용 EMC를 국산화하여 2025년 10월부터 양산 공급. 2026년 9월 8일 국무총리 표창 보도로 고객 검증·양산 실적을 공식 공개. 2026년 6월 PCIM 2026에서 고내열 EMC와 액상 봉지재 LMC를 신규 공개하고 적용처를 AI 데이터센터로 확장 중. 공표는 최신이나 공급 개시는 이전 연도	EMC·LMC 직접 경쟁	[S-7-42] *[C-7-17]*
이녹스첨단소재	글로벌 반도체 제조사로부터 LPDDR용 20㎛ DAF 승인을 받고 양산 개시. 반도체 매출 비중이 5개 분기 연속 상승하여 2026년 1분기 9.9% 도달. 빌드업 필름 개발 진행	필름 계열 인접 경쟁	[S-7-40]
삼성전기	2026년 8월 12일 인증 지연 보도와 8월 19일 회사 반박이 병존하며, 회사 설명 기준으로 유리 코어 기판 2027년 하반기·완성 기판 2028년. 업계 전언으로는 유리기판 양산 목표가 "2028년 본격 가동"으로 조정되었다는 보도(2026-09-07)가 있으며 회사 공표는 아니다(2026년 9월 27일 추가 확인). 2026년 9월 2일 합작사 출자 3,191억원·지분 66.2% 보도, 9월 10일 뉴스룸에서 2.5D·2.1D·글라스 기판 전시 공개. 메탈라이제이션 공정부터 양산라인을 구축하고 비아홀 가공은 외주	기판·유리기판용 절연 소재 협업 여지. 전시와 양산 고객 승인은 구분	[S-7-49] *[C-7-19]* *[C-7-26]* [S-7-66]

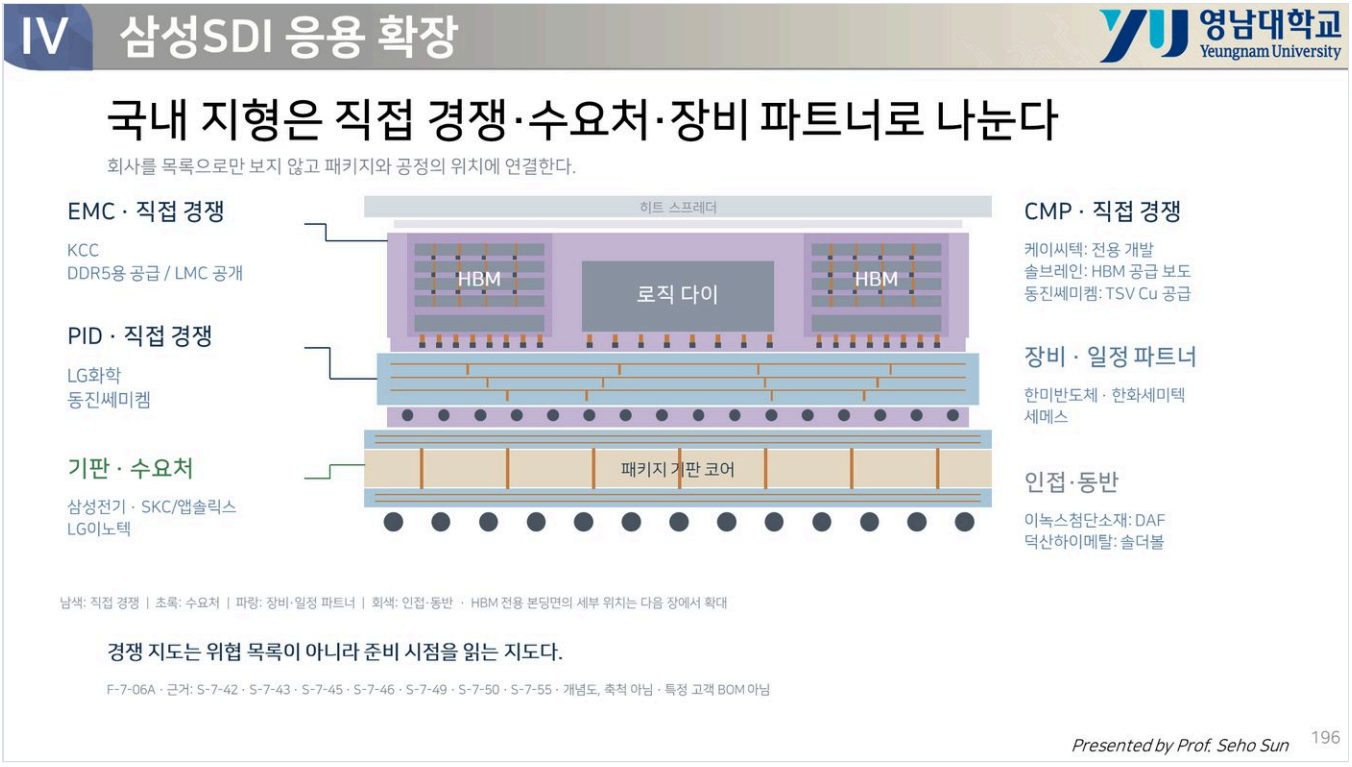
회사	2026년 동향	삼성SDI와의 관계	출처
SKC·앱솔릭스	자금 투입은 네 건으로 구분된다. SKC가 2026년 5월 유상증자 1조1,671억원 가운데 5,896억원을 배정(주체는 SKC), 앱솔릭스가 2026년 8월 21일 이사회에서 4,011억원 주주배정 증자 결정(9월 2일 보도 전재), SKC가 2026년 9월 4일 약 2,810억원 투입 결정, SKC가 2026년 9월 22일 약 921억원 추가 청약(누적 약 3,731억원, 지분 70.05%에서 82.37%로 확대, 2026년 9월 27일 추가 확인). 임베딩 제품 신뢰성 평가와 논임베딩 공급사 선정이 남은 과제이며, 양산 또는 상용화 목표 연도는 원출처 근거가 없어 쓰지 않는다. 비아홀 가공과 메탈라이제이션은 협력사에 의존	기판 축, 빌드업 유전체 수요처. 투자 확대와 고객 인증 완료는 구분	[S-7-48] *[C-7-19]* [S-7-67] [S-7-68]
LG이노텍	2026년 9월 9일 KPCA Show 2026에서 AI 가속기용 대면적 FC-BGA를 처음 공개. 한 변 100㎜ 초과 제품과 85㎜ 제품을 전시하고 2027년 양산, 2028년 유리기판 양산을 목표로 제시. 칩 임베딩 기술도 공개	기판 축, 감광성 유전체 수요처	[S-7-41]
한미반도체·한화세미텍	SK하이닉스가 두 회사에 HBM4용 TC 본더를 비슷한 규모로 나누어 발주. 한미반도체는 442억원 규모 공급. 공급망 안정화 차원의 동시 발주 관행	장비 이원화 관행의 사례. 소재 이원화 논거로 인용 가능	[S-7-47]
세메스	HBM용 D2W 하이브리드 본더를 고객과 계약하고 장비 신뢰성·공정 적합성 고도화 단계 진행 중	hybrid bonding 라인 형성 시점의 선행 지표	[S-7-55]
한솔케미칼	반도체 과산화수소·프리커서와 삼성 QD 잉크용 원재료를 공급. 2026년 패키징 소재 신규 고객 인증을 입증할 원출처는 확보하지 못함	원재료 공급 관계. 신규 채택 사례로 넣지 않는다	확인된 2026년 공표 없음
원익 계열	원익IPS·원익머트리얼즈·원익QnC를 하나로 묶을 수 없으며, 특정 법인·제품·고객을 연결하는 2026년 AP 소재 진입 근거를 확보하지 못함	소재 축 경쟁 아님	확인된 2026년 공표 없음

표에서 읽히는 흐름은 세 가지다. 첫째, EMC 축에서는 KCC가 DDR5용 국산화를 마치고 적용처를 AI 데이터센터로 넓히는 중이어서, 삼성SDI의 고방열 EMC는 국내에서도 단독 지위가 아니다 [S-7-42]*[C-7-17]*. 둘째, PID 축에서는 LG화학이 액상에 이어 필름까지 확보했다고 공개했다. 액상만 보유한 상태로는 패널·유리 전환기에 불리해질 수 있다 [S-7-43]. 셋째, hybrid bonding 축에서는 케이씨텍이 전용 슬러리 개발을 공개적으로 진행 중이고 세메스가 장비 계약 단계에 들어섰다. 라인이 실제로 서는 시점이 가까워지고 있다 [S-7-45][S-7-55].

다만 세 흐름 모두 전시와 개발 단계의 공개이며 고객 인증 완료 공표가 아니다. 따라서 세 흐름을 고객 채택으로 읽으면 안 된다. 이 표에서 끌어낼 결론은 단독 지위의 주장이 아니라 진입 창이 열려 있는 기간의 확인이다.

표를 경쟁과 동반으로 나누어 보면 관계가 분명해진다. 직접 경쟁 관계는 EMC의 KCC, PID의 LG화학과 동진쎄미켐, CMP 슬러리의 솔브레인과 케이씨텍과 동진쎄미켐이다. 이 여섯 관계는 같은 고객의 같은 평가에서 맞붙는 구도이므로 과소평가해서는 안 된다. 다만 솔브레인과 동진쎄미켐에 대해서는 2026년 6월에서 9월

사이의 신규 패키징 소재 인증을 입증할 원출처를 확보하지 못했다. 따라서 기존 반도체 소재 사업과 신규 패키징 인증을 구분해 말해야 한다.



도해 F-7-06A · 국내 지형은 직접 경쟁·수요처·장비 파트너로 나눈다 · 근거 S-7-42, S-7-43, S-7-45, S-7-46, S-7-49, S-7-50, S-7-55

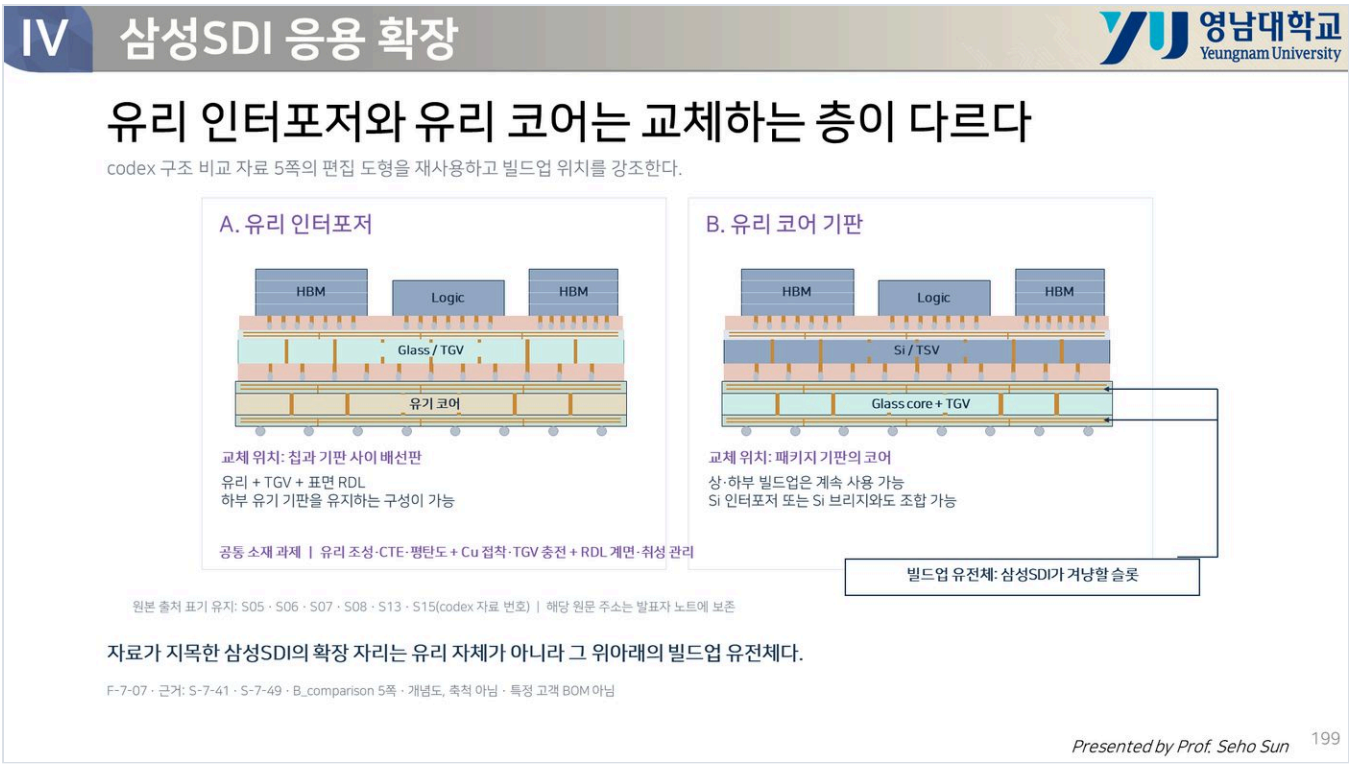
경쟁 지도는 위협 목록이 아니라 준비 시점을 읽는 지도다.

도해 F-7-06B · 직접 경쟁사의 "무엇을 공개했는가"를 소재별로 분리한다 · 근거 S-7-42, *C-7-17*, S-7-43, S-7-45, S-7-46, S-7-50

공식 제품·개발 보유가 곧 특정 패키징 고객의 승인 완료는 아니다.

도해 F-7-06C · 기판사는 소재 수요처이고, 장비사는 일정의 선행 지표다 · 근거 S-7-39, S-7-40, S-7-41, S-7-47, S-7-48, S-7-49, S-7-55, *C-7-19*
투자·전시·장비 계약은 소재 평가의 신호일 수 있지만 공급사 선정 자체는 아니다.

반면 삼성전기와 SKC·앱솔릭스, LG이노텍은 기판 제조사이므로 경쟁이 아니라 수요처다. 이들이 대면적 FC-BGA와 유리기판으로 넘어가면 빌드업 절연 소재와 감광성 유전체의 요구 사양이 바뀐다. 그 변화가 PID의 신규 그레이드 수요를 만든다 [S-7-41][S-7-49]. 한미반도체와 한화세미텍, 세메스는 장비사이므로 소재사의 일정 파트너에 가깝다. 이녹스첨단소재와 덕산하이메탈은 인접 카테고리이면서 같은 고객을 공유한다. 그래서 경쟁보다는 국내 공급망의 층을 함께 두껍게 만드는 관계로 보는 편이 정확하다.



도해 F-7-07 · 유리 인터포저와 유리 코어는 교체하는 층이 다르다 · 근거 S-7-41, S-7-49
자료가 지목한 삼성SDI의 확장 자리는 유리 자체가 아니라 그 위아래의 빌드업 유전체다.

덕산하이메탈의 2026년 실적 흐름은 연결과 별도를 구분해 두어야 한다. 이 회사의 2026년 1분기는 연결 기준 영업손실 약 7억원이고 별도 기준 영업이익 23억원이다 [S-7-65]. 2026년 2분기에는 연결 기준으로 매출 907억원과 영업이익 101억원을 기록해 흑자로 전환했다. 상반기 누적은 매출 1,594억원과 영업이익 94억원이다 [S-7-38]. 상반기 누적 94억원에서 2분기 101억원을 빼면 1분기가 약 마이너스 7억원이 되므로 두 수치는 서로 정합한다. "2026년 1분기까지 영업손실"이라는 서술은 연결 기준에 한정되며, 적자 폭을 수십억원대로 키워 읽으면 반등 폭을 과장하게 된다.

회사 대표가 2025년 11월에 "HBM에는 우리 솔더볼이 쓰이지 않는다"고 밝힌 사실은 그대로 유지된다 [S-7-39]. 두 사실은 모순되지 않는다. 솔더볼 수요가 HBM이 아니라 FC-BGA와 일반 패키지 쪽에서 나오고 있다는 뜻이다. 이는 미세 피치화가 진행되는 영역과 그렇지 않은 영역이 분리되어 있다는 Day 2의 로드맵과 정합한다.

9월 19일 이후 추가 확인 (2026년 9월 27일 기준)

위 표 이후 9월 27일까지 국내 기판사·장비사에서 새로 확인된 소식은 다섯 건이다.

- **해성디에스 패키지기판 투자(2026년 9월 18일)**: 해성디에스가 고성능·고집적 메모리 제품용 패키지기판에 1,900억원을 투자한다고 밝혔다 [S-7-69]. 기존 릴투릴(Reel to Reel) 공법에 패널(Panel) 공법을 새로 도입해 두 공법을 병행하는 내용이다. 메모리 패키지기판이 패널 공정으로 넘어가면 대면적 기판에 맞는 절연재와 솔더레지스트의 수요처가 한 곳 늘어난다. 추가 부지의 위치는 매체마다 다르게 보도되었으므로 여기서는 쓰지 않는다.
- **제이앤티씨 TGV 유리기판 공장 신설(2026년 9월 21일)**: 제이앤티씨가 경북 김천시 산업단지 약 3만 평 부지에 3,470억원을 들여 유리관통전극(TGV, Through Glass Via) 유리기판 공장을 신설한다고 밝혔다 [S-7-70]. 투자 기간은 2027년 1월부터 2030년 6월까지이고 신규 고용은 430여 명이다. 이 회사는 2026년

7월 일본 Toppan과 TGV 유리기판 상용화 협약을 맺었고 2027년 양산을 목표로 제시했다. 삼성전기, SKC·앱솔릭스, LG이노텍에 더해 유리 가공 전문사까지 투자에 들어왔으므로 유리기판용 빌드업 유전체의 잠재 수요처가 넓어지고 있다.

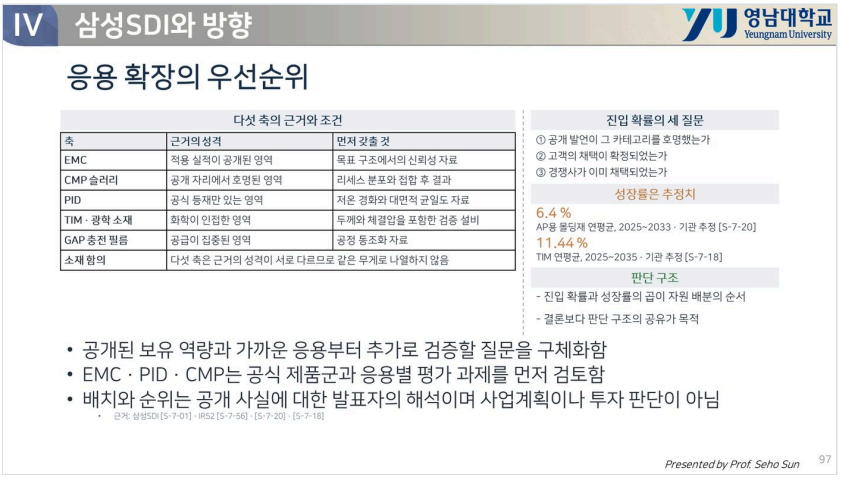
- **한미반도체 FC 본더 75 출하(2026년 9월 22일)**: 한미반도체가 75㎜×75㎜ 대형 인터포저 패키징을 지원하는 FC 본더 75를 글로벌 고객사에 출하했다고 밝혔다 [S-7-71]. 후속으로 2.5D TC 본더 120 출시를 예고했고, 2026년 10월 미국 법인 설립 계획도 함께 알렸다. 인터포저가 커지면 언더필과 본딩 소재가 대면적 휨 조건을 견뎌야 하므로, 장비의 대면적화는 소재 사양 변화의 선행 신호로 읽을 수 있다. 다만 출하 고객의 이름은 공개되지 않았다.
- **SKC의 앱솔릭스 추가 청약(2026년 9월 22일)**: SKC가 앱솔릭스 유상증자에 약 921억원을 추가로 청약했다 [S-7-67]. 공동 주주인 어플라이드머티어리얼즈가 배정 신주 가운데 약 280억원 규모만 인수한 결과다. SKC의 누적 투입은 약 3,731억원, 지분은 70.05%에서 82.37%로 늘었다 [S-7-68]. 같은 보도에 따르면 미국 조지아 공장에서 만든 임베딩 유리기판 샘플은 사전 평가를 통과해 신뢰성 평가에 들어갔다. 논임베딩 유리기판은 하반기 공급사 선정 과제에 참여해 연내 기술검증(PoC) 착수를 앞두고 있다 [S-7-67]. 이 단계는 모두 인증 완료 이전이므로 위 표의 원칙대로 투자 확대와 고객 인증을 구분한다.
- **심텍의 슬림 FC-BGA 진입(2026년 9월 23일)**: 심텍이 BT 레진 기반 슬림 FC-BGA로 FC-BGA 시장에 들어간다고 밝혔다 [S-7-72]. 양산 사양은 최대 10층·30×30㎜이고, 샘플은 최대 14층·50×50㎜까지 만들었으며, 피치는 양산 제품 120㎛·개발 제품 90㎛다. 겨냥 용도는 SSD 컨트롤러처럼 기존 FC-BGA에 패키징하던 중급 제품군이다. ABF가 아닌 BT 레진으로 FC-BGA를 만든다는 점에서, 빌드업 절연재 수요 구성이 제품 등급별로 갈라질 수 있음을 보여 준다.

다섯 건에서 소재 관점으로 의미가 있는 것은 기판과 장비 쪽의 투자가 모두 대면적화와 공정 전환(패널 공법, 유리 코어, 대형 인터포저)을 향한다는 점이다. 다섯 건 가운데 소재 공급사를 새로 정했다고 밝힌 사례는 없다. 따라서 이 소식들은 수요처 목록을 넓히는 근거이지 채택 사례가 아니다. 삼성전기의 유리기판 일정은 회사 설명(유리 코어 기판 2027년 하반기, 완성 기판 2028년)과 업계 전언(2028년 본격 가동)을 나란히 적어 둔다 [S-7-49][S-7-66].

> **소재 관점에서 보면**: 국내 경쟁사 지도는 위협 목록이 아니라 시간표로 읽어야 한다. 경쟁사의 공표 시점이 곧 고객의 평가가 진행되고 있는 시점이기 때문이다. KCC가 2025년 10월부터 DDR5용 EMC를 양산 공급했다면 고객의 EMC 이원화 판단은 이미 끝났다는 뜻이다. LG화학이 2026년에 필름 PID를 글로벌 고객과 협업 중이라고 말했다면 PID의 POR 경쟁은 지금 진행형이라는 뜻이다. 이 시점들을 타임라인 위에 올리면 "언제까지 무엇을 준비해야 하는가"가 드러난다.

7.5 기회 축 5개 종합표와 시장 데이터 종합표

슬라이드 96쪽 · 다섯 기회 축은 패키지의 서로 다른 자리를 겨냥한다



슬라이드 97쪽 · 응용 확장의 우선순위

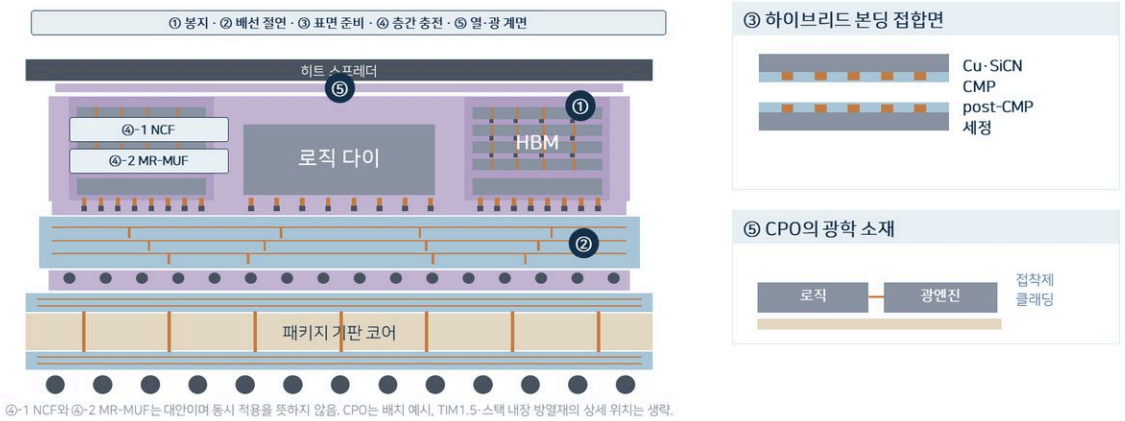
그 밖의 관련 슬라이드: 26쪽 · 59쪽 · 60쪽 · 61쪽 · 72쪽 · 77쪽 · 78쪽 · 87쪽 · 102쪽 · 115쪽

관련 도해: F-1-14A AP 시장 규모: Yole 2026년 7월판 · F-1-14B 응용처의 규모와 성장: Yole 2025년 9월판 · F-1-14C 두 시장은 분모가 다르다 · F-5-03A 구형의 충전과 판상의 연결을 결합한다 · F-5-03B 입도 분포와 표면 처리는 서로 다른 설계 손잡이다 · F-5-03C 필러 충전율을 높이면 점도 부담도 커진다 · F-5-11A 폴리머 TIM은 순응성과 충전율을 함께 설계한다 · F-5-11B 같은 인듐이라도 솔더와 압축 시트는 다르다 · F-5-11C 그래파이트의 방향과 냉각액 조합을 확인한다 · F-6-02A PSPI와 PBO는 같은 자리에서 다른 고리 구조를 쓴다 · F-6-02B 분자 설계는 저온 경화·접착·저유전을 함께 조정한다 · F-6-02C 제품 조건과 유전 물성의 측정 주파수를 같이 읽는다 · F-6-05A 비아를 만드는 방식이 달라지면 빌드업 소재가 바뀐다 · F-6-13A CPO는 광 변환을 ASIC 가까이 끌어들인다 · F-6-13B 광엔진의 도파로·접착제·FAU는 서로 다른 자리에 있다 · F-6-13C CPO 소재는 다섯 카테고리의 검증 항목으로 나뉜다 · F-6-13D 광통합에서는 열 안정화가 광학 특성의 일부가 된다 · F-7-07 유리 인터포저와 유리 코어는 교체하는 층이 다르다 · F-8-04A 먼저 기준면을 정해야 마이너스 값의 뜻이 보인다 · F-8-04B 에로전은 영역의 높이, 라운딩은 모서리의 형상이다 · F-8-05A 이 실측은 웨이퍼 중앙의 평가용 패드에서 나왔다 · F-8-05B 평균과 함께 분포 폭을 읽어야 개선의 범위가 보인다 · F-8-05C 터치업은 돌출을 없애지만 과연마를 만들 수 있다 · F-8-06 같은 CMP 조건에서도 Cu 간격이 형상을 바꾼다

기회 축 다섯 개를 하나의 표로 놓고 비교한다.

다섯 기회 축은 패키지의 서로 다른 자리를 겨냥한다

소재 위치와 사업적 우선순위를 구분해 읽는 종합 지도다.



④-1 NCF와 ④-2 MR-MUF는 대안이며 동시 적용을 뜻하지 않음. CPO는 배치 예시, TIM1.5·스택 내장 방열재의 상세 위치는 생략.

권고 순서: ① 고방열 EMC → ③ CMP·세정 → ② PID → ⑤ TIM·CPO → ④(NCF는 별도 평가).

F-7-08A · 근거: S-7-01 · S-7-03 · S-7-23 · S-7-24 · S-7-56 · 개념도, 축척 아님 · 특정 고객 BOM 아님

도해 F-7-08A · 다섯 기회 축은 패키지의 서로 다른 자리를 겨냥한다 · 근거 S-7-01, S-7-03, S-7-23, S-7-24, S-7-56
권고 순서: ① 고방열 EMC → ③ CMP·세정 → ② PID → ⑤ TIM·CPO → ④(NCF는 별도 평가).

자료의 우선순위는 진입 확률과 성장 방향을 함께 본다

수치 점수나 시장 규모를 새로 만들지 않고, 교재의 권고 순서를 그대로 표시한다.

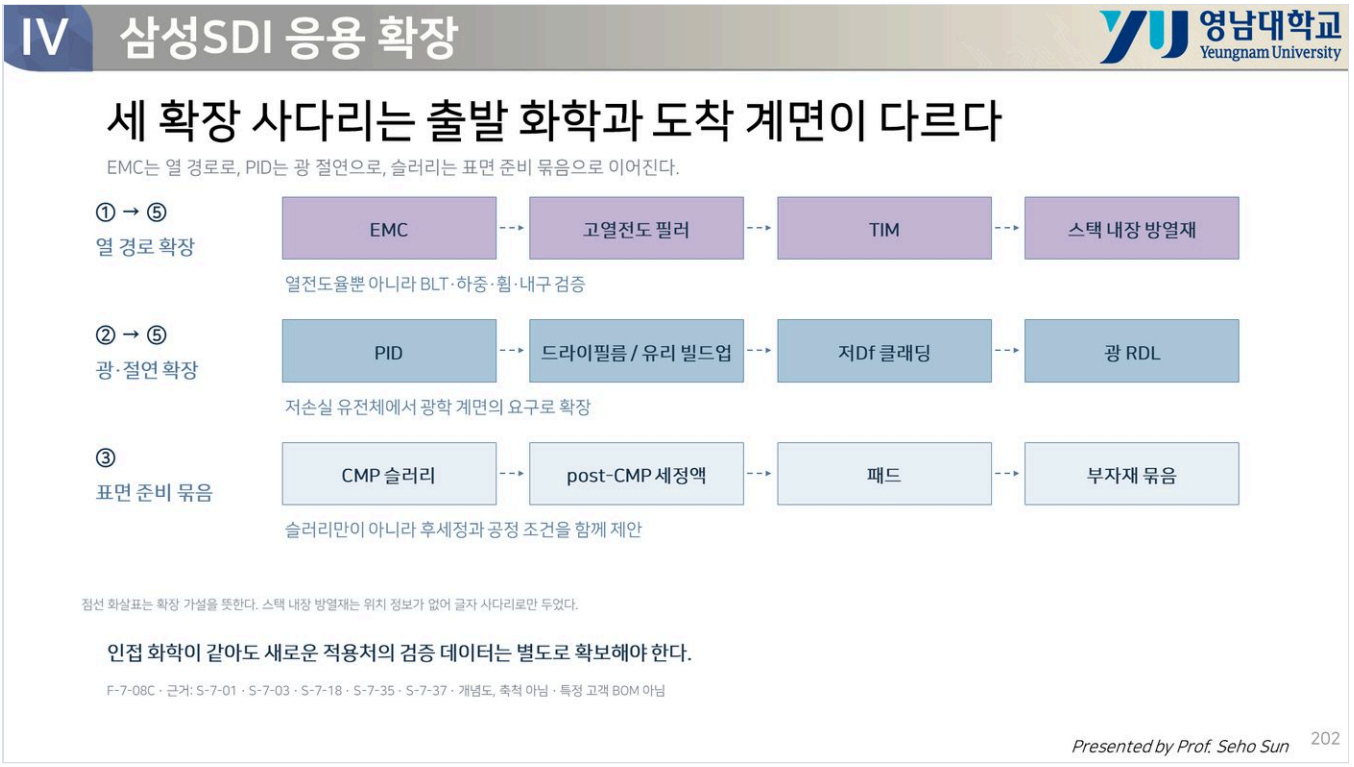
1	① 고방열 EMC·LMC	진입 확률 높음 · 성장 완만	이미 있는 모바일용 공급 실적에서 등급 확장
2	③ Cu·SiCN CMP·세정	확률 중간 · 신규 카테고리 성장	본딩용 데이터와 고객별 평가 계획 확보
3	② PID	확률 중간 · 선행 경쟁자 존재	드라이필름과 유리 빌드업 그레이드가 분기점
4	⑤ TIM·CPO	확률 낮음 · 성장 최상위	기계·신뢰성 검증 데이터를 묶는 사업 모델
5	④ NCF / MR-MUF	MR-MUF 확률 최저 · NCF 별도	MR-MUF는 모니터링, NCF는 별도 과제 평가

자료의 판단 프레임: 우선순위 = 진입 확률 × 시장 성장률 | 배치와 순위는 회사 계획 또는 투자 판단이 아님

축 ④의 낮은 순위는 MR-MUF에 관한 제약이며 NCF 전체의 진입 차단 근거가 아니다.

F-7-08B · 근거: S-7-03 · S-7-18 · S-7-20 · S-7-23 · S-7-24 · 개념도, 축척 아님 · 특정 고객 BOM 아님

도해 F-7-08B · 자료의 우선순위는 진입 확률과 성장 방향을 함께 본다 · 근거 S-7-03, S-7-18, S-7-20, S-7-23, S-7-24
축 ④의 낮은 순위는 MR-MUF에 관한 제약이며 NCF 전체의 진입 차단 근거가 아니다.



도해 F-7-08C · 세 확장 사다리는 출발 화학과 도착 계면이 다르다 · 근거 S-7-01, S-7-03, S-7-18, S-7-35, S-7-37

인접 화학이 같아도 새로운 적용처의 검증 데이터는 별도로 확보해야 한다.

축	근거	시장 규모(판본)	현직 공급사	요구 스펙	확장 사다리	리스크
① 고방열 EMC·LMC → HBM·2.5D·FOPLP	2025년 4분기 고객 신제품 최초 적용, 2026년 상반기 글로벌 고객사 신규 공급 [S-7-03] [S-7-05], 2025년 상반기 국내 2사 양산 승인과 2026년 해외 메모리 업체 수출 [S-7-56]	AP용 EMC 2025년 약 $654M, CAGR 6.4% (2025~2033), 시장조사 추정 [S-7-20]. 상위 범주인 패키징 소재는 2025년 $27.4B(+9.3%) [S-7-13]	3사 합산 약 40%. Sumitomo Bakelite 단독은 판본별 약 18.2~20% 대 약 40%로 갈리므로 단독값을 단정하지 않는다 [S-7-20]	고열전도 등급 (회사 설명 기준 적용 후 열저항 D램 최대 47%·AP 16% 개선) [S-7-56], low-CTE, 대면적 low-warpage, 미세 갭 무보이드 침투. 단서로 열전도율과 점도, 기계 물성, 절연 강도가 서로 상충하며 실리콘 약 2.6~4ppm/°C(온도 범위에 따라 다름)와 구리 약 17ppm/°C 사이에서 EMC는 약 7~9ppm/°C에 놓여야 한다. 질화알루미늄 필러는 열전도율을 올리지만 CTE 부정합으로 팬아웃 계면에 열응력을 남긴다 [S-7-36]	EMC → 고열전도 필러 → TIM → 스택 내장 방열재	상류 구상 실리카 필러의 일본 의존으로 원가·개발 속도가 종속 *[C-7-11]*. 국내에서도 KCC가 경쟁 [S-7-42]. 수상 대상이 모바일용이므로 HBM 채택 근거로 쓸 수 없음 [S-7-56]. 열전도율 단일 지표로 제안하면 warpage와 절연 강도로 반박받는다 [S-7-36]
② PID → FO RDL·FOPLP·유리기판 재배선	공식 라인업 등재 [S-7-01], 2026년 2분기 컨콜의 "재배선 소재 응용 분야 확대" [S-7-03]	기관별 4~10배 편차. "수천억원대에서 2030년대 초 수조원대, CAGR 20%대 중반" 프레임을 쓴다. 상위 참조치로 advanced IC substrate 2030년 $31B(Yole 2025.7판) [S-7-12]	HD MicroSystems, Toray 약 23% (2024년, 조사기관 추정), Fujifilm, Asahi Kasei [S-7-59]	200°C 이하 저온 경화, low-Df, 드라이필름화, 유리 빌드업 전용 그레이드, 3㎛급 photo-via	액상 → 드라이필름 → 유리 코어 빌드업 → CPO 도파로 클래딩	LG화학이 액상과 필름을 모두 확보했다고 공개 [S-7-43]. IPC-4104가 드라이필름과 액상을 별도 규격으로 다루므로 인증 경로가 나뉨 [S-7-30]

축	근거	시장 규모(판본)	현직 공급사	요구 스펙	확장 사다리	리스크
③ hybrid bonding → Cu·SiCN CMP 슬러리·post-CMP 세정	2026년 2분기 컨콜이 "하이브리드 본딩용 슬러리 소재"를 팹 소재 항목에서 호명 [S-7-03], 메탈 슬러리 양산 진입 전망 [S-7-05]	CMP 슬러리 시장은 2024년 약 $3.2B에서 2032년 $5.8B로 CAGR 7.4% 성장하고 Entegris와 CMC Materials 계열이 약 28%로 선두라는 추정이 있다. 다만 이 수치의 출처는 중국 소재 제조사가 운영하는 블로그(2차·업체 자체 집계)이므로 인용 시 등급을 부기한다. hybrid bonding 전용은 POR 미확정 신흥 카테고리 [S-7-61]	국내는 케이씨텍·동진쎄미켐·솔브레인이 선행 [S-7-45] [S-7-46][S-7-50]	recess와 조도 목표는 피치·패드 구조·유전막·어닐 조건별로 정해지며 보편 합격 규격이 아니다. 인용되는 Cu recess 1~5nm와 RMS 0.1nm대는 약 400°C 어닐을 동반한 사례값이고 같은 자료에 5~25nm recess 사례도 있다. 선택비도 bulk 제거 단계와 마감 단계를 구분해야 한다 [S-7-35]. 기존 슬러리와 전용 슬러리의 실측 대비와 제출 자료 형식은 본절 본문에서 다룬다 [S-7-37]	슬러리 → post-CMP 세정액 → 패드·부자재 묶음 제안	결함의 의미가 수율 저하가 아니라 스택 전량 폐기이므로 신뢰성 데이터 요구 수준이 최고. 전환 시점이 지연되면 투자 회수 지연 [S-7-24]
④-1 NCF(TC-NCF용 비전도성 접착필름)	EMC 인접 역량과 필름 코팅·점접착 역량이 함께 닿는 유일한 카테고리	HBM용 NCF는 상위 3사 약 99% (단일 조사기관 추정, Henkel 포함이므로 일본 독점 아님) [S-7-23]	Resonac, Henkel, Namics [S-7-23]	미세 갭 무보이드 충전, 열압착 조건과의 동조, 필름 두께 균일도	필름 코팅 역량에서 파생 가능	삼성이 TC-NCF를 유지하므로 수요 자체는 존재한다. 장벽은 계약이 아니라 상위 3사 집중과 공정 동조화이며, Resonac은 증설을 진행했다 [S-7-62]

축	근거	시장 규모(판본)	현직 공급사	요구 스펙	확장 사다리	리스크
④-2 MR-MUF 언더필 수지	EMC 인접 역량인 에폭시 배합과 고충전 필러 분산	MR-MUF 언더필은 SK하이닉스향 Namics 단독 공급으로 보도 [S-7-24]	Namics [S-7-24]	액상 갭필과 몰딩을 한 번에 수행하는 점도·침투 제어, 가압 장비와의 동조	별도 사다리 없음. EMC 자산에서 파생만 가능	삼성이 TC-NCF를 유지하므로 그룹 내 MR-MUF 수요가 제한적이고, SK하이닉스향은 독점 공급 보도가 있다. 이 제약은 MR-MUF에 한정되며 NCF 전체로 확대해 적용하지 않는다 [S-7-24]
⑤ TIM·CPO 광학 소재	고열전도 필러 분산 기술이 TIM과 화학적으로 인접. PID 화학이 도파로 클래딩으로 이전 가능	TIM 2025년 $4.62B → 2035년 $13.64B, CAGR 11.44% [S-7-18]. CPO 대규모 배치는 2028~2030년 [S-7-19]	TIM은 글로벌 그리스·PCM 업체가 선점하고 국내에 서버급 공백. CPO 접착제는 Dymax·EPO-TEK·Norland	TIM은 벌크 열전도도가 아니라 BLT 제어·압력분포·사이클 내구로 평가. CPO 접착제는 굴절률 정합과 260°C 리플로우 내성 동시 충족	고열전도 필러 → TIM1.5 → 스택 내장 방열재 / PID → 저Df 클래딩 → 광 RDL	TIM은 소재 단품이 아니라 검증 데이터 패키지를 함께 파는 사업 모델. 액침 냉각 확산 시 폴리머 매트릭스가 배제될 위험 [S-7-18]

축 ①은 이미 매출이 나고 있으므로 논점이 진입 여부가 아니라 등급 확장이다. 회사는 고방열 EMC를 글로벌 고객사에 신규 공급하기 시작했다고 밝혔다 [S-7-03]. 9월 수상 자료에서는 국내 2사 양산 승인이 2025년 상반기에 이루어졌고 해외 메모리 업체 수출이 2026년부터 시작되었다고 설명했다 [S-7-56]. 남은 과제는 모바일용에서 HBM용 최고급 등급과 패널레벨 대면적 등급으로 범위를 넓히는 것이다.

이 축의 시장 성장률은 CAGR 6.4%로 다섯 축 가운데 가장 낮지만, 분모가 되는 매출이 이미 존재하므로 절대 증가액은 작지 않다 [S-7-20]. 리스크는 상류 필러 의존과 국내 경쟁의 실질화다. KCC가 DDR5용 EMC 국산화를 마치고 고내열 EMC와 LMC까지 내놓은 상태다. 그러므로 방열 성능만으로는 차별화를 유지하기 어렵다 [S-7-42].

축 ③은 회사가 2026년 2분기에 직접 호명한 영역이면서 국내 경쟁사가 선행하는 영역이다. 이 모순을 푸는 기준은 POR 확정 여부다. 케이씨텍이 개발 중이라는 것은 아직 채택이 확정되지 않았다는 뜻이다. 세메스가 장비 신뢰성 검증 단계라는 것은 라인 자체가 아직 서는 중이라는 뜻이다 [S-7-45][S-7-55]. 이 구간이 평가 기회가 열리는 시기다.

다만 고객의 소재 평가 단계와 POR 결정 일정은 공개 확인되지 않았다. 그러므로 2028년 채택 가능 여부는 고객별 평가 계획을 확보한 뒤에 판단해야 한다. 전자부품 대체 조달의 인증 기간을 소재 일정으로 전용하지 않는다 [S-7-26]. 준비해야 할 것은 영업이 아니라 데이터다. 구체적으로는 Cu recess 값의 웨이퍼 전면 분포, Cu와 유전막의 선택비, 접합 후 계면 보이드 발생률을 표준 시험 형식으로 정리한 자료다 [S-7-35][S-7-37].

그 데이터의 제출 형식은 공개 실측 사례에서 확인된다. Ji 등이 2022년 EPTC에서 보고한 시험은 12인치 기판에 CVD SiO_2를 올리고 RIE로 트렌치를 낸 W2W 구조다. 이어서 PVD 배리어와 시드, ECP 단일 다마신 도금, Cu-CMP를 거쳤고, 디싱은 AFM으로 웨이퍼 중앙에서 측정했다 [S-7-37]. 부호 규약에서 음수는 Cu 패드가 유전막보다 낮게 파인 디싱이고, 양수는 반대로 솟은 돌출이다. 같은 논문은 무보이드 접합의 전제로 표면 평탄도가 마이크로미터당 1nm 미만이어야 한다는 선행 기준도 인용한다.

수치는 대조군과 함께 제시할 때 의미가 생긴다. 기존 TSV용 슬러리는 평균 디싱이 −30nm이고, Cu 간격에 따른 분포가 −38nm에서 −22nm까지 16nm 폭으로 벌어졌다. 이 슬러리는 종점 공정에서 Cu 패드에 5~10nm 돌출도 만들었다. 돌출은 hybrid bonding에서 허용되지 않으므로 터치업 CMP를 추가로 돌려야 하는데, 제거율이 높아 이번에는 −25~−32nm로 과하게 파이는 부작용이 따른다. H_2O_2 비중을 낮춘 전용 슬러리는 벌크 Cu 제거율을 분당 최대 1μm로 낮추어 평균 디싱 −1nm에 분포 폭 10nm를 얻었다. 유전체 라운딩도 약 5nm에서 1nm 미만으로 줄었다 [S-7-37].

설계 제약도 같은 자료에서 나온다. 같은 공정 조건에서도 Cu 간격이 2μm에서 6μm로 바뀌면 패드 형상이 돌출에서 디싱으로 넘어간다. 그래서 한 층에 Cu 선폭과 간격의 변형을 너무 많이 섞지 말라는 권고가 붙는다. 이 권고는 슬러리 공급사가 고객의 레이아웃 설계 단계에 개입할 근거가 되며, 소재 단품이 아니라 설계 규칙과 묶어 제안하는 전략의 실례다. 다만 이 시험은 소자가 올라가지 않은 구조에서 디싱 제어까지만 확인했고, 접합 후 수율이나 전기적 연결성은 다루지 않는다. 그러므로 제출 자료에는 접합 검증 결과를 별도로 붙여야 한다 [S-7-37].

축 ②는 경쟁 상황이 가장 빠르게 움직인다. LG화학이 액상에 이어 필름까지 확보했다고 공개했고, 글로벌 최상위 반도체 회사와 협업 중이라고 밝혔다 [S-7-43]. 다만 LG화학도 고객명과 인증 통과 여부는 공개하지 않았다 *[C-7-18]*. 삼성SDI의 PID 역시 공식 라인업에 있지만 매출과 고객, 양산 여부가 공개되지 않아 외부에서는 성숙도를 판단할 수 없다 [S-7-01]. 외부 자료로 비교할 때 삼성SDI의 PID는 "정량 공개가 없는 영역"으로 보아야 한다.

기술적 분기점은 드라이필름이다. 웨이퍼에서 패널로 넘어가면 대면적 균일 도포가 과제가 된다. 액상 spin-coat 방식은 대면적에서 두께 편차와 재료 손실이 커진다. IPC-4104는 감광성 유전체를 드라이필름과 액상으로 나누어 인증 요구를 규정한다. 이 사실은 두 형태가 서로 다른 제품으로 취급된다는 제도적 증거다 [S-7-30].

축 ⑤와 축 ④는 성격이 다르다. 축 ⑤는 시장 성장률이 가장 높지만 사업 모델의 전환이 필요하다. TIM은 소재 단품을 파는 사업에서 클램프 하중과 콜드플레이트 강성, 패키지 휨을 고려한 검증 데이터를 함께 파는 사업으로 바뀌고 있다 [S-7-18]. 진입한다면 소재 개발보다 검증 설비와 시험 프로토콜 구축이 먼저다.

축 ④는 서로 다른 두 시장을 한 축으로 묶으면 안 된다. NCF는 삼성이 TC-NCF를 유지하는 한 수요가 존재하며, 장벽은 계약이 아니라 상위 3사 집중과 공정 동조화다 [S-7-23]. Resonac이 증설을 진행했다는 사실은 이 시장이 성장 중이라는 신호이기도 하다 [S-7-62]. 반면 MR-MUF 언더필은 삼성 진영의 수요가 제한적이고 SK하이닉스향은 독점 공급 보도가 있어 접근 가능한 수요처가 좁다 [S-7-24]. 따라서 MR-MUF는 모니터링에 두고, NCF는 필름 코팅 역량과의 인접성을 근거로 별도 과제로 평가하는 것이 자료에 부합한다.

NCF와 MR-MUF는 수지의 공급 형태와 접합 순서가 다르다

codex 구조 아틀라스 7쪽의 편집 도형을 재사용하고 공급군 표기를 추가한다.

현직: Resonac · Henkel · Namics(상위 3사 집중)

SK하이닉스향 Namics 단독 공급 보도

원본 출처 유지: [5] Samsung / [6] SK hynix | 액상 수지는 경화 후에도 액체로 남는다는 뜻이 아니다.

축 ④를 하나의 수지 시장으로 묶지 말고 필름형 NCF와 액상 MR-MUF를 구별한다.

F-7-09A · 근거: S-7-23 · S-7-24 · C_atlas 7쪽 · 개념도, 축척 아님 · 특정 고객 BOM 아님

도해 F-7-09A · NCF와 MR-MUF는 수지의 공급 형태와 접합 순서가 다르다 · 근거 S-7-23, S-7-24
축 ④를 하나의 수지 시장으로 묶지 말고 필름형 NCF와 액상 MR-MUF를 구별한다.

NCF는 별도 평가하고, MR-MUF는 접근 가능한 수요처를 확인한다

같은 에폭시 인접 역량이라도 공급 구조와 제약은 다르다.

NCF 99%는 단일 조사기관 추정이므로 넣지 않음. MR-MUF 계약서·공식 만료일·갱신 여부는 미확인이다.

MR-MUF의 계약·수요처 제약을 NCF 전체의 진입 불가로 확대하지 않는다.

F-7-09B · 근거: S-7-23 · S-7-24 · S-7-62 · 개념도, 축척 아님 · 특정 고객 BOM 아님

도해 F-7-09B · NCF는 별도 평가하고, MR-MUF는 접근 가능한 수요처를 확인한다 · 근거 S-7-23, S-7-24, S-7-62
MR-MUF의 계약·수요처 제약을 NCF 전체의 진입 불가로 확대하지 않는다.

시장 데이터는 판본과 날짜를 함께 확인해야 한다. 특히 Yole의 Advanced Packaging 전망은 판본 2종(2025년 9월판·2026년 7월판)이 유통되고 폐기 대상 구판 1종이 따로 있으므로 한 자료에 섞지 않는다.

항목	수치	기관·판본	공표 시점	사용 원칙	출처
AP 전체 시장(대표 단일 수치)	2025년 $55B → 2031년 $120B 초과, 2031년에 전체 반도체 패키징 매출의 과반	Yole, Status of the Advanced Packaging Industry 2026	2026년 7월 공표(공개 전재 2026-07-23 Advanced Packaging News, 2026-07-24 Electronics Weekly)	대표 수치로는 이 값만 쓴다	[S-7-10]
AP 전체 시장 (2025년 9월판, 세그먼트 인용 전용)	2024년 $46B → 2030년 $79.4B, CAGR 9.5%	Yole, Status of the Advanced Packaging Industry 2025	2025년 9월	세그먼트 인용이 필요할 때만 판본명을 밝혀 별도로 쓴다. 폐기 대상은 2021년 $37.4B에서 2027년 $65B로 가는 구판이며 이 행과 다르다	[S-7-11]
최대 응용처	Mobile & Consumer 2024년 매출 기준 약 70%	Yole 2025년 9월판	2025년 9월	매출 기준임을 밝히고 2026년 7월판과 합산하지 않는다	[S-7-11]
HBM 수요 성장	2025년 전년 대비 130% 이상, 2026년 70% 이상	TrendForce	2025년 10월 30일	사용량 기준이며 출하량이나 매출이 아님을 밝힌다	[S-7-57]
HBM 웨이퍼 투입 비중	2025년 말 18% → 2026년 말 22% → 2027년 말 30%	TrendForce	2026년 6월	전체 DRAM 웨이퍼 대비 비중임을 밝힌다	[S-7-16]
HBM3E 대 서버 DDR5 가격 격차	종전 4~5배 → 2026년 말 1~2배로 축소 전망	TrendForce	2025년 12월 18일	비교 단위가 원문에 없음을 부기하고, HBM3E 하락이 아니라 DDR5 급등에 따른 축소임을 밝힌다	[S-7-15]
패키징 소재 시장	2025년 $27.4B(+9.3% YoY), 전체 반도체 소재는 $73.2B	SEMI 보도자료	2026년	기판·본딩와이어가 성장을 주도했음을 함께 밝힌다	[S-7-13]
패키징 소재 중기 전망	2028년까지 CAGR 5.6%	SEMI GSPMO(TECHCET·TechSearch 공저)	2024년판	판본 연도를 밝힌다	[S-7-14]
AP용 EMC	2025년 약 $654M, CAGR 6.4%(2025~2033)	시장조사기관 추정	2026년	"시장조사 추정"을 반드시 부기	[S-7-20]

항목	수치	기관·판본	공표 시점	사용 원칙	출처
Advanced IC substrate	2030년 $31B(AICS·GCS·SLP·ED 합산)	Yole, Status of the Advanced IC Substrates Industry 2025	2025년 7월	공표 시점을 2025년 11월로 적지 않는다	[S-7-12]
FOPLP와 유리기판 합산	2024년 약 $650M → 2030년 $8.1B 초과	Counterpoint Research	2025년	AI·HPC용이 매출의 45.6%	[S-7-17]
TIM	2025년 $4.62B → 2035년 $13.64B, CAGR 11.44%	Precedence Research	2026년	기관별 편차가 크므로 단일 기관임을 밝힌다	[S-7-18]
CPO	대규모 배치 2028~2030년	Yole, Photonics Packaging 2026	2026년	절대 시장액은 기관별 편차가 극심하므로 1차급 기관만 인용	[S-7-19]
HBM4 표준	스택당 2TB/s, 핀속도 8Gb/s, 2048-bit, 32채널	JEDEC JESD270-4	2025년 4월 16일	표준 규격값과 제조사 실측값을 구분	[S-7-31]

시장 수치를 인용할 때의 규율은 세 가지다. 첫째, 같은 항목에 서로 다른 판본이 있으면 한 자료에 병기하지 않고 하나를 대표값으로 고른다. 나머지는 참고용으로 돌린다. Advanced Packaging 시장이 대표적이며, 대표 단일 수치는 2026년 7월판만 쓴다 [S-7-10][S-7-11]. 둘째, 조사기관마다 편차가 극심한 항목은 절대값 대신 범위와 방향만 적는다. PID와 CPO가 여기에 해당한다.

PID는 "수천억원대에서 2030년대 초 수조원대, CAGR 20%대 중반"이라는 틀을 쓰고, CPO는 "대규모 배치 2028년에서 2030년"이라는 시점만 적는다 [S-7-19]. 셋째, 회사 공표와 조사기관 추정과 언론 보도를 구분해 표기한다. 출처를 적을 때 기관명과 공표 시점을 함께 적고, 추정치에는 괄호로 성격을 표기한다. 이 세 규율을 지키면 인용한 수치마다 근거를 바로 확인할 수 있다.

우선순위는 진입 확률과 시장 성장률로 계산한다. 진입 확률은 세 가지로 판단한다. 회사의 공식 발언이 그 카테고리를 호명했는가, POR이 확정되었는가, 국내외 경쟁사가 이미 채택되었는가다. 시장 성장률은 공개 전망치를 그대로 쓰고 출처 성격을 함께 본다. 계산 과정이 드러나 있으므로 결론이 다르게 나오더라도 어느 가정에서 갈리는지 확인할 수 있다.

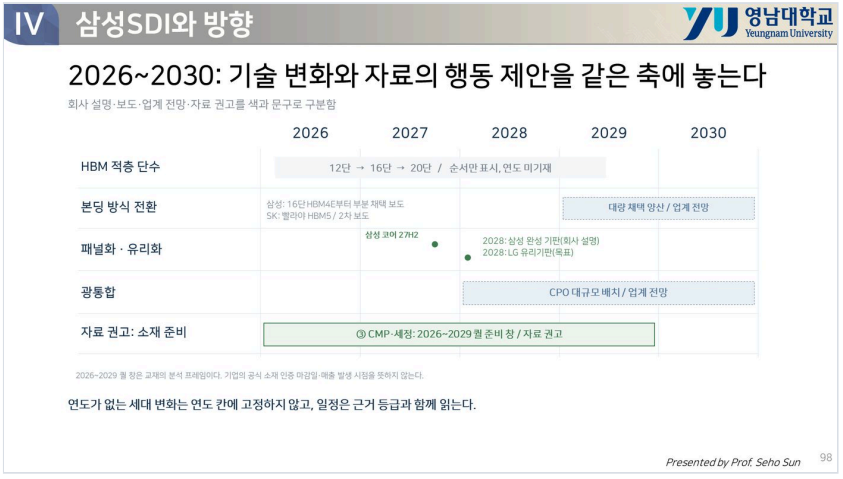
이 기준을 적용한 결과는 다음과 같으며, 곱의 순서가 곧 자원 배분의 순서가 된다.

- 축 ①: 확률이 높고 성장률이 낮다.
- 축 ③: 확률이 중간이고 성장률이 높다.
- 축 ②: 확률이 중간이며 성장률이 높지만 경쟁이 앞서 있다.
- 축 ⑤: 확률이 낮고 성장률이 최상위다.
- 축 ④: 확률이 다섯 축 가운데 가장 낮다.

소재 관점에서 보면: 다섯 축의 우선순위는 진입 확률과 시장 성장률의 곱으로 정하며, 권고 순서는 축 ①, 축 ③, 축 ②, 축 ⑤, 축 ④다. 축 ①은 이미 매출이 나고 있으므로 확률이 가장 높지만 성장률은 CAGR 6.4%로 완만하다. 축 ③은 확률이 중간이지만 신규 카테고리라 성장률이 가장 높고, 회사가 2026년 2분기에 직접 호명했다. 축 ②는 경쟁사가 앞서 있어 확률이 중간이며 드라이필름 확보 여부가 분기점이다. 축 ⑤는 성장률이 최상위지만 사업 모델 전환이 필요해 확률이 낮다. 축 ④ 가운데 MR-MUF는 수요처가 좁아 최하위이고, NCF는 수요가 존재하므로 별도로 평가한다.

7.6 자주 나오는 질문 20개

슬라이드 45쪽 · 본딩 전환의 "세대"와 "연도"는 다른 정보다



슬라이드 98쪽 · 2026~2030: 기술 변화와 자료의 행동 제안을 같은 축에 놓는다

그 밖의 관련 슬라이드: 82쪽 · 92쪽 · 94쪽 · 96쪽

관련 도해: F-7-02A EMC 공급 사슬의 앞단에는 필러와 반제품이 있다 · F-7-02B 과점 지점마다 패키지에서 맡는 위치가 다르다 · F-7-04A 진입 3루트는 열리는 조건과 통제 가능성이 다르다 · F-7-04B 루트 ②에서는 새 표면 목표에 맞춘 데이터가 먼저다 · F-7-04C 우회 경로는 국내 레퍼런스를 다음 고객으로 잇는 준비 단계다 · F-7-05A 배선 CMP와 본딩면 CMP는 남겨야 할 표면이 다르다 · F-7-05B 유전막이 먼저 닿고, 어닐에서 Cu 접촉이 완성된다 · F-7-07 유리 인터포저와 유리 코어는 교체하는 층이 다르다 · F-7-08A 다섯 기회 축은 패키지의 서로 다른 자리를 겨냥한다 · F-7-08B 자료의 우선순위는 진입 확률과 성장 방향을 함께 본다 · F-7-08C 세 확장 사다리는 출발 화학과 도착 계면이 다르다 · F-7-09A NCF와 MR-MUF는 수지의 공급 형태와 접합 순서가 다르다 · F-7-09B NCF는 별도 평가하고, MR-MUF는 접근 가능한 수요처를 확인한다

삼성SDI의 Advanced Packaging 소재 전략을 두고 다음 질문 스무 개가 자주 나온다. 질문은 네 묶음으로 나뉜다. 삼성SDI의 위치에 관한 질문은 1번에서 3번이고, 답의 근거는 모두 회사 공식 발언이다. 기술 전환에 관한 질문은 4번에서 6번과 9번이며, 근거는 표준 문서와 학술 논문이다. 경쟁과 시장에 관한 질문은 7번, 8번, 12번에서 16번이고, 근거는 경쟁사 공표와 조사기관 자료다. 실행에 관한 질문은 17번에서 20번이며, 근거는 고객 투자 계획과 우선순위 계산이다.

아래 스무 개 질문의 답은 근거를 먼저 적고, 그다음 시점을 밝히며, 마지막에 불확실한 부분을 적는 순서로 정리했다. 결론을 먼저 단정하는 서술은 피했다. 각 답을 읽을 때는 근거의 계통(회사 공식 발언·표준·논문·보도)을 먼저 보고 결론의 강도를 판단한다.

10번 답이 한 예다. 근거는 Namics 독점 계약이 2026년 1월 기준으로 만료에 접근했다는 보도다. 이 보도는 단일 계열 출처이고 계약서와 공식 만료일이 확인되지 않았다. 같은 보도는 hybrid bonding 전환이 지연될 가능성을 더 크게 보았다 [S-7-24]. 각 답의 끝에는 근거 출처를 붙였다.

번호	질문	답	출처
1	삼성SDI가 이미 Advanced Packaging에 들어와 있다는 근거가 무엇인가	회사의 공식 문장 네 개가 근거다. 2025년 4분기에 고방열 EMC를 고객 신제품에 최초 적용했고, 2026년 상반기에 고방열 EMC를 글로벌 고객사에 신규 공급했으며, 2026년 2분기 전망에서 하이브리드 본딩용 슬러리 소재와 재배선 소재를 직접 호명했다	[S-7-03] [S-7-05]
2	고방열 EMC의 "고객 신제품 최초 적용"은 어느 제품인가	회사는 고객사와 제품을 공개하지 않았다. 공개된 것은 2025년 상반기 국내 반도체 제조사 두 곳의 양산 승인, 2026년 해외 메모리 업체 수출 개시, 그리고 고객사 도입 후 열저항이 D램 최대 47%·AP 16% 개선되었다는 회사 설명이다. 승인과 고객 제품 적용과 양산 공급은 서로 다른 단계다	[S-7-03] [S-7-05] [S-7-56]
3	삼성SDI의 EMC를 HBM 몰딩에 바로 쓸 수 있나	쓸 수 없다. 2026년 수상 대상은 모바일용 고방열 EMC이므로 이를 HBM 공정 채택 근거로 쓰면 안 된다. 같은 EMC라도 HBM용 등급은 별도 퀄이 필요하다. HBM은 얇은 칩을 여러 장 적층하므로 low-warpage와 미세 갭 무보이드 충전이 동시에 요구되고, 소재 변경은 JESD47 계열 재인증과 J-STD-020 흡습·리플로우 재분류를 함께 유발한다	[S-7-28] [S-7-29] [S-7-36] [S-7-56]
4	hybrid bonding이 오면 EMC는 사라지나	사라지는 것은 칩 사이를 메우는 갭필 언더필이고, 오버몰드와 패널 재구성 몰드, 구조재로서의 EMC는 남는다. 전환 시점도 즉각적이지 않다. SK하이닉스는 16단 HBM4에서 fluxless bonding 평가를 거친 뒤 기존 MR-MUF를 유지하기로 판단했다고 보도되었다. hybrid bonding 최초 적용 세대와 몰딩재 열전도 요구의 상향은 업계 보도·분석 단계의 정보다	[S-7-24]
5	메탈 슬러리가 hybrid bonding 슬러리와 같은 것인가	같지 않다. 기존 배선 CMP는 단차를 없애는 것이 목표이지만 본딩면 CMP는 Cu를 유전막보다 의도적으로 낮게 남기고 마감 단계 선택비를 거의 1로 맞춰야 한다. 흔히 인용되는 recess 1~5nm는 특정 어닐 조건의 사례값이므로 목표치는 고객 공정별로 정해진다. 목표 함수가 반대이므로 조성과 공정이 다시 설계되어야 한다	[S-7-35] [S-7-37]
6	케이씨텍과 동진이 이미 하는데 삼성SDI가 늦은 것 아닌가	선행 경쟁자가 있지만 POR이 확정되지 않았다. 케이씨텍은 개발 중이고 세메스는 장비 계약 단계다. 라인이 실제로 서는 구간이 평가 기회다. 다만 고객의 소재 평가 단계와 POR 결정 일정은 공개 확인되지 않았으므로, 착수 시점만으로 채택 시기를 단정할 수 없고 고객별 평가 계획을 확보한 뒤 판단해야 한다	[S-7-45] [S-7-55]
7	삼성SDI의 PID는 일본 4강 대비 어디쯤인가	제품 라인업 보유는 사실이지만 매출과 고객, 양산 여부가 공개되지 않아 정량 비교가 불가능하다. 공개 추정으로 확인되는 것은 Toray가 2024년 기준 약 23%라는 조사기관 수치이며, 4사 합산 점유율은 동일 연도·동일 정의로 확보하지 못했다. 차별화는 저온 경화, low-Df, 드라이필름화, 유리 빌드업 그레이드 네 축에서 결정된다	[S-7-01] [S-7-59]
8	LG화학과 무엇이 다른가	LG화학은 액상 PID 개발을 끝낸 뒤 필름 PID까지 확보했다고 공개했고 글로벌 최상위 반도체 회사와 협업 중이라고 밝혔다. 액상만 보유한 상태로는 패널과 유리 전환기에 불리하므로 드라이필름 확보 여부가 경쟁의 분기점이다	[S-7-43] [S-7-44]
9	드라이필름을 꼭 해야 하나	웨이퍼에서 패널로 넘어가면 대면적 균일 도포가 과제가 되어 무게중심이 액상 spin-coat에서 드라이필름으로 이동한다. IPC-4104도 감광성 유전체를 드라이필름과 액상으로 나누어 인증 요구를 규정하므로, 두 형태는 별개의 인증 경로를 갖는다	[S-7-30]

번호	질문	답	출처
10	Namics 독점은 언제 깨지나	시점은 확인되지 않는다. 공개 확인되는 것은 SK하이닉스향 MR-MUF 언더필이 Namics 단독 공급이라는 보도와, 계약 잔여기간 약 1년이라는 익명 단일 계열 출처의 전언뿐이다. 계약서와 공식 만료일, 갱신 여부는 확인되지 않으므로 만료 연도를 산출할 근거가 없다. 같은 보도는 hybrid bonding 전환이 지연될 가능성을 더 크게 보았다	[S-7-24]
11	그러면 MR-MUF를 삼성SDI가 할 수 있나	MR-MUF에 한정하면 진입 근거가 약하다. 삼성이 TC-NCF를 유지하므로 그룹 내 MR-MUF 수요가 제한적이고 SK하이닉스향은 독점 공급 보도가 있기 때문이다 [S-7-24]. 다만 이 제약은 MR-MUF 수지에 대한 것이고 NCF 전체의 진입 차단 근거가 아니다. NCF는 TC-NCF 유지로 수요가 존재하므로 별도 과제로 평가한다 [S-7-23]	
12	NCF는 어떤가	삼성이 TC-NCF를 유지하므로 수요는 존재한다. 상위 3사가 약 99%를 차지한다는 추정이 있으나 단일 조사기관 수치이고 Henkel이 포함되므로 일본 독점이라고 부르면 부정확하다. Resonac은 2024년 3월 보도자료에서 HBM용 NCF와 TIM의 생산능력을 기존 대비 3.5~5배로 늘리겠다고 밝혔다. 필름 코팅과 점접착 역량이 인접하지만 삼성SDI의 진입 보도는 확인되지 않으므로, MR-MUF와 분리해 별도 과제로 평가한다	[S-7-23] [S-7-62]
13	TIM 사업을 해야 하나	화학은 인접하지만 사업 모델이 다르다. TIM의 성능은 벌크 열전도도가 아니라 BLT 제어와 압력분포, 사이클 내구로 평가되므로 소재에 더해 기계·신뢰성 검증 데이터를 묶어 파는 사업이 된다. 시장은 2025년 $4.62B에서 2035년 $13.64B로 커지지만 액침 냉각이 확산되면 폴리머 매트릭스가 배제될 위험이 있다	[S-7-18]
14	CPO가 삼성SDI와 무슨 상관인가	PID 화학이 도파로 클래딩과 저Df 유전체로 이전될 수 있다. 다만 대규모 배치 시점은 2028~2030년이므로 매출 기여는 그 이후다 [S-7-19]. 시장 규모는 photonics packaging 전체 2031년 약 $14.4B와 그 가운데 CPO 관련 패키징 약 $5B로 나뉘며, 어느 쪽도 CPO 시스템 전체 매출이 아니다. 굴절률 정합과 리플로우 내성을 동시에 만족하는 광학 접착제가 미충족 스펙으로 거론되지만 이는 업계 분석 단계다	[S-7-19] *[C-7-35]*
15	유리기판은 언제 실제로 오나	회사 설명 기준의 일정만 확인된다. 삼성전기는 8월 12일 인증 지연 보도를 8월 19일에 반박하면서 유리 코어 기판 2027년 하반기, 완성 기판 2028년을 제시했다. 앱솔릭스는 증자와 신뢰성 평가 단계가 보도되었을 뿐 양산이나 상용화 목표 연도는 원출처 근거가 없다. LG이노텍은 2028년 양산을 목표로 제시했다. 삼성SDI가 겨냥할 슬롯은 빌드업 유전체다	[S-7-41] [S-7-48] *[C-7-19]*
16	범용 DRAM 값이 오르면 HBM 투자가 줄어 소재 수요도 줄지 않나	캐파 재배분 리스크는 실재하지만 순효과는 소재사에 유리하다. HBM 웨이퍼 투입 비중은 2025년 말 18%에서 2027년 말 30%로 확대될 전망이고, 가격 격차 축소는 HBM3E 하락이 아니라 DDR5 급등에 따른 상대적 현상이다. 다만 웨이퍼 투입 비중과 비트 공급 비중, 패키지 수량, 소재 사용량은 서로 다른 지표이므로 하나로 소재 매출을 예측할 수 없다	[S-7-15] [S-7-16]
17	온양과 평택 신라인이 삼성SDI에 실제로 창인가	물리적 근거가 있다. 삼성전자는 아산 온양캠퍼스 38만9,825㎡ 부지에 6조원을 투자하는 신규 공장을 2026년 하반기에 착공할 예정이며 충남도 도시계획위원회가 8월 19일 관련 안건을 의결했다. 착공 시점은 9월설과 10월설이 병존하고 양산 목표는 2029년 5월로 보도되었으며, 9월 27일 기준 착공식 개최는 미확인이다. 온양에는 TSV 기반 첨단 패키징 라인이 들어서고 천안의 HBM 패키징 라인과 이원화된다. 다만 착공 자체가 소재 공급사 선정을 뜻하지 않는다	[S-7-52] [S-7-53]

번호	질문	답	출처
18	해외 고객으로 바로 갈 수 있나	회사가 2026년 1분기에 "글로벌 반도체사에 패키징 소재 신규 진입 등 해외 고객 다변화에 집중"한다고 밝혔고 2분기에 글로벌 고객사 신규 공급을 성과로 제시했다. 다만 고객명과 공급 개시일은 공개되지 않았다. 대만 소재사의 사례를 보면 전공정 소재 한 품목에 6년 동안 시료 1,400회 제출이라는 일화가 전해질 만큼 난이도가 높으므로, 국내 레퍼런스를 먼저 확보한 뒤 세컨드 소스로 가는 2단 전략이 현실적이다	[S-7-03] [S-7-04] [S-7-27]
19	실리카 필러를 일본에서 사는데 원가 경쟁이 되나	Denka는 2024년 11월 IR에서 반도체 봉지 용도의 구상 실리카 점유율 약 30%를 유지하는 전략을 제시했다. 이는 응용을 한정한 회사 수치이며 전체 실리카 시장이나 3사 합산으로 확대하면 안 된다. 상류 종속은 원가와 개발 속도 양쪽에 제약이 되므로, 고방열 EMC의 차별화는 필러 자체보다 분산·계면 설계와 수지 배합에서 만들어야 한다. 삼화페인트와의 MMB 협력이 그 방향의 사례다	[S-7-09] *[C-7-11]*
20	삼성SDI의 다섯 축 가운데 어디에 먼저 자원을 넣어야 하나	진입 확률과 시장 성장률의 곱으로 보면 축 ①, 축 ③, 축 ②, 축 ⑤, 축 ④ 순서다. 축 ①은 이미 매출이 나므로 즉시 확장하고, 축 ③은 2026~2029년 퀄 창에 맞춰 신뢰성 데이터를 쌓으며, 축 ②는 드라이필름 그레이드 확보를 분기점으로 삼고, 축 ⑤는 검증 데이터 패키지부터 만들고, 축 ④는 MR-MUF를 보류하되 NCF는 별도 과제로 남긴다	[S-7-03] [S-7-18] [S-7-20]

스무 개 질문의 답을 연도 축에 올리면 2026년부터 2030년까지의 5년 소재 로드맵이 된다. 이 로드맵에는 다섯 개 궤적이 겹친다.

- **HBM 적층 단수**: 12단에서 16단을 거쳐 20단으로 간다.
- **본딩 방식의 전환 시점**: 삼성은 빨라야 16단 HBM4E에서 hybrid bonding을 부분 채택한다는 보도가 있다. SK하이닉스는 Hot Chips 2026 보고를 전한 보도 기준으로 빨라야 HBM5다. 대량 채택 양산은 2029년에서 2030년으로 전망된다. 세 항목 모두 회사 확정이 아니라 학회 보고의 2차 보도와 업계 전망이다 [S-7-63][S-7-64].
- **패널화와 유리화 시점**: 삼성전기의 글라스 코어 양산과 LG이노텍의 2028년 유리기판 양산 목표가 여기에 놓인다 [S-7-41][S-7-49].
- **광통합**: CPO 대규모 배치가 2028년에서 2030년 구간에 놓인다 [S-7-19].
- **삼성SDI의 다섯 기회 축**: 각 축이 창을 만나는 시점이 이 궤적에 놓인다. 이 궤적으로 "삼성SDI가 지금 무엇을 준비하면 어느 해에 매출이 되는가"를 가늠한다.

로드맵에서 나오는 행동 제안은 다섯 개이며 각각 시점이 붙는다. 근거는 7.1부터 7.5까지의 절에 있다.

2026~2030: 기술 변화와 자료의 행동 제안을 같은 축에 놓는다

회사 설명·보도·업계 전망·자료 권고를 색과 문구로 구분한다.

2026~2029 퀄 창은 교재의 분석 프레임이다. 기업의 공식 소재 인증 마감일·매출 발생 시점을 뜻하지 않는다.

연도가 없는 세대 변화는 연도 칸에 고정하지 않고, 일정은 근거 등급과 함께 읽는다.

F-7-10A · 근거: S-7-19 · S-7-41 · S-7-49 · S-7-63 · S-7-64 · C-7-19 · 개념도, 축척 아님 · 특정 고객 BOM 아님

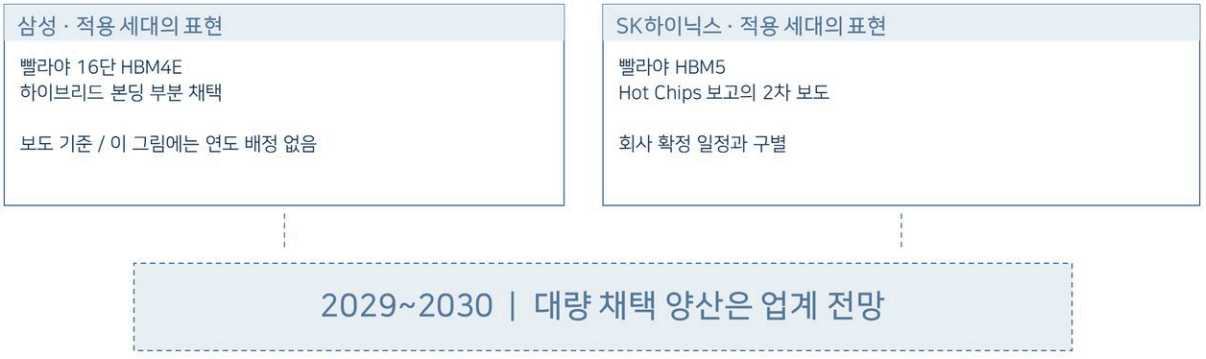
도해 F-7-10A · 2026~2030: 기술 변화와 자료의 행동 제안을 같은 축에 놓는다 · 근거 S-7-19, S-7-41, S-7-49, S-7-63, S-7-64, *C-7-19*

연도가 없는 세대 변화는 연도 칸에 고정하지 않고, 일정은 근거 등급과 함께 읽는다.

IV 삼성SDI 응용 확장
영남대학교 Yeungnam University

본딩 전환의 "세대"와 "연도"는 다른 정보다

하이브리드 본딩의 적용 세대와 대량 채택 전망을 분리해 표시한다.



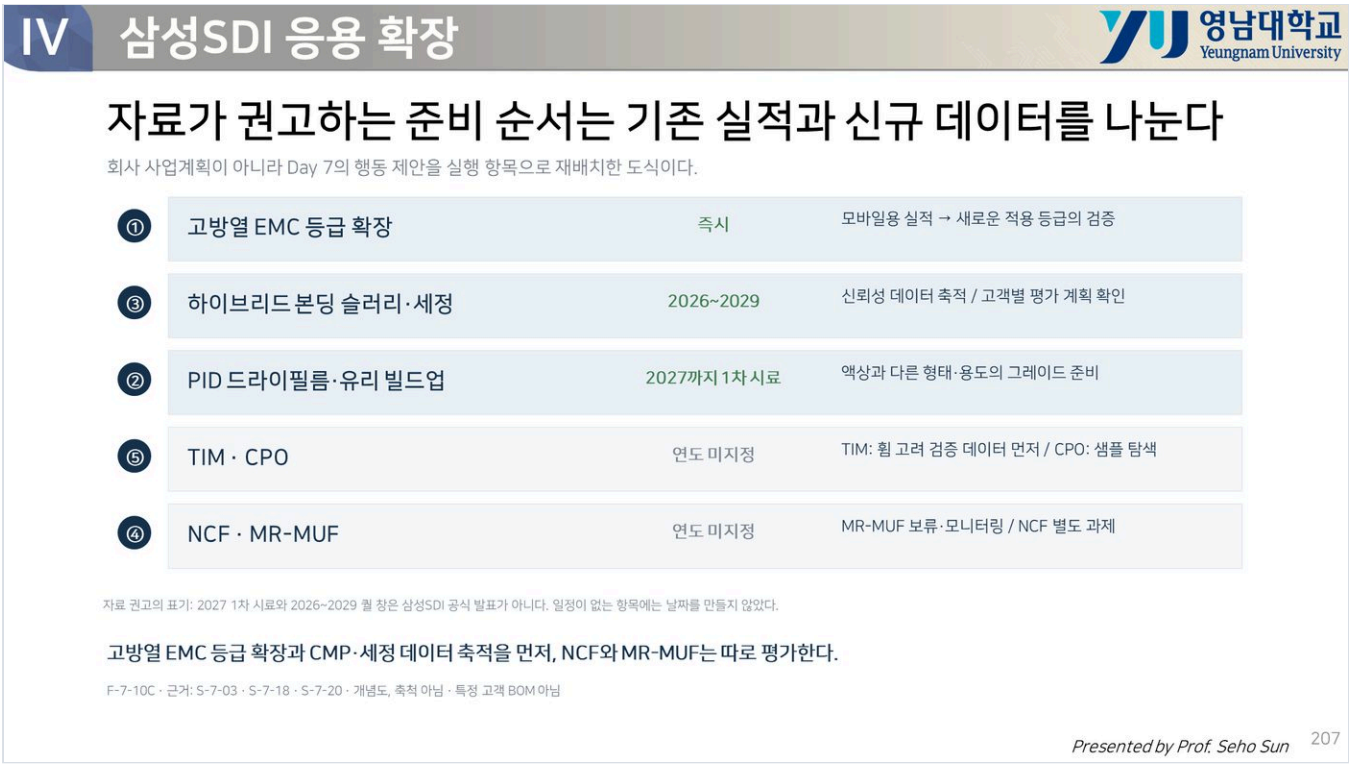
HBM 단수 12 → 16 → 20의 진행은 교재에 있으나 각 단수의 연도는 없어 시간 축에 찍지 않았다.

시연·부분 채택·대량 양산을 하나의 날짜로 합치지 않는다.

F-7-10B · 근거: S-7-63 · S-7-64 · 개념도, 축척 아님 · 특정 고객 BOM 아님

도해 F-7-10B · 본딩 전환의 "세대"와 "연도"는 다른 정보다 · 근거 S-7-63, S-7-64

시연·부분 채택·대량 양산을 하나의 날짜로 합치지 않는다.



도해 F-7-10C · 자료가 권고하는 준비 순서는 기존 실적과 신규 데이터를 나눈다 · 근거 S-7-03, S-7-18, S-7-20
고방열 EMC 등급 확장과 CMP·세정 데이터 축적을 먼저, NCF와 MR-MUF는 따로 평가한다.

- 고방열 EMC의 적용 등급 확장은 즉시 착수한다.
- hybrid bonding용 슬러리와 세정액의 신뢰성 데이터 축적은 2026년부터 2029년까지의 퀄 창에 맞춘다.
- PID 드라이필름과 유리 빌드업 그레이드 개발은 2027년까지 1차 시료를 확보한다.
- TIM은 소재 개발에 앞서 휨을 고려한 검증 데이터 패키지를 먼저 만든다.
- CPO 광학 접착제는 샘플 수준의 탐색에 머문다.

> **소재 관점에서 보면**: 질문 스무 개 가운데 열두 개가 "삼성SDI가 할 수 있나"를 묻고 여덟 개가 "언제인가"를 묻는다. 두 종류 모두 답은 회사 공식 문장이나 표준 같은 근거에서 출발해 시점으로 이어진다. 확인되지 않은 부분은 각 답의 끝에 불확실하다고 적었다.

7.7 최신 동향 (2026년 8월 22일 이후)

관련 슬라이드: 95쪽

관련 도해: F-7-06A 국내 지형은 직접 경쟁·수요처·장비 파트너로 나눈다 · F-7-06B 직접 경쟁사의 "무엇을 공개했는가"를 소재별로 분리한다 · F-7-06C 기판사는 소재 수요처이고, 장비사는 일정의 선행 지표다

직전 기준일인 2026년 8월 22일 이후 2026년 9월 19일까지 확인된 변화는 열두 가지이고, 9월 27일까지 새로 확인한 여덟 건을 더하면 스무 건이다. 새로 확인한 여덟 건은 이 절 뒤쪽의 추가 확인 소제목(2026년 9월 27일 기준)에 날짜 순으로 적었고, 국내 기판사·장비사 소식 다섯 건은 7.4절의 같은 소제목에 따로 적었다.

- **SK하이닉스 인디애나 착공식 개최**: SK하이닉스의 인디애나 첨단 패키징 팹 착공식이 2026년 8월 27일에 실제로 열렸다. 장소는 퍼듀대학교 West Lafayette 캠퍼스의 Holloway Gymnasium이었다. 인디애나 주지사 Mike Braun, 연방 상원의원 Todd Young, 퍼듀대 총장 Mitch Daniels, 주미 한국대사 강경화, 곽노

정 SK하이닉스 대표가 참석했다. 회사는 한국에서 웨이퍼를 보내 인디애나에서 첨단 패키징과 테스트를 거쳐 미국산 제품으로 공급하겠다고 밝혔다. 100개가 넘는 소재·부품·장비 회사를 협력사 후보로 검토하고 있다고도 했다 [S-7-51]. 이전 기준의 "2026년 8월 27일 착공식 예정"은 이제 "착공식 개최"로 확정되었다.

같은 보도자료에서는 일정과 금액이 이전 기준과 달라졌다. 이전 기준은 서로 다른 두 문서에서 나왔다. 투자 규모 약 38.7억 달러와 2028년 하반기 양산 목표는 2024년 4월 3일 SK하이닉스 투자협약 공표에서 나왔다. CHIPS 직접보조금 최대 4.58억 달러와 별도 대출 지원 최대 5억 달러는 2024년 12월 19일 미국 NIST 공표에서 나왔다 *[C-7-09]*. 2026년 8월 착공식 보도자료는 투자를 40억 달러 초과로 표기하고, 클린룸 개소를 2028년 10월로, 차세대 HBM 양산 개시를 2029년 하반기로 명시했다 [S-7-51].

두 기준은 다음과 같이 읽는다. 일정은 최신 공표인 2029년 하반기가 유효하고, 이전의 2028년 하반기 양산 표기는 구버전이다. 금액은 2024년 12월 NIST 기준과 2026년 8월 회사 기준이 각각 그 시점의 값이다. 다만 투자 포함 범위가 확인되지 않았으므로 두 값의 차액을 증액분으로 볼 수 없다 *[C-7-09]*[S-7-51]. 협력사 후보 100개사 이상이라는 표현은 소재·부품·장비를 모두 포함한 수치이므로 소재사만의 기회 규모로 읽으면 안 된다.

- **삼성전자 온양캠퍼스 착공 절차 진전**: 충청남도는 2026년 8월 19일 제8회 도시계획위원회에서 개발행위 규모 초과 안건을 의결했다. 삼성전자는 38만9,825㎡ 부지에 6조원을 투자하는 신규 반도체 공장을 2026년 하반기에 착공할 예정이다 [S-7-52]. 착공 시점은 9월설과 10월설이 병존하고 양산 목표는 2029년 5월로 보도되었으므로 한 시점으로 단정하지 않는다 [S-7-53]. 2026년 9월 19일 현재 착공식 개최를 보도한 기사는 확인되지 않았으므로 현재 상태는 "착공 예정"이다. 온양에 들어서는 라인이 TSV 기반 첨단 패키징이며 천안의 HBM 패키징 라인과 이원화된다는 것은 별도 보도로 확인된다 [S-7-53].

- **SEMICON Taiwan 2026의 LG화학 출품**: SEMICON Taiwan 2026이 2026년 9월 2일부터 4일까지 타이베이 난강전시센터에서 열렸다. LG화학은 HBM을 비롯한 AI 반도체용 첨단 패키징 소재와 전력반도체 소재 솔루션을 출품했다 [S-7-44]. 공개된 소재군에는 Build-up Film, PID, DAF, Bonding/Debonding, Stripper, TIM이 포함되었다 *[C-7-18]*. 국내 PID 경쟁사가 아시아 최대 반도체 전시회에서 패키징 소재를 전면에 내세운 것은 경쟁 강도가 한 단계 올라갔다는 신호다. 다만 이 공개에도 고객명과 인증 통과 여부는 담기지 않았다.

- **KPCA Show 2026의 LG이노텍 대면적 FC-BGA**: KPCA Show 2026이 2026년 9월 9일부터 11일까지 인천 송도컨벤시아에서 열렸고, LG이노텍이 AI 가속기용 대면적 FC-BGA를 처음 공개했다. 한 변이 100㎜를 넘는 대면적 기판과 가로·세로 85㎜ 제품을 함께 전시했다. 2027년 FC-BGA 양산과 2028년 유리기판 양산을 목표로 제시했고, 기판 내부에 칩을 넣는 칩 임베딩 기술도 공개했다 [S-7-41]. 기판 대면적화는 감광성 유전체의 대면적 균일 도포 요구와 직결된다.

- **KCC의 반도체·열관리 소재 확장**: KCC가 2026년 9월 10일 보도를 통해 반도체·열관리 소재 확장 계획을 드러냈다. 글로벌 메모리 업체의 품질 검증을 거친 DDR5용 EMC를 2025년 10월부터 양산 공급하고 있다. 2026년 6월 독일 PCIM 2026에서는 고신뢰성 AMB 세라믹 기판과 고내열 EMC에 더해 액상 봉지재 LMC를 새로 공개했다. 적용처도 전기차 중심에서 AI 데이터센터의 전력반도체와 파워모듈까지 넓히고 있다 [S-7-42]. 국내 EMC 경쟁이 실질화되고 있다는 뜻이다.

- **Ajinomoto의 중국 본토 ABF 공급 축소 보도**: Ajinomoto가 2026년 8월 중국 본토 고객에게 ABF 필름 공급을 약 30% 줄이겠다고 통보했다는 보도가 나왔다. 같은 계열 보도는 이 회사의 ABF 월 생산능력이 2026년 2분기에 200만 제곱미터를 넘었지만 이미 완전 가동 상태이고, 다음 증설은 2028년에야 시작된

다고 전했다 [S-7-21]. 다만 중국 공급 축소는 익명 업계 소식통 전언이고, 약 30% 가격 인상은 기판사 통지를 근거로 한 보도이므로 근거 수준이 다르다 *[C-7-13]*. 두 항목을 합쳐 보면 빌드업 소재의 이원화 유인은 2026년 하반기에 더 커진 상태다 [S-7-22].

- **삼성SDI 고방열 EMC의 적용 단계 공개**: 삼성SDI가 2026년 9월 18일 IR52 장영실상 37주차 수상 자료에서 모바일용 고방열 EMC의 적용 단계를 구체적으로 설명했다. 국내 반도체 제조사 두 곳의 양산 승인이 2025년 상반기에 이루어졌고, 2026년부터 해외 메모리 업체로 수출을 시작했다. 고객사는 이 소재를 도입한 뒤 열저항을 D램 최대 47%와 AP 16%까지 개선했다 [S-7-56]. 이전 자료에는 없던 단계 정보이며, 7.1의 공식 발언 표 마지막 행이 이 내용이다.
- **삼성전기·앱솔릭스의 글라스 코어 투자와 전시**: 삼성전기가 2026년 9월 2일 글라스 코어 합작사 출자 3,191억원과 지분 66.2%를 보도로 공개했다. 같은 날 앱솔릭스가 2026년 8월 21일 이사회에서 결정한 4,011억원 주주배정 증자와 SKC의 9월 4일 약 2,810억원 투입 결정이 함께 보도되었다 *[C-7-19]*. 보도에 나오는 상용화 목표 연도는 원출처 근거가 없다. 이어 9월 10일에는 삼성전기 뉴스룸이 2.5D와 2.1D, 글라스 기판을 포함한 차세대 기판 기술 전시를 공식 공개했다 *[C-7-26]*. 투자와 전시는 고객 인증 완료와 다른 단계다.
- **덕산하이메탈의 KPCA Show 출품**: 덕산하이메탈이 2026년 9월 9일 KPCA Show에서 솔더볼과 MSB, Cu-Cored 솔더볼, 페이스트, 플럭스를 출품했다 *[C-7-20]*. 이 기사에서 특정 신규 고객 인증은 확인되지 않으므로 신규 수주로 볼 근거가 없다. 같은 회사가 2026년 2분기에 영업이익 101억원으로 흑자 전환한 사실과 묶으면, 솔더 계열 수요가 FC-BGA 쪽에서 회복되고 있다는 해석이 가능하다 [S-7-38]. 출품 품목에 HBM용 항목이 없다는 점도 회사의 기존 설명과 정합한다 [S-7-39].
- **TrendForce 3분기 HBM 보고서 갱신**: TrendForce가 2026년 9월 1일 3분기 HBM 시장 동향 보고서를 갱신했다. 공개 요약은 세대 전환과 공급·가격 협상력 변화를 다루지만 달러 기준 시장 총액은 공개하지 않는다 *[C-7-33]*. 따라서 이 자료만으로는 HBM 시장 규모를 알 수 없다. 공개 확인이 가능한 지표는 웨이퍼 투입 비중과 비트 공급 비중이다 [S-7-16]. 두 지표는 매출 시장 규모와 다른 측정치다.
- **TrendForce의 CoWoS-L 전망**: TrendForce가 2026년 9월 18일 분석에서 CoWoS-L이 기술 성숙도와 수율 우위를 바탕으로 2028년까지 AI 칩 패키징의 주류 기술 지위를 유지할 것으로 전망했다 [S-7-60]. 같은 분석은 칩 크기 증가와 HBM 모듈 증가로 실리콘 인터포저 제조가 물리적 한계에 가까워지고 있다고 지적했다. Intel의 EMIB-T가 대형 인터포저 의존을 줄이는 대안으로 거론되지만, 2028년 이전에 의미 있는 점유율을 가져가기는 어렵다고 보았다. 소재사에게 이 분석의 쓸모는 공급 제약이 지속된다는 상태 확인에 있다. 공급 제약이 대체 플랫폼이나 대체 소재의 자동 채택을 뜻하지는 않기 때문이다.
- **SK하이닉스의 Intel 협력 보도 해명**: SK하이닉스가 2026년 9월 16일 Intel과의 미국 메모리 생산 협력 보도에 대해 구체적인 계획과 합의, 결정이 확정되지 않았다고 설명했다 *[C-7-25]*. 이 사안은 인디애나 패키징 투자와 별건이다. 이를 확정 투자 계획으로 읽으면 회사의 공식 설명과 충돌한다. 따라서 이 보도는 회사가 확정하지 않았다는 사실과 함께 읽어야 한다.

9월 19일 이후 추가 확인 (2026년 9월 27일 기준)

- **TOK 평택 공장 준공(2026년 9월 15일)**: 포토레지스트 세계 1위 업체인 일본 TOK가 평택 포승지구 공장을 준공했다 [S-7-73]. 총투자는 1,010억원이고 이 가운데 외국인 직접투자가 706억원이며, 부지는 55,560㎡다. 초기 생산 품목은 반도체용 고순도 화학제품이고, 포토레지스트 생산라인은 향후 추가로 구축할

계획이라고 밝혔다. 보도는 주요 고객으로 삼성전자, SK하이닉스, TSMC, Intel을 들었다. 일본 과점 소재사가 한국 고객 근처에 생산 거점을 두면 "공급망 리스크 때문에 국내 소재를 쓴다"는 논거의 강도가 낮아진다.

- **삼성전자 온양 착공식 미확인(2026년 9월 27일 현재)**: 삼성전자 온양 신규 팹의 착공식 개최는 2026년 9월 27일 현재에도 확인되지 않았다. 확인된 것은 아산시가 2026년 9월 15일 삼성전자와 삼성디스플레이 투자 거점 주변의 온양 대로2-17호(아산현충사IC) 연결도로 개설공사에 착수했다는 사실뿐이다 [S-7-74]. 연결도로 착공을 공장 착공으로 읽어서는 안 되므로 이 자료의 "착공 예정" 표기를 유지한다 [S-7-52][S-7-53].
- **제3기 소부장 특화단지 선정(2026년 9월 17일)**: 산업통상부가 제3기 소재부품장비산업 특화단지 네 곳을 선정했고, 이 가운데 반도체 몫은 두 곳이다 [S-7-75]. 충남 천안·아산은 반도체 후공정 단지로 하나마이크론과 TSE가 주요 기업이며, 목표는 "HBM 패키징 장비 및 테스트부품 자립", 민간투자는 2030년까지 3,700억원이다. 전북 군산·익산은 반도체 화학소재 단지로 동우화인켐, 한솔케미칼, OCI, PKC가 주요 기업이며, 목표는 "반도체 화학소재 자립", 민간투자는 8,300억원이다. 정부 지원은 5년간 총 1,600억원, 단지당 약 400억원이다. 삼성전자 천안·온양 후공정 투자와 같은 지역에 정책 지원이 겹치지만, 후공정 단지가 명시한 대상은 장비와 테스트부품이지 패키징 소재가 아니다.
- **SK하이닉스 트리니티 팹(2026년 9월 17일)**: SK하이닉스가 1,000평 규모의 트리니티 팹을 2027년부터 열어 협력사 제품의 신뢰성 검증과 공동 R&D 테스트베드로 쓰겠다고 밝혔다 [S-7-76]. 회사는 7월에 밝힌 향후 5년간 1조4,000억원 규모의 소재·부품·장비 협력사 상생 자금을 재확인했다. 10월 15일 130여 개 협력사 임직원과 가족 약 3만 명을 초청하는 행사도 예고했다. 소재사 입장에서 트리니티 팹은 고객 양산 라인 밖에서 평가 데이터를 쌓을 수 있는 경로다. 7.3절 진입 루트 가운데 고객 공동 평가의 예시에 해당한다.
- **삼성SDI 고방열 EMC 기술 보도(2026년 9월 21일)**: 디일렉이 삼성SDI 고방열 EMC의 기술 내용을 추가로 보도했다 [S-7-77]. 이 소재는 필러로 열전도율이 높은 알루미나를 적용하고 독자 개발한 촉매 기술을 더해 방열 특성과 성형성, 고강도 물성을 함께 확보했으며, 모바일 AP와 D램 등 초박형·고집적 반도체에 적용되고 있다. 회사는 2015년부터 고방열 소재 기술을 개발해 왔다고 설명했다. 기사에 HBM 적용 언급은 없으므로 적용처를 HBM으로 넓혀 읽지 않는다. 9월 18일 IR52 자료 [S-7-56]에 필러 조성과 개발 착수 시점이라는 기술 정보가 더해진 셈이다.
- **삼성SDI 3분기 실적 증권가 추정 상향(2026년 9월 23일, 9월 27일 보도)**: 삼성SDI 3분기 실적에 대한 증권가 추정이 9월 하순에 올라갔다. 2026년 9월 23일 보도는 iM증권이 3분기 영업이익을 2,850억원, 매출을 약 4조1,000억원으로 추정했다고 전했다. 전자재료 부문에서는 "폴더블 스마트폰용 필름 소재 판매가 개선 요인"으로 꼽혔다고 적었다 [S-7-78]. 9월 27일 보도는 9월 21일 기준 영업이익 컨센서스가 3개월 전 148억원에서 1,251억원으로 올랐고 NH투자증권 추정은 2,603억원이라고 전했다. 개선 요인으로는 완성차 업체의 최소 구매 물량 미달 보상금과 ESS 매출 증가를 들었다 [S-7-79]. 이 수치들은 모두 증권사 추정치이고 전자재료 부문의 별도 추정은 없다. 실제 3분기 실적은 세미나 이후에 공표될 예정이며 9월 27일 현재 공표 일자는 공지되지 않았다.
- **Yole 고성능 패키징 별도 보고서(2026년 9월 24일 보도)**: Yole Group의 High End Performance Packaging 2026 보고서가 전문지 보도로 소개되었다 [S-7-81]. 이 판본은 고성능 패키징(high-end performance packaging) 시장이 2025~2031년 연평균 27% 성장해 2031년 510억 달러를 넘을 것으로 전망했다. CoWoS-L을 포함하는 mold interposer 부문은 연평균 28.1% 성장하며, CoPoS와 CoWoP 형식은 2028~2029년에 등장할 것으로 보았다. 같은 보도는 2025년 기준 상위 6개 기업이 이 시장의 약 97%

를 차지한다고 전했다. 이 수치는 Advanced Packaging 전체 시장을 다룬 2026년 7월판 [S-7-10]과 분모가 다른 보고서이므로 두 값을 이어 붙이거나 합산하지 않는다. 인용할 때는 보고서명과 판본을 함께 적는다.

- **중국 유리기판 업체 진행 상황(2026년 9월 26일 보도)**: 디일렉이 중국 유리기판 업체들의 진행 상황을 보도했다 [S-7-80]. WG테크는 약 5억 위안을 들인 1단계 라인에서 상반기 고객사 검증을 마치고 소량 공급 단계에 들어가 2단계 투자를 진행하고 있다. BOE는 약 9억9,300만 위안 규모의 파일럿 라인을 구축해 2027년 상반기에 양산라인 투자 여부를 결정하며, CSOT는 2026년 하반기 시제품 공개와 파일럿 라인 구축을 추진한다. 기사는 국내 유리기판 업계 관계자의 말을 빌려, 중국이 설비를 먼저 구축하고 고객 평가를 받는 방식이어서 사업화 속도만 보면 한국보다 빠르다고 전했다. 이 평가는 업계 전언이므로 출처 성격과 함께 읽어야 한다.

추가분 가운데 소재 관점에서 무게가 있는 것은 두 갈래다. 하나는 경쟁 조건의 변화다. 일본 소재사가 국내에 생산 거점을 두고 중국 기판사가 유리기판 사업화를 서두르면서, 국산화 논거와 일정 여유가 함께 줄어든다. 다른 하나는 진입 경로의 확대다. 고객의 협력사 테스트베드와 후공정 특화단지가 평가 기회를 늘리지만, 어느 쪽도 소재 채택을 약속하지 않는다. 이 자료의 최신 동향 기준 시점은 2026년 9월 27일이며, 날짜와 함께 인용할 만한 것은 9월 17일 소부장 특화단지 선정, 9월 21일 고방열 EMC 기술 보도, 9월 22일 SKC의 앱솔릭스 추가 출자다 [S-7-75][S-7-77][S-7-67].

기준일 이후에 다시 확인할 항목은 다섯 가지다.

- **삼성SDI 3분기 실적 공표와 컨퍼런스콜**: 세미나 이후에 공표될 예정이다(2026년 9월 27일 현재 일자 미공지). 전자재료 부문 코멘트가 나오면 7.1의 공식 발언 표와 대조한다.
- **삼성전자 온양 착공식의 실제 개최 여부**: 2026년 9월 27일 현재는 행정 절차 완료와 착공 예정까지만 확인되었다. 개최 보도가 나오기 전까지 정확한 상태는 "착공 예정"이다 [S-7-52].
- **Ajinomoto ABF 가격 인상의 3분기 실제 적용 여부**: 통지 단계와 적용 단계는 다르므로 적용 여부는 따로 확인해야 한다 [S-7-22].
- **Namics 독점 계약 만료에 관한 후속 보도**: 단일 계열 출처인 상태가 유지되는지, 교차 확인되는 보도가 추가되었는지에 따라 표기 강도가 달라진다 [S-7-24].
- **Yole Advanced Packaging 최신 판본**: 새 판이 나오면 대표 단일 수치도 새 판 기준으로 바뀐다 [S-7-10].

반면 이 기간에 새 사실이 확인되지 않은 항목도 있다. 온양은 9월 27일 현재에도 착공이 가능한 상태까지만 확인되고 착공식 개최 완료 날짜는 미확인이다 [S-7-52]. 삼성SDI 전자재료 부문의 별도 3분기 정량 가이던스와 대규모 투자, 조직 개편 공표도 확인되지 않았으므로, 실적 관련 최신 1차 근거는 7월 말의 2분기 자료다 [S-7-02][S-7-03]. Namics 계약의 만료·갱신·독점 해제에 관한 후속 공식 확인도 없다 [S-7-24]. HBM4E 경쟁은 6월 기준으로 삼성이 5월 말, SK하이닉스가 6월에 12단 샘플 출하를 알린 상태다. 같은 보도는 메모리 인증이 시스템 레벨 검증으로 이동하면서 TSMC의 CoWoS 캐파가 변수가 될 수 있다고 전했다 [S-7-54]. 3분기 실적은 세미나 이후에 공표될 예정이므로 이 자료의 실적 기준은 2분기다.

> **소재 관점에서 보면**: 한 달 사이의 변화는 모두 같은 방향을 가리킨다. 후공정 캐파 투자가 실제로 집행되고 있고, 기판이 대면적화되고 있으며, 일본 상류 소재의 공급 제약이 심해지고 있다. 세 가지 모두 국내 소재사의 진입 창을 넓히는 쪽으로 작용한다. 열두 건과 9월 27일까지 추가로 확인한 여덟 건을 지난 한 달의 증거로 함께 읽을 때 이 방향이 분명해진다.

7.8 핵심 정리

관련 슬라이드: 20쪽 · 45쪽 · 90쪽 · 91쪽 · 98쪽 · 103쪽 · 104쪽 · 105쪽

관련 도해: F-7-01A 보유 소재는 패키지의 네 공정 지점에 닿는다 · F-7-01B EMC와 PID는 완성 패키지의 서로 다른 층에 남는다 · F-7-01C 접합면과 박형화는 완성 단면 밖의 공정으로 확대한다 · F-7-10A 2026~2030: 기술 변화와 자료의 행동 제안을 같은 축에 놓는다 · F-7-10B 본딩 전환의 "세대"와 "연도"는 다른 정보다 · F-7-10C 자료가 권고하는 준비 순서는 기존 실적과 신규 데이터를 나눈다

번호	핵심 문장	출처
1	삼성SDI는 2026년 2분기 컨퍼런스콜에서 상반기 성과로 고방열 EMC와 같은 패키징 소재를 글로벌 고객사에 신규 공급했다고 밝혔다. 하반기 전망에서는 하이브리드 본딩용 슬러리 소재와 재배선 소재를 직접 언급했다. 삼성SDI의 Advanced Packaging 소재 사업은 신규 진입이 아니라 이미 시작된 확장 단계에 있다.	[S-7-03]
2	Yole의 2026년 7월 공표 기준으로 Advanced Packaging 시장은 2025년 550억 달러에서 2031년 1,200억 달러를 넘어설 전망이다. 2031년에는 전체 반도체 패키징 매출의 과반을 차지할 것으로 예측된다.	[S-7-10]
3	ABF의 95%는 Ajinomoto가 ASV Report 2023에서 FY2022 기준으로 제시한 자체 추정이며, 분모는 고성능 반도체 기판용 층간 절연필름이지 기판 시장 전체가 아니다. 2026년에는 약 30% 가격 인상이 통지되었고 중국향 공급 축소도 보도되었다. 과점이 흔들리는 신호는 점유율 숫자가 아니라 가격과 물량 배분에서 먼저 나타난다.	*[C-7-10]* [S-7-21] [S-7-22]
4	소재 인증에는 장기간이 걸리고, 그 기간은 신뢰성 시험의 최소 소요 시간이 결정한다. 조달 실무 자료가 제시하는 12개월에서 24개월은 전자부품 대체 조달 기준이므로 패키징 소재 일정으로 그대로 쓰지 않는다. 대만에서는 전공정 소재 한 품목에 6년 동안 시료 1,400회를 제출한 사례가 공개 포럼에서 전해졌다. 삼성SDI의 진입 일정은 고객별 평가 계획을 확보한 뒤에 잡아야 한다.	[S-7-26] [S-7-27]
5	하이브리드 본딩용 CMP는 기존 배선 CMP와 목표가 반대다. 구리를 평탄하게 만드는 것이 아니라 유전막보다 낮게 재현성 있게 남겨야 한다. 흔히 인용되는 1에서 5나노미터는 특정 어닐 조건의 사례값이고, 실제 목표치는 피치와 패드 구조와 어닐 조건에 따라 고객마다 다르다. 그래서 이 카테고리는 아직 POR이 굳지 않았고, 삼성SDI가 들어갈 자리가 남아 있다.	[S-7-35] [S-7-37]

7.9 자기 점검 퀴즈

관련 슬라이드: 82쪽

관련 도해: F-7-05A 배선 CMP와 본딩면 CMP는 남겨야 할 표면이 다르다 · F-7-05B 유전막이 먼저 닿고, 어닐에서 Cu 접촉이 완성된다

문항 1. 삼성SDI 전자재료의 2026년 2분기 실적으로 옳은 것은?

① 매출 2,220억원, 영업이익 210억원 ② 매출 2,367억원, 영업이익 393억원 ③ 매출 2,498억원, 영업이익 445억원 ④ 매출 8,826억원, 영업이익 1,295억원

문항 2. 2026년 2분기 컨퍼런스콜에서 삼성SDI가 하반기 전망으로 직접 언급한 소재를 모두 고르면?

① 하이브리드 본딩용 슬러리 소재와 재배선 소재 ② MR-MUF 언더필과 NCF ③ 유리기판 코어와 TGV 충전재 ④ 광학 접착제와 도파로 클래딩

문항 3. "세컨드 소스 퀄에 12~18개월"이라는 주장의 원출처에 관한 설명으로 옳은 것은?

① Yole의 Advanced Packaging 보고서가 패키징 소재를 대상으로 집계한 인증 기간 통계이며 반도체 소재 전용이다 ② TSMC가 공급사 설명회에서 공개한 공식 기준이며 파운드리 체인 전체에 동일하게 적용된다 ③ 전자부품 조달 전략 가이드가 자동차 Tier 2 세컨드 소스의 임계 경로로 제시한 수치이며, 같은 문서의 종합 구간은 12~24개월이다 ④ JEDEC JESD47이 시험 항목과 함께 규정한 표준 인증 소요 기간이며 개월 수가 규격에 명시되어 있다

문항 4. hybrid bonding용 Cu CMP의 요구 사항으로 옳은 것은?

① 구리를 유전막과 완전히 같은 높이로 평탄화하고 선택비를 최대화한다 ② 구리를 유전막보다 낮게 재현성 있게 남기고 마감 단계 선택비를 거의 1에 맞춘다 ③ 구리를 유전막보다 높게 돌출시켜 접촉 면적을 넓힌다 ④ 구리 제거 속도를 최대화하여 처리량을 높인다

문항 5. 2026년 8월 22일 이후 확인된 사실로 옳지 않은 것은?

① SK하이닉스 인디애나 팹 착공식이 2026년 8월 27일 퍼듀대에서 열렸다 ② 충청남도가 2026년 8월 19일 도시계획위원회에서 삼성전자 온양캠퍼스 관련 안건을 의결했다 ③ LG이노텍이 KPCA Show 2026에서 AI 가속기용 대면적 FC-BGA를 처음 공개했다 ④ 삼성SDI가 2026년 9월 전자재료 부문의 신규 대규모 투자 계획을 공표했다

서술형 1. "hybrid bonding으로 넘어가면 삼성SDI의 EMC 사업이 축소되는 것 아니냐"는 질문이 자주 나온다. 소멸하는 것과 남는 것, 전환 시점, 그리고 역방향 기회를 각각 근거와 함께 답하시오.

서술형 2. 다섯 개 기회 축의 우선순위를 정하고, 각 축에 대해 앞으로 12개월 안에 해야 할 일을 한 가지씩 제시하시오.

정답과 해설

아래는 위 문항의 해설이다. 먼저 스스로 답한 뒤 이 상자를 펼쳐 보듯 읽는다.

문항 1

정답은 ③이다. 2026년 2분기 전자재료 부문은 매출 2,498억원으로 전년 동기 대비 14.5% 증가했고 영업이익은 445억원으로 34.8% 증가했다 [S-7-02]. ①은 2026년 1분기 수치다 [S-7-08]. ②는 2025년 4분기 수치이고, 당시 영업이익률은 약 16.6%였다 [S-7-05]. ④는 2025년 연간 계속영업 기준 수치로, 분기 수치와 혼동하기 쉬우니 주의한다 [S-7-05]. 네 개가 모두 실제 존재하는 수치이므로 기간 라벨을 정확히 기억해야 한다.

문항 2

정답은 ①이다. 회사는 하반기 시장 전망에서 "유무기 패터닝 소재와 하이브리드 본딩용 슬러리 소재의 중요성이 높아지고 있다"와 "기존 방열 소재뿐만 아니라 재배선 소재, 공정용 점접착 필름 소재 등의 응용 분야가 확대되고 있다"를 말했다 [S-7-03]. ②는 기회 축 ④에 해당하지만 회사가 언급한 적이 없고, 오히려 삼성 진영이 TC-NCF를 유지하고 SK하이닉스는 독점 계약으로 닫혀 있어 우선순위 최하위다 [S-7-24]. ③과 ④는 분석상의 인접 기회일 뿐 회사 공식 발언이 아니다. 공식 발언과 분석을 섞어 인용하면 신뢰를 잃으므로 둘을 구분해야 한다.

문항 3

정답은 ③이다. 원출처는 2026년 5월 8일자 SupplyICs 조달 전략 문서이며, 자동차 Tier 2 부품의 임계 경로를 14~18개월로, 절 제목에서 12~24개월 구간을 제시하고, 조사 중앙값을 자동차 14개월·산업용 10개월·소비자용 7개월로 함께 제시한다 [S-7-26]. ①은 Yole 자료에 그런 통계가 확인되지 않으므로 틀렸다. ②는 TSMC 공식 자료가 아니며, 대만 쪽 사례로 전해지는 것은 전공정 소재의 6년·1,400회 시료 제출 일화이고 그 출처는 소재사 회장의 대학 포럼 발언이다 [S-7-27]. ④는 JESD47이 시험 항목과 조건을 규정할 뿐 인증에 걸리는 달수를 규정하지 않으므로 틀렸다 [S-7-28]. 자주 인용되는 수치일수록 원 맥락과 분모를 확인해야 한다.

문항 4

정답은 ②이다. 본딩면 CMP는 접합 후 어닐링 과정에서 구리가 팽창하여 접촉을 형성하도록 미세한 recess를 남기며, 이 값의 웨이퍼 전면 재현성이 수율을 결정한다 [S-7-35][S-7-37]. 다만 recess의 구체적 목표치는 피치와 패드 구조와 유전막과 어닐 조건에 따라 달라지므로 1~5nm를 보편 합격 규격으로 받아들이면 안 된다. ①은 기존 배선 CMP의 목표이고, 높이를 정확히 일치시키면 접합 계면에 보이드가 생길 수 있다. ③은 접합 전 돌출이 있으면 정렬과 평탄도가 무너지므로 틀렸다. ④는 처리량이 목표가 되면 dishing 제어가 무너져 결함으로 이어진다. 이 카테고리에서 결함은 수율 저하가 아니라 스택 전량 폐기를 뜻하므로 속도보다 재현성이 우선한다.

문항 5

정답은 ④이다. 2026년 9월 19일까지 삼성SDI 전자재료 부문의 신규 대규모 투자나 조직 개편 공표는 확인되지 않았다. 9월에 확인되는 회사 설명은 9월 18일 IR52 장영실상 수상 자료이며, 여기에는 모바일용 고방열 EMC의 국내 양산 승인 시점과 해외 수출 개시, 열저항 개선 수치가 담겼다 [S-7-56]. 실적 관련 최신 1차 근거는 7월 말의 2분기 자료다 [S-7-02][S-7-03]. ①은 착공식 개최가 보도자료로 확인되며 클린룸 개소는 2028년 10월, 양산은 2029년 하반기다 [S-7-51]. ②는 충남도 공표로 확인되며 2026년 하반기 착공 예정이다(9월설과 10월설 병존) [S-7-52]. ③은 2026년 9월 9일 기사로 확인되며 FC-BGA는 2027년, 유리기판은 2028년 양산 목표다 [S-7-41]. 확인되지 않은 공표를 확인된 사실로 옮기지 않아야 한다.

서술형 1

소멸 범위는 좁다. 없어지는 것은 솔더캡과 플럭스, 그리고 칩 사이를 메우는 갭필 언더필이며, 오버몰드와 패널 재구성 몰드, 구조재로서의 EMC는 그대로 남는다. 전환도 즉각적이지 않다. HBM4에서는 세 회사가 모두 마이크로범프를 유지했고, 최초 적용 후보는 16단 HBM4E이며, SK하이닉스는 16단에서도 기존 MR-MUF를 유지하기로 판단했다고 보도되었다 [S-7-24]. JEDEC 표준이 요구하는 스택당 대역폭과 채널 구조를 충족하는 한 기존 본딩 방식이 유지될 수 있다 [S-7-31].

역방향 기회도 있다. 적층 단수가 늘어나면 2028년까지 기존 본딩 소재의 수요는 오히려 증가하고, hybrid bonding 세대에서는 몰딩재의 열전도 요구가 올라가 고방열 EMC의 스펙 상향 수요가 생긴다. 소멸하는 것은 갭필 언더필이고, EMC는 요구 스펙이 올라가면서 살아남는다. 다만 갭필 매출은 2028년 이후 CMP 소모품으로 이동하므로 포트폴리오도 함께 옮겨야 한다.

서술형 2

우선순위는 축 ① 고방열 EMC, 축 ③ hybrid bonding 슬러리, 축 ② PID, 축 ⑤ TIM·CPO, 축 ④ 순서다. 축 ④는 NCF와 MR-MUF를 나누어 보며, MR-MUF가 최하위이고 NCF는 수요가 존재하므로 그보다 위에 둔다. 기준은 진입 확률과 시장 성장률의 곱이며, 확률은 회사의 공식 발언 유무와 POR 확정 여부로, 성장률은 시장 자료로 판단한다. 12개월 과제는 다음과 같다. 축 ①은 이미 글로벌 고객사 공급이 시작되었으므로 HBM용 최고급 등급과 패널레벨 대면적 등급으로 적용 범위를 넓히고, 상류 필러 의존을 줄이기 위해 국내 협력사와의 배합 개발을 확대한다 [S-7-03][S-7-09]. 축 ③은 2026~2029년이 쿼 창이므로 Cu recess 재현성과 선택비 데이터를 표준 시험 형식으로 축적하고 post-CMP 세정액을 묶어 제안한다 [S-7-35][S-7-37]. 축 ②는 드라이필름 그레이드 확보가 분기점이므로 IPC-4104가 나누는 두 인증 경로 가운데 필름 경로를 착수한다 [S-7-30]. 축 ⑤는 warpage를 고려한 검증 데이터 패키지를 먼저 만들고 CPO는 샘플 수준의 탐색에 머문다 [S-7-18][S-7-19]. 축 ④는 MR-MUF에 자원을 넣지 않고 계약 관련 보도를 모니터링하되, NCF는 수요가 존재하므로 필름 코팅 역량과의 접점을 별도로 점검한다 [S-7-23][S-7-24]. 이 우선순위는 "성장률이 가장 높은 축"이 아니라 "확률과 성장률의 곱"을 기준으로 정한 결과다.

7.10 용어 사전

관련 도해: F-7-09A NCF와 MR-MUF는 수지의 공급 형태와 접합 순서가 다르다 · F-7-09B NCF는 별도 평가하고, MR-MUF는 접근 가능한 수요처를 확인한다

용어(영문)	한 문장 정의	처음 나온 절
EMC (Epoxy Molding Compound)	수분과 충격 등 외부 환경으로부터 반도체 칩을 보호하는 에폭시 계열 몰딩 소재	7.1
PID (Photo Imageable Dielectric)	금속 배선층 사이의 절연막을 구성하는 감광성 패터닝 절연재	7.1
PSPI (Photosensitive Polyimide)	감광성 폴리이미드로, 재배선층 절연막에 쓰이는 PID의 대표적 화학 계열	7.2
MMB (Master Batch)	EMC를 제조할 때 쓰이는 반제품 형태의 배합 원료	7.1
LMC (Liquid Molding Compound)	액상 형태의 봉지재로, 미세 갭 충전과 대면적 성형에 쓰인다	7.4
MR-MUF (Mass Reflow Molded Underfill)	칩을 일괄 리플로우로 접합한 뒤 액상 EMC로 갭필과 몰딩을 동시에 수행하는 HBM 적층 방식	7.2
TC-NCF (Thermo-Compression Non-Conductive Film)	비전도성 접착필름을 미리 붙인 뒤 열압착으로 접합하는 HBM 적층 방식	7.2
hybrid bonding	구리 패드와 유전막을 동시에 직접 접합하는 무범프 접합으로, 약 10㎛ 이하 피치 영역의 해법이다(로직 SoIC 6㎛ 양산, Foveros Direct 1세대 약 10㎛에서 2세대 5㎛ 미만)	7.2
Cu recess	hybrid bonding 접합면에서 구리를 유전막보다 의도적으로 낮게 남긴 단차	7.3
dishing	CMP 과정에서 넓은 금속 패턴 중앙이 과도하게 깎여 오목해지는 현상	7.3
POR (Process of Record)	고객이 양산 공정에 공식 등재한 소재와 조건의 조합	7.2
세컨드 소스 (second source)	동일 소재에 대해 기존 공급사와 병행하여 인증한 두 번째 공급사	7.2
ABF (Ajinomoto Build-up Film)	반도체 기판의 절연 빌드업층에 쓰이는 필름으로 Ajinomoto가 대부분을 공급한다	7.2
TBDB (Temporary Bonding and Debonding)	얇은 웨이퍼를 캐리어에 임시로 붙였다가 떼어 내는 공정과 그 접착·박리 소재	7.2
RDL (Redistribution Layer)	칩 패드를 재배치하여 외부와 연결하는 배선층으로, 폴리머 유전체와 구리로 구성된다	7.5
FOPLP (Fan-Out Panel Level Packaging)	웨이퍼가 아니라 사각 패널 단위로 fan-out 패키징을 수행하는 방식	7.5
TIM (Thermal Interface Material)	칩과 방열 부품 사이의 열저항을 낮추는 계면 소재	7.5
CPO (Co-Packaged Optics)	광엔진을 스위치나 연산 칩과 같은 패키지에 통합하는 기술	7.5
BLT (Bond Line Thickness)	TIM이 실제로 압착되어 형성하는 접착층 두께로, 열저항을 좌우한다	7.5
JESD47	신규 제품이나 공정 변경을 인증할 때 통과해야 하는 JEDEC 스트레스 시험 규격	7.2
J-STD-020	표면실장 소자의 흡습·리플로우 민감도를 분류하는 IPC·JEDEC 공동 표준	7.2

용어(영문)	한 문장 정의	처음 나온 절
IPC-4104	HDI와 마이크로비아용 재료를 다루며 감광성 유전체 드라이필름과 액상의 인증 요구를 규정하는 규격	7.2

7.11 더 읽을 자료

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-7-03	뉴스	삼성SDI 2026년 2분기 실적발표 컨퍼런스콜 전문	디일렉	2026-07-30	하이브리드 본딩용 슬러리와 재배선 소재를 회사가 직접 언급한 원문. Day 7에서 가장 직접적인 근거	무료등록
S-7-01	기업발표	삼성SDI 전자재료 공식 제품 페이지	삼성SDI	상시	EMC와 PID의 공식 정의 문구를 그대로 인용할 수 있는 1차 자료	OA
S-7-56	기업발표	IR52 장영실상 37주차 수상: 삼성SDI 모바일용 고방열 EMC	한국산업기술진흥협회	2026-09-18	국내 2사 양산 승인 시점, 해외 메모리 수출 개시, 열저항 개선 수치가 담긴 최신 회사 설명	OA
C-7-10	기업발표	Ajinomoto ASV Report 2023	Ajinomoto	2023	ABF 약 95%가 회사 자체 추정이며 분모가 고성능 반도체 기판용 층간 절연필름임을 확인하는 1차 자료	OA
C-7-11	기업발표	Denka IR Materials (2024-11-08)	Denka	2024-11-08	반도체 봉지 용도 구상 실리카 약 30% 점유율 유지 전략을 제시한 공식 IR	OA
S-7-10	분석기관	Advanced packaging market to hit $120bn by 2031	Electronics Weekly(Yole 인용)	2026-07-24	대표 단일 시장 수치의 공개 전재본. 쿼과 캐파 해자를 언급한 분석가 인용문 포함	OA
S-7-26	기술블로그	Dual sourcing and second source qualification in semiconductors	SupplyICs	2026-05-08	세컨드 소스 퀄 기간 수치의 원출처. 이원화의 비용과 편익을 사례로 제시	OA
S-7-27	기술블로그	TSMC 공급망 진입 사례 정리(天下雜誌 인용)	104 블로그	2026-03-05	"6년 1,400회 샘플" 일화의 원문 인용과 출처 계통 확인	OA
S-7-28	표준	JESD47 Stress-Test-Driven Qualification of Integrated Circuits	JEDEC	개정 진행	소재 변경이 왜 전면 재인증을 유발하는지 규격으로 설명	무료등록
S-7-30	표준	IPC-4104 HDI and Microvia Materials	IPC	개정 진행	감광성 유전체의 드라이필름과 액상이 별도 인증 경로임을 확인	유료

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-7-31	표준	JESD270-4 HBM4	JEDEC	2025-04-16	HBM4 규격값의 1차 출처. 제조사 공표 수치와 구분하는 기준	무료등록
S-7-33	논문	The impact of export controls on international trade	Makioka·Zhang, J. Japanese Int. Economies 74, 101336	2024-12	소재 공급망 충격이 조달 재배치를 일으킨 정량 근거. 품목별로 결과가 갈린 이유와 등급 단위 전환을 확인	OA, 전문 확인
S-7-34	논문	The South Korea-Japan Trade Dispute in Context	USITC Working Paper ID-062	2019-10	반도체 화학 소재 공급망 집중도의 정책 분석 원문	OA
S-7-35	논문	CMP of Plasma-Modified Cu/Polymer Interfaces for Advanced Hybrid Bonding	Kang et al., Advanced Science	2026	hybrid bonding 수율을 좌우하는 표면 인자를 학술 근거로 제시	OA
S-7-36	논문	Epoxy molding compound encapsulation process in IC packaging: a review	Othman et al., Int. J. Adv. Manuf. Technol. 142, pp.3281-3305	2026-01	고열전도와 점도·기계 물성·절연 강도의 상충 구조, CTE 정합 기준선, warpage와 흡습·열노화 기구를 정리. 목표 수치가 아니라 난이도의 근거로 쓴다	구독, 전문 확인
S-7-37	논문	Cu CMP Dishing Control for Fine Pitch W2W Hybrid Bonding	Ji·Chen·Chui, IEEE EPTC 2022, pp.951-954	2022-12	기존 슬러리의 디싱 20~30nm·돌출과 H_2O_2 저감 슬러리의 평균 −1nm를 대조한 실험 근거. 축 ③ 요구 스펙의 수치 출처	구독, 전문 확인
S-7-32	표준·로드맵	IEEE Heterogeneous Integration Roadmap 2025 edition	IEEE EPS	2025~2026	25개 챕터가 무료 공개된 업계 표준 로드맵	OA
S-7-51	기업발표	SK hynix Holds Groundbreaking Ceremony for HBM Production Base in Indiana	SK hynix	2026-08-27	착공식 개최 사실과 일정의 1차 출처	OA
S-7-42	뉴스	KCC, AI·전기차 소재로 영토 확장	브릿지경제	2026-09-10	국내 EMC 경쟁의 최신 상태를 담은 9월 자료	OA

DAY 8 · 예상 소요 3시간

Day 8. 세미나 슬라이드와 함께 읽기: 평가 자료, 실측 해석, 불량 추적

선수 지식 Day 1부터 Day 7까지의 본문과 99_출처원장.md의 ID 체계

학습 목표: 이 Day를 마치면 다음 세 가지를 할 수 있다.

1. 세미나 슬라이드 한 장을 보고 그 장의 내용을 Day 1부터 Day 7까지의 어느 절에서 다루는지 찾아 설명할 수 있다.
2. 고객 평가 데이터 패키지의 제출 형식과 본딩용 슬러리 실측 결과의 읽는 순서, 그리고 불량에서 원인 가설을 거쳐 대조 실험으로 가는 절차를 근거와 함께 설명할 수 있다.
3. 공정 흐름 슬라이드에서 강조한 단계가 왜 나머지 단계를 좌우하는지 설명하고, 슬라이드에 나온 수치와 자주 묻는 질문의 출처 성격을 구분할 수 있다.

선수 지식: Day 1부터 Day 7까지의 본문과 `99_출처원장.md`의 ID 체계 / **예상 소요**: 3시간

8.0 한눈에 보기

이 장은 세미나 슬라이드를 옆에 두고 읽는 장이다. Day 1부터 Day 7까지는 개념과 수치를 주제별로 쌓았다. 이 장은 그 지식을 세미나 슬라이드 122장의 순서로 다시 배열한다. 8.1은 슬라이드 쪽마다 함께 읽을 절을 표로 짝지었다. 슬라이드를 넘기다가 설명이 더 필요한 장을 만나면 이 표에서 해당 절을 찾으면 된다.

여러 Day에 걸쳐 있어 어느 한 Day에도 들어가지 못한 지식이 세 덩어리 있다. 고객 평가 데이터 패키지를 어떤 형식으로 제출하는가, 본딩용 슬러리의 실측 결과를 어떤 순서로 읽는가, 불량에서 원인 가설을 거쳐 대조 실험으로 어떻게 넘어가는가가 그 셋이다. 8.2부터 8.4까지가 이 세 가지를 차례로 다룬다. 8.5는 공정 흐름과 구조 단면과 평가 절차를 그린 슬라이드 스물세 장의 해설이다. 각 해설은 그림의 요소가 어떻게 이어지는지와 강조한 요소가 왜 나머지를 좌우하는지를 적었다.

8.6은 슬라이드에 나오는 핵심 수치를 값과 조건과 출처 성격으로 모은 표이고, 8.7은 자주 묻는 질문과 답을 네 갈래로 묶었다. 수치를 인용하거나 고객과 대화할 때 두 절을 함께 보면 근거의 등급을 빠르게 확인할 수 있다. 이 장은 새로운 사실을 조사해 더하지 않는다. 8.2와 8.4에서 등록한 공개 규격을 제외하면, 본문의 모든 값은 Day 1부터 Day 7까지에 이미 등록된 출처 ID를 그대로 옮긴 것이다. 따라서 수치를 둘러싼 판단이 달라 보이면 Day 1부터 Day 7까지의 해당 절을 기준으로 삼는다.

8.1 세미나 슬라이드 차례와 이 자료의 대응

세미나 슬라이드는 122장이며 다섯 부로 나뉜다. Ⅰ부(1~26쪽)는 주로 Day 1과 Day 2에 기대고, Ⅱ부(27~51쪽)는 Day 3과 Day 4에, Ⅲ부(52~87쪽)는 Day 5와 Day 6에, Ⅳ부(88~107쪽)는 Day 7과 Day 8에, Ⅴ부(108~122쪽)는 Day 8과 Day 4에 기댄다. 아래 표는 쪽마다 제목과 함께 읽을 절을 짝지었고, 함께 읽을 절의 첫 항목이 그 쪽의 중심 절이다.

비고의 "새 구성"은 이번 세미나를 위해 새로 구성한 열 장을, "추가 도해"는 이 자료에 실린 도해를 슬라이드로 옮긴 여든다섯 장을 도해 번호와 함께 표시한다. 표지, 휴식, 질의와 토론, 백업 구분, 출처 목록에 해당하는 일곱 장은 함께 읽을 절이 없으므로 "해당 없음"으로 적었다. 절을 정하지 못한 두 장도 "해당 없음"으로 적었다. 슬라이드를 넘기다가 설명이 더 필요한 장을 만나면 이 표에서 해당 절을 찾는다.

Ⅰ부 기초와 공정 (1~26쪽)

쪽	제목	함께 읽을 절	비고
1	영남대학교 화학공학부	해당 없음	표지
2	강사 소개	해당 없음	해당 없음
3	강사 소개: Research Journey	해당 없음	해당 없음
4	오늘 살펴볼 질문	Day5 §5.2, Day6 §6.1, §6.4	
5	Ⅰ 기초: 칩 한 개가 보드에 닿기까지	Day1 §1.0	새 구성
6	패키징의 역할	Day2 §2.1	
7	네 단면을 같은 순서로 읽는다	Day2 §2.1, §2.0, Day1 §1.5, Day3 §3.1, Day4 §4.1, Day5 §5.1	추가 도해 F-2-01
8	FC-BGA: 유기 기판이 배선을 맡는다	Day2 §2.1, §2.0, Day1 §1.5, Day3 §3.1, Day4 §4.1, Day5 §5.1	추가 도해 F-2-01A
9	CoWoS-S: 두 접합부와 두 언더필	Day2 §2.1, §2.0, Day1 §1.5, Day3 §3.1, Day4 §4.1, Day5 §5.1	추가 도해 F-2-01B
10	HBM 12H: 스택을 층 단위로 해부한다	Day2 §2.1, §2.0, Day1 §1.5, Day3 §3.1, Day4 §4.1, Day5 §5.1	추가 도해 F-2-01C
11	FO-WLP: 몰드와 RDL이 기능을 나눈다	Day2 §2.1, §2.0, Day1 §1.5, Day3 §3.1, Day4 §4.1, Day5 §5.1	추가 도해 F-2-01D
12	무어의 세 약속, 남은 것과 깨진 것	Day1 §1.1, Day5 §5.5	추가 도해 F-1-02
13	필요한 블록에만 선단 노드를 쓴다	Day1 §1.1, §1.3, Day3 §3.3	추가 도해 F-1-03
14	한 번의 노광: 858 mm²와 429 mm²	Day1 §1.2, §1.9, Day2 §2.3, §2.9	추가 도해 F-1-04
15	die는 쪼개고, 인터포저는 이어 붙인다	Day1 §1.2, §1.5, Day2 §2.3, Day3 §3.2	추가 도해 F-1-05A
16	결함 하나가 버리는 면적은 같지 않다	Day1 §1.3, §1.9	추가 도해 F-1-06A
17	연산은 메모리보다 빠르게 성장했다	Day1 §1.4, Day4 §4.0, §4.2	추가 도해 F-1-08
18	HBM의 넓은 인터페이스가 2.5D를 부른다	Day1 §1.4, Day2 §2.3, Day4 §4.1	추가 도해 F-1-09
19	네 가지 제약이 패키징으로 모인다	Day1 §1.0, §1.8, Day7 §7.1	추가 도해 F-1-01
20	요소 공정 여덟 가지 한눈에	Day7 §7.1, §7.8, Day8 §8.7, Day6 §6.4, Day5 §5.1	새 구성
21	접합 3방식: 무엇을 녹이고 무엇을 맞대는가	Day2 §2.4, Day4 §4.3, Day5 §5.4, Day8 §8.5	추가 도해 F-2-08A

쪽	제목	함께 읽을 절	비고
22	TSV는 구멍을 만들고 채운 뒤 평탄화한다	Day4 §4.1, Day2 §2.2, Day6 §6.4	추가 도해 F-4-03A
23	언더필 4방식: 도포 시점이 구조와 공정을 가른다	Day2 §2.5, §2.9, Day5 §5.3, Day4 §4.3	추가 도해 F-2-11A
24	접속 밀도를 따라 읽는 AP 계보	Day1 §1.5, Day2 §2.0, Day7 §7.1	추가 도해 F-1-11A
25	계보는 소재가 바뀌는 지도이기도 하다	Day1 §1.5, Day2 §2.0, Day7 §7.1	추가 도해 F-1-11B
26	AP 시장 규모: Yole 2026년 7월판	Day1 §1.6, §1.9, Day7 §7.5	추가 도해 F-1-14A

Ⅱ부 구조와 공정 전략 (27~51쪽)

쪽	제목	함께 읽을 절	비고
27	Ⅱ 구조와 공정 전략: 같은 문제를 다르게 푼 세 파운드리	Day3 §3.0	새 구성
28	레티클 배수는 칩 개수가 아니라 면적이다	Day3 §3.0, §3.1, §3.2, Day1 §1.2	추가 도해 F-3-01
29	CoWoS-S · R · L: 바뀌는 것은 인터포저다	Day3 §3.1, §3.6, Day1 §1.5	추가 도해 F-3-02
30	CoWoS-L 한 장을 아홉 개 층으로 나눈다	Day3 §3.1, §3.5, §3.6, Day2 §2.1, Day5 §5.1	추가 도해 F-3-03A
31	SoIC: 범프 대신 유전막과 Cu를 직접 붙인다	Day3 §3.1, §3.6, Day4 §4.3, Day6 §6.4	추가 도해 F-3-04A
32	EMIB와 EMIB-T: 실리콘 브리지는 기판 안에 있다	Day3 §3.3, §3.6	추가 도해 F-3-08A
33	Foveros S · R와 Direct는 같은 층 구조가 아니다	Day3 §3.3, §3.6, Day4 §4.3	추가 도해 F-3-09A
34	삼성 Cube 5종: 수평 캐리어와 수직 접합을 나눈다	Day3 §3.4, §3.6, §3.7	추가 도해 F-3-10A
35	캐리어는 원형 웨이퍼 · 사각 패널 · 웨이퍼 규모로 갈린다	Day3 §3.2, §3.8, Day6 §6.3	추가 도해 F-3-07B
36	몰드 · PID · CMP: 세 품목의 수요 이동은 다르다	Day3 §3.6, §3.0, §3.1, §3.9	추가 도해 F-3-13D
37	HBM 스택을 일곱 층으로 읽는다	Day4 §4.1, §4.0, Day1 §1.4, Day3 §3.1	추가 도해 F-4-01A
38	소재의 자리는 스택 안에 세 곳이다	Day4 §4.1, §4.0, Day1 §1.4, Day3 §3.1	추가 도해 F-4-01B
39	HBM4 공식 발표의 사건 구분	Day4 §4.2	
40	16단 × 50μm는 다이만으로 800μm다	Day4 §4.3, §4.0, §4.1, §4.2, §4.7, Day3 §3.6, §3.7	추가 도해 F-4-11B
41	접합과 충전의 순서	Day5 §5.3, Day4 §4.3	
42	TC-NCF의 공정 순서와 공정 창	Day4 §4.3, Day5 §5.3, §5.2	
43	MR-MUF의 공정 순서와 공정 창	Day4 §4.3, Day5 §5.3, §5.2	
44	본딩 세 방식은 다이 사이 재료가 다르다	Day4 §4.3, §4.0, §4.1, Day3 §3.6, Day5 §5.3, Day6 §6.4	추가 도해 F-4-04A
45	본딩 전환의 "세대"와 "연도"는 다른 정보다	Day7 §7.6, §7.8, Day8 §8.7, Day4 §4.2, Day6 §6.6	추가 도해 F-7-10B
46	하이브리드 본딩: 표면 준비에서 영구 접합까지	Day2 §2.4, Day6 §6.4, Day4 §4.3, Day8 §8.3	추가 도해 F-2-09A

쪽	제목	함께 읽을 절	비고
47	본딩 전후의 공정 흐름	Day4 §4.3, Day6 §6.4	
48	패키징 변화의 다섯 방향	Day6 §6.6	
49	재료 기능의 이동	Day6 §6.4, Day4 §4.3	
50	표부 정리: 다섯 방향이 요구하는 소재	Day3 §3.0	새 구성
51	휴식	해당 없음	휴식

Ⅲ부 소재와 공정 창 (52~87쪽)

쪽	제목	함께 읽을 절	비고
52	Ⅲ 소재와 공정 창: 소재는 이름이 아니라 자리로 읽는다	Day5 §5.0	새 구성
53	소재는 이름보다 들어가는 자리로 읽는다	Day5 §5.1, Day2 §2.1, §2.5, Day3 §3.6, Day7 §7.1	추가 도해 F-5-01A
54	HBM·팬아웃에서는 수지의 역할이 달라진다	Day5 §5.1, Day2 §2.1, §2.5, Day3 §3.6, Day7 §7.1	추가 도해 F-5-01B
55	소재의 소멸은 패키지가 아니라 전환된 층 기준이다	Day5 §5.1, Day2 §2.1, §2.5, Day3 §3.6, Day7 §7.1	추가 도해 F-5-01C
56	EMC의 역할	Day5 §5.2, §5.1	
57	EMC는 고충전 필러와 가교 수지의 조합이다	Day5 §5.2, §5.3, Day2 §2.5, Day7 §7.1	추가 도해 F-5-02A
58	필러 함량은 봉지재마다 다르다	Day5 §5.2, §5.3, Day2 §2.5, Day7 §7.1	추가 도해 F-5-02B
59	구형의 충전과 판상의 연결을 결합한다	Day5 §5.2, §5.5, §5.3, Day7 §7.5	추가 도해 F-5-03A
60	입도 분포와 표면 처리는 서로 다른 설계 손잡이다	Day5 §5.2, §5.5, §5.3, Day7 §7.5	추가 도해 F-5-03B
61	필러 충전율을 높이면 점도 부담도 커진다	Day5 §5.2, §5.5, §5.3, Day7 §7.5	추가 도해 F-5-03C
62	필러와 컴파운드의 열전도	Day5 §5.2	
63	과립 EMC는 압축 성형으로 대면적을 덮는다	Day5 §5.2, Day2 §2.5, Day4 §4.3, Day6 §6.6	추가 도해 F-5-04A
64	액상 주입과 성형 시험은 구분해서 읽는다	Day5 §5.2, Day2 §2.5, Day4 §4.3, Day6 §6.6	추가 도해 F-5-04B
65	갭 충전재는 도포 시점부터 다르다	Day5 §5.3, Day2 §2.5, Day4 §4.3	추가 도해 F-5-05A
66	CUF는 옆에서 스며들고, MR-MUF는 갭과 외곽을 채운다	Day5 §5.3, Day2 §2.5, Day4 §4.3	추가 도해 F-5-05B
67	NCF는 다섯 기능을 한 필름에 넣은 소재다	Day5 §5.3, Day4 §4.3, Day7 §7.4	추가 도해 F-5-08A
68	최소 점도 창과 경화 창을 함께 맞춘다	Day5 §5.3, Day4 §4.3, Day8 §8.6	추가 도해 F-5-06C
69	갭을 정하면 허용 필러 입경도 정해진다	Day5 §5.3, §5.4, Day4 §4.1, Day2 §2.5	추가 도해 F-5-07A
70	플럭스는 산화막을 없애지만 잔사가 남을 수 있다	Day5 §5.4, Day2 §2.4, Day4 §4.3, Day6 §6.4	추가 도해 F-5-09B

쪽	제목	함께 읽을 절	비고
71	TIM1·TIM1.5·TIM2는 서로 다른 계면이다	Day5 §5.5, §5.6, Day2 §2.6, Day6 §6.6	추가 도해 F-5-10A
72	폴리머 TIM은 순응성과 충전율을 함께 설계한다	Day5 §5.5, Day6 §6.6, Day7 §7.5	추가 도해 F-5-11A
73	TIM의 열저항	Day5 §5.5, §5.6	
74	벌크 열전도율과 계면 열저항은 다른 시험으로 본다	Day5 §5.6, §5.5, Day8 §8.2	추가 도해 F-5-12A
75	PID는 Cu 배선 사이에 남는 감광성 절연막이다	Day6 §6.1, §6.2, Day2 §2.2, Day3 §3.1, Day7 §7.1	추가 도해 F-6-01A
76	도포·노광·현상 뒤에는 비아 바닥을 확인한다	Day6 §6.1, §6.2, Day2 §2.2, Day3 §3.1, Day7 §7.1	추가 도해 F-6-01B
77	PSPI와 PBO는 같은 자리에서 다른 고리 구조를 쓴다	Day6 §6.1, §6.6, Day7 §7.5	추가 도해 F-6-02A
78	비아를 만드는 방식이 달라지면 빌드업 소재가 바뀐다	Day6 §6.2, §6.1, §6.3, Day7 §7.5	추가 도해 F-6-05A
79	유리 코어·유리 인터포저·캐리어는 다른 부품이다	Day6 §6.3, §6.5, Day3 §3.3, Day5 §5.1	추가 도해 F-6-06A
80	CMP 단계와 표면 지표	Day6 §6.4	
81	리세스와 디싱은 주변 유전막을 기준으로 읽는다	Day6 §6.4, Day8 §8.3, §8.2, Day4 §4.3	추가 도해 F-6-09A
82	배선 CMP와 본딩면 CMP는 남겨야 할 표면이 다르다	Day7 §7.3, §7.6, §7.9, Day8 §8.7, §8.8, Day6 §6.4	추가 도해 F-7-05A
83	벌크 Cu 제거와 nm 마감은 다른 플래튼에 맡긴다	Day6 §6.4, Day4 §4.3, Day8 §8.3, §8.5	추가 도해 F-6-08B
84	Cu CMP 슬러리는 네 성분과 pH로 기능을 나눈다	Day6 §6.4, Day8 §8.3, Day7 §7.1, Day5 §5.1	추가 도해 F-6-10A
85	본딩면에서는 Cu·배리어·SiCN이 동시에 드러난다	Day6 §6.4, Day2 §2.4, Day4 §4.3, Day5 §5.1	추가 도해 F-6-11A
86	임시접착제는 뒷면 공정을 견딘 뒤 깨끗이 떨어져야 한다	Day6 §6.5, §6.3, Day2 §2.5, Day4 §4.3	추가 도해 F-6-12A
87	광엔진의 도파로·접착제·FAU는 서로 다른 자리에 있다	Day6 §6.6, Day3 §3.2, Day5 §5.5, Day7 §7.5	추가 도해 F-6-13B

IV부 삼성SDI 응용 확장 (88~107쪽)

쪽	제목	함께 읽을 절	비고
88	IV 삼성SDI와 방향: 단면 위에 우리 소재를 놓아 보기	Day7 §7.0	새 구성
89	삼성SDI의 공식 소재 자산	Day7 §7.1, Day6 §6.4	
90	보유 소재는 패키지의 네 공정 지점에 닿는다	Day7 §7.1, §7.8, Day8 §8.7, Day6 §6.4, Day5 §5.1	추가 도해 F-7-01A
91	EMC와 PID는 완성 패키지의 서로 다른 층에 남는다	Day7 §7.1, §7.8, Day8 §8.7, Day6 §6.4, Day5 §5.1	추가 도해 F-7-01B
92	과점 지점마다 패키지에서 맡는 위치가 다르다	Day7 §7.2, §7.6, Day8 §8.7, Day5 §5.2	추가 도해 F-7-02B
93	소재를 바꾸면 공정 평가와 재인증이 이어진다	Day7 §7.2, Day8 §8.2, §8.7, Day5 §5.6	추가 도해 F-7-03A
94	진입 3루트는 열리는 조건과 통제 가능성이 다르다	Day7 §7.3, §7.6, Day8 §8.7	추가 도해 F-7-04A
95	국내 지형은 직접 경쟁·수요처·장비 파트너로 나눈다	Day7 §7.4, §7.7, Day8 §8.7	추가 도해 F-7-06A
96	다섯 기회 축은 패키지의 서로 다른 자리를 겨냥한다	Day7 §7.5, §7.6, Day8 §8.7, Day6 §6.6	추가 도해 F-7-08A
97	응용 확장의 우선순위	Day7 §7.5	
98	2026~2030: 기술 변화와 자료의 행동 제안을 같은 축에 놓는다	Day7 §7.6, §7.8, Day8 §8.7, Day4 §4.2, Day6 §6.6	추가 도해 F-7-10A
99	여섯 제출 항목에서 규격과 관행을 구분한다	Day8 §8.2, §8.7, Day7 §7.2, Day5 §5.6	추가 도해 F-8-02B
100	불량 여섯 가지를 패키지의 서로 다른 자리에 표시한다	Day8 §8.4, §8.7, Day2 §2.6, Day5 §5.5	추가 도해 F-8-07A
101	원인 추적은 관측에서 대조 실험까지 네 단계를 거친다	Day8 §8.4, §8.5, §8.9, Day2 §2.6	추가 도해 F-8-09A
102	평균과 함께 분포 폭을 읽어야 개선의 범위가 보인다	Day8 §8.3, §8.2, §8.9, Day7 §7.5, Day6 §6.4	추가 도해 F-8-05B
103	단면 한 장으로 보는 방향 ① 지금의 자리	Day7 §7.1, §7.8, Day8 §8.7, Day6 §6.4, Day5 §5.1	새 구성
104	단면 한 장으로 보는 방향 ② 다섯 방향이 옮기는 수요	Day7 §7.1, §7.8, Day8 §8.7, Day6 §6.4, Day5 §5.1	새 구성
105	단면 한 장으로 보는 방향 ③ 먼저 갖출 것	Day7 §7.1, §7.8, Day8 §8.7, Day6 §6.4, Day5 §5.1	새 구성
106	오늘의 한 문장	Day7 §7.0	새 구성
107	질의와 토론	해당 없음	질의와 토론

V부 부록과 참고자료 (108~122쪽)

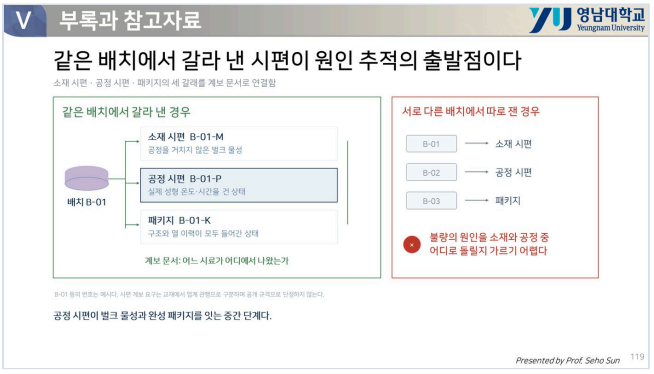
쪽	제목	함께 읽을 절	비고
108	백업 자료	해당 없음	백업 구분
109	핵심 용어	Day8 §8.10	
110	불량·원인·평가의 연결	Day2 §2.6, Day5 §5.5, Day8 §8.4	
111	표준과 제품 사양의 차이	Day4 §4.2, Day5 §5.6, Day7 §7.2	
112	높이 한도는 확정값과 논의값을 구분한다	Day4 §4.3, §4.0, §4.1, §4.2, §4.7, Day3 §3.6, §3.7	추가 도해 F-4-11A
113	CoWoS 대형화 로드맵: 발표 연도와 목표 연도	Day3 §3.2, §3.8, Day6 §6.3	추가 도해 F-3-07A
114	캐리어 웨이퍼 장수 ≠ 완성 패키지 개수	Day3 §3.2, §3.8, Day6 §6.3	추가 도해 F-3-07C
115	두 시장은 분모가 다르다	Day1 §1.6, §1.9, Day7 §7.5	추가 도해 F-1-14C
116	본딩면의 합격 조건은 nm와 오염의 조합이다	Day2 §2.4, Day6 §6.4, Day4 §4.3, Day8 §8.3	추가 도해 F-2-09B
117	솔더는 세 층위에 남아 있다	Day5 §5.4, Day2 §2.4, Day4 §4.3, Day6 §6.4	추가 도해 F-5-09A
118	평가 자료는 다섯 시점에 걸쳐 완성된다	Day8 §8.2, §8.7, Day7 §7.2, Day5 §5.6	추가 도해 F-8-02A
119	같은 배치에서 갈라 낸 시편이 원인 추적의 출발점이다	Day8 §8.2, §8.5, §8.7, §8.9, Day5 §5.6	추가 도해 F-8-01A
120	주요 출처: 구조와 기업 발표	해당 없음	출처 목록
121	주요 출처: 소재와 평가	해당 없음	출처 목록
122	주요 출처: 응용 확장과 확인 범위	해당 없음	출처 목록

소재 관점에서 보면: 평가와 제출 형식과 원인 추적을 다루는 101쪽과 119쪽과 99쪽과 110쪽은 Day 1부터 Day 7까지의 어느 한 절만으로는 온전히 읽히지 않는다. 8.2와 8.4가 이 네 장을 보완하며, 101쪽의 단면 식별 기준과 원인 경로 차이도 8.4에 있다. 네 장은 모두 삼성SDI가 실제로 제안서를 내야 하는 구간에 몰려 있다. 이 구간은 업계 전체가 공개 자료로 목표값을 확정하지 않은 자리다. 공개 자료로 확인되는 것은 관리 항목과 결정 순서이며, 목표값은 고객 공정별로 정해진다.

8.2 고객 평가 데이터 패키지의 제출 형식

슬라이드 99쪽 · 여섯 제출 항목에서 규격과 관행을 구분한다

슬라이드 118쪽 · 평가 자료는 다섯 시점에 걸쳐 완성된다



슬라이드 119쪽 · 같은 배치에서 갈라 낸 시편이 원인 추적의 출발점이다

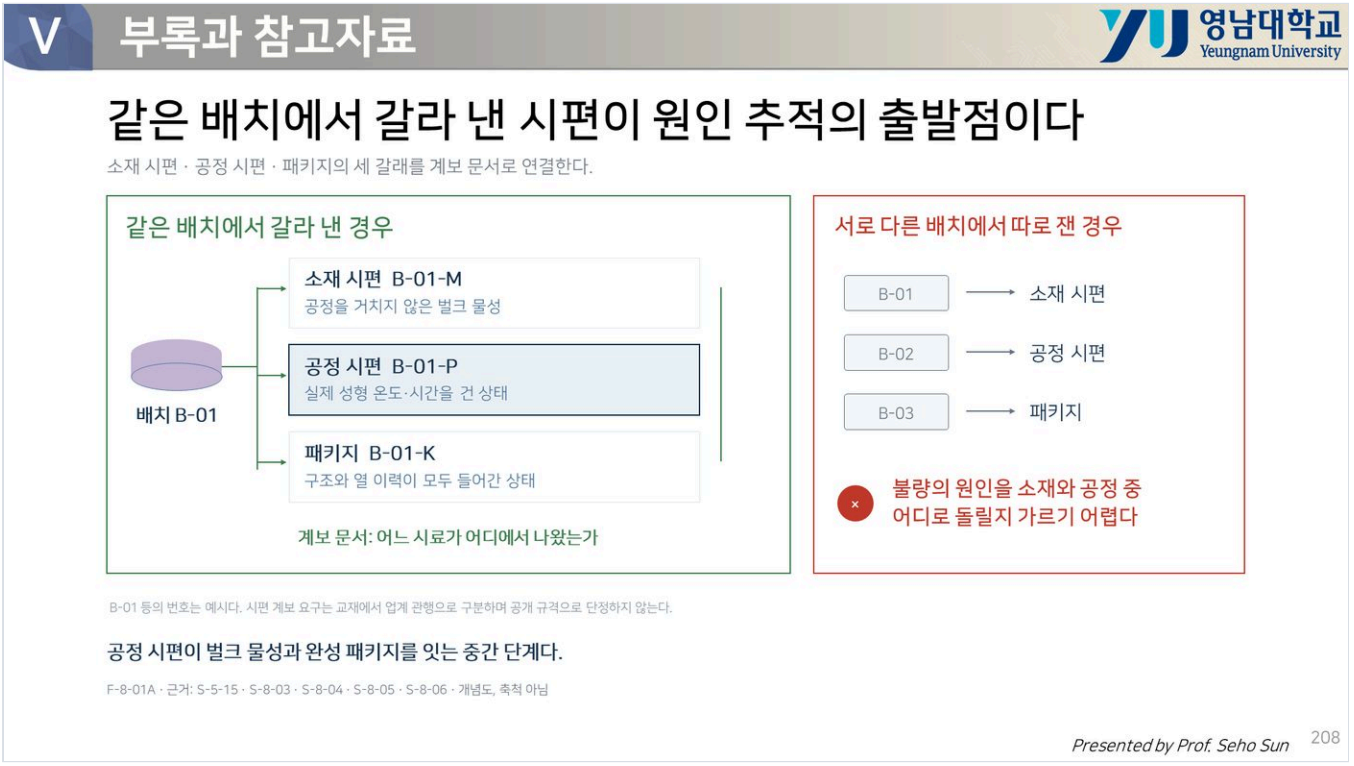
그 밖의 관련 슬라이드: 74쪽 · 81쪽 · 93쪽 · 102쪽

관련 도해: F-2-14A 신뢰성 시험은 단면의 서로 다른 자리를 겨냥한다 · F-2-14B 시험 → 가속하는 물리 → 관련 소재 물성 · F-2-14C 보드 레벨 신뢰성과 비파괴 검사를 함께 본다 · F-5-12A 벌크 열전도율과 계면 열저항은 다른 시험으로 본다 · F-5-12B D5470의 기울기는 k가 아니라 1/k다 · F-5-13A 나선 유동은 유동성과 경화 속도를 함께 본다 · F-5-13B 점도와 DSC는 같은 승온 조건과 함께 제출한다 · F-5-13C Tg 전후의 CTE와 모듈러스를 따로 기록한다 · F-5-13D Warpage는 온도 프로파일 위에서 측정한다 · F-6-03A PID 평가는 패턴·계면·신뢰성의 세 단계를 잇는다 · F-6-03B 신뢰성 값에는 시험 조건과 재측정 항목을 붙인다 · F-6-09A 리세스와 디싱은 주변 유전막을 기준으로 읽는다 · F-6-09B 에로전은 패드가 아니라 패턴 영역 전체의 내려앉음이다 · F-6-09C 척도가 달라지면 AFM·프로파일러·간섭계를 나누어 쓴다 · F-6-09D 같은 CMP에서도 Cu 간격에 따라 돌출이 디싱으로 바뀐다 · F-7-03A 소재를 바꾸면 공정 평가와 재인증이 이어진다 · F-7-03B 퀄 기간을 정하는 것은 시험 묶음과 재시도다 · F-7-03C POR은 소재 이름이 아니라 소재와 공정 조건의 조합이다 · F-8-05A 이 실측은 웨이퍼 중앙의 평가용 패드에서 나왔다 · F-8-05B 평균과 함께 분포 폭을 읽어야 개선의 범위가 보인다 · F-8-05C 터치업은 돌출을 없애지만 과연마를 만들 수 있다

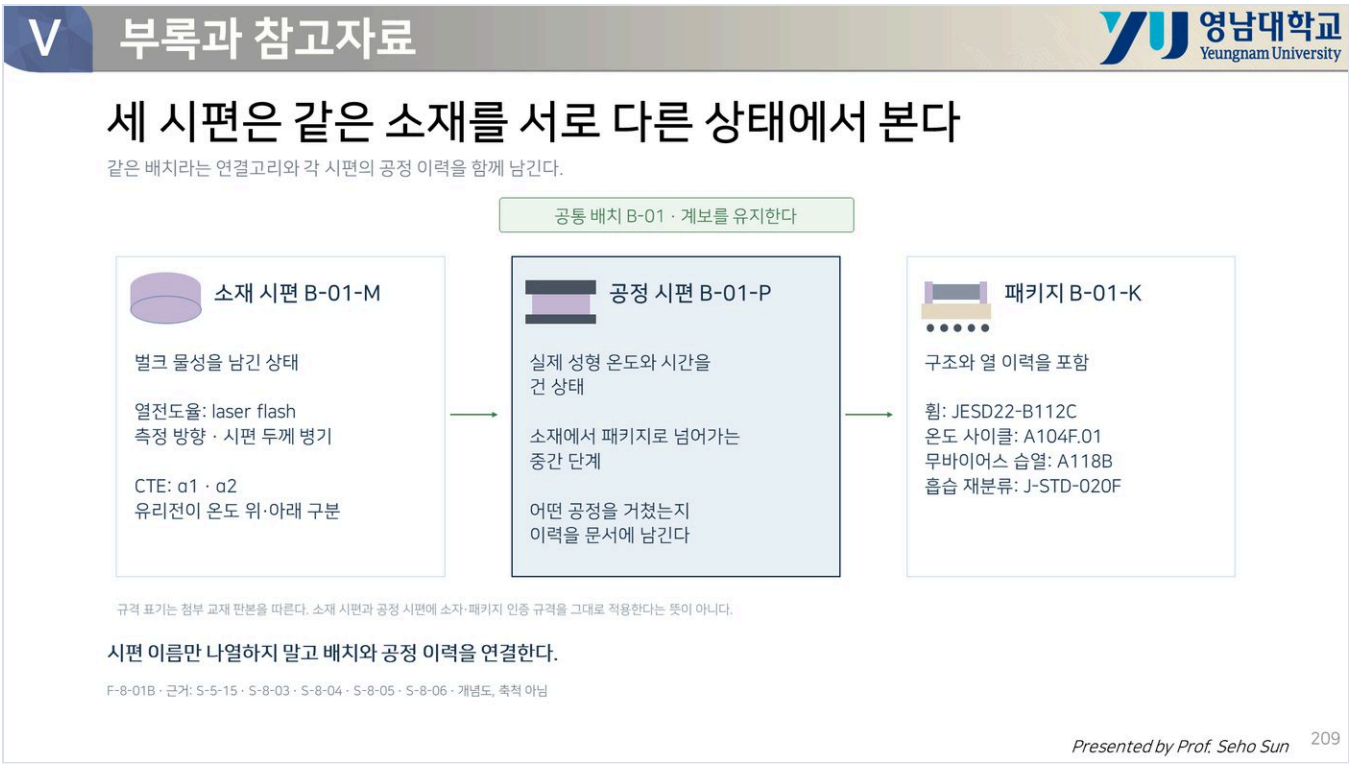
세미나 99쪽은 제출 항목 여섯 가지를 공급사가 먼저 형식을 제시할 세 항목과 규격 근거가 있는 설계·시험 조건 세 항목으로 나누어 싣는다. 119쪽은 그 첫 항목인 시편 계보를 같은 배치에서 갈라 낸 경우와 서로 다른 배치에서 따로 잰 경우로 대비한다. 두 장이 요구하는 지식은 하나다. 무엇을 어떤 형식으로 제출해야 평가가 시작되는가이다. 이 지식은 Day 5 §5.6의 측정법 표와 Day 7 §7.2의 퀄 장벽 서술에 나뉘어 있고, 어느 쪽도 제출 형식 자체를 다루지 않는다. 그래서 여기서 한 절로 모으며, 여섯 항목마다 공개 규격이 있는 것과 관행에 머무는 것을 구분해 적는다.

첫째는 세 시편 계보를 같은 배치에서 갈라 내는 것이다. EMC 평가는 서로 다른 세 시료에서 이루어진다. 소재 시편은 공정을 거치지 않은 벌크 물성만 남긴 상태이고, 공정 시편은 성형 온도와 시간을 실제 조건으로 건 상태이며, 패키지는 구조와 열 이력이 모두 들어간 상태다. 세 단계를 각각 다른 시료로 재면 불량이 났을 때 원인을 소재로 돌릴지 공정으로 돌릴지 가릴 수 없다.

그래서 같은 배치에서 시료를 갈라 내고, 어느 시료가 어느 시료에서 나왔는지를 문서에 남겨야 결과가 한 줄로 이어진다. 이 요구를 명문화한 공개 규격은 이 자료의 조사 범위에서 확인되지 않았다. 업계 관행에 속하는 항목이므로 고객이 요청하기 전에 공급사가 먼저 제시하게 된다.



도해 F-8-01A · 같은 배치에서 갈라 낸 시편이 원인 추적의 출발점이다 · 근거 S-5-15, S-8-03, S-8-04, S-8-05, S-8-06
공정 시편이 벌크 물성과 완성 패키지를 잇는 중간 단계다.



도해 F-8-01B · 세 시편은 같은 소재를 서로 다른 상태에서 본다 · 근거 S-5-15, S-8-03, S-8-04, S-8-05, S-8-06
시편 이름만 나열하지 말고 배치와 공정 이력을 연결한다.

둘째는 분포와 꼬리값을 함께 내는 것이다. 접합 수율이나 보이드율처럼 최악값이 결과를 정하는 항목에서는 평균이 주는 정보가 거의 없다. 8.3의 슬러리 사례에서도 개선의 본체는 평균이 마이너스 30에서 마이너스 1 나노미터로 옮겨 간 것보다 분포 폭이 16에서 10 나노미터로 좁아진 데 있다 [S-7-37].

그런데 평균 외에 분포와 꼬리값을 보고하도록 의무화한 공개 표준은 이 자료의 조사 범위인 카탈로그와 미러에서 확인되지 않았다. 통계적 신뢰성 모니터링을 다루는 JESD659C도 모니터를 줄이거나 없애는 조건을 규정할 뿐, 분포 보고 형식을 명문화하지 않는다 [S-8-08]. 이 항목은 관행이며 공개 규격이 없다. 규격이 없다는 사실 자체가 제안의 여지를 만든다. 형식을 먼저 제시하는 공급사가 비교의 기준을 세울 수 있기 때문이다.

셋째는 실패 조건을 기록하는 것이다. 어느 조건에서 실패했고 그때 무엇이 관측되었는지를 적은 자료가 좋은 결과만 모은 자료보다 신뢰를 얻는다. 공정 창의 경계를 아는 것이 고객의 실제 관심사이기 때문이다.

이 항목도 제출 의무를 규정한 공개 규격은 확인되지 않았으나, 인접한 규격 논리는 있다. JEDEC의 JESD47은 인증 시험의 합격 판정을 무고장 기준으로 정하고 시험 표본을 로트 단위로 묶는다. 이 구조는 실패가 생겼을 때 그 조건을 특정해 재설계로 돌아가는 흐름을 전제한다 [S-8-01]. 따라서 실패 기록은 규격 밖의 예의가 아니라 인증 절차가 이미 가정하고 있는 자료다.

넷째는 반복 횟수와 재현성이다. 몇 개를 재서 나온 값인지 적지 않으면 값의 신뢰 구간을 말할 수 없다. JESD47은 이 지점에서 구체적인 기준선을 준다. 원문 대조로 확인한 표에 따르면 고온 동작 수명 시험과 비휘발성 소자 내구 시험의 표본은 3개 로트에서 각 77개씩, 무고장, 1,000시간이 표준 조합이다 [S-8-01].

이 숫자를 그대로 소재 평가에 옮길 수는 없다. 대상이 소자 인증이기 때문이다. 그러나 "여러 로트에서 각각 충분한 개수를, 정해진 시간 동안"이라는 형식은 그대로 이전된다. 소재 제안서에서 한 로트의 몇 개만 재고 대표값을 낸 자료가 약한 이유를 이 규격이 설명한다.

도해 F-8-03 · 표본 조합에서 옮겨 갈 것은 숫자가 아니라 형식이다 · 근거 S-8-01
여러 로트에서 충분한 개수를 정해진 시간 동안 평가하는 형식을 가져온다.

다섯째는 비교 기준을 평가 전에 합의하는 것이다. 무엇과 비교해 개선이라고 부를지를 정하지 않으면 결과가 나와도 판정이 서지 않는다. 합의해야 할 것은 대조군 제품과 하중과 온도 프로파일과 측정면이다. 여기에는 명시적인 규격 근거가 있다.

휨은 JESD22-B112C가 리플로우 온도 구간에서 패키지 바디의 평탄도 이탈을 재는 절차를 규정하면서 측정 조건을 함께 정한다 [S-8-05]. 온도 사이클은 JESD22-A104F.01이 단일과 이중과 삼중 챔버 방식을 구분해 규정한다 [S-8-03]. 무바이어스 습열 가속 시험은 JESD22-A118B가 바이어스로 가려질 수 있는 갈바닉 부식까지 드러내도록 조건을 정한다 [S-8-04]. 같은 시험 이름을 써도 챔버 방식이나 바이어스 유무가 다르면 다른 시험이다. 그러므로 제출 자료의 시험 조건은 규격 번호와 개정 문자까지 적는 것이 정확하다.

여섯째는 인증 기간을 다른 산업의 사례로 설명하지 않는 것이다. 퀄 기간은 영업력의 문제가 아니라 표준이 요구하는 시험 항목 수와 각 항목의 최소 시간을 곱한 결과다 [S-8-01]. 여기에 소재 변경이라는 조건이 겹친다. JESD47은 재적격 판정을 별도 장에서 다루면서 제품과 공정 변경의 고객 통보를 규정한 JESD46을 직접 참조한다. 따라서 폴리머 소재의 교체는 통보와 재인증의 대상이 된다 [S-8-01][S-8-02].

흡습 등급도 다시 매겨야 한다. 비기밀 표면실장 소자의 습도 민감도 분류를 규정한 J-STD-020F는 리플로우와 수리 전의 베이크와 보관 조건까지 정한다. 그래서 수분을 흡수하는 폴리머가 바뀌면 등급 재분류가 따라온다 [S-8-06]. 감광성 유전체 쪽에는 별도의 경로가 하나 더 있다. IPC-4104는 고밀도 상호연결과 마이크로비아 소재의 규격 시트를 모아 두면서 감광성 유전체를 드라이필름과 액상의 두 범주로 나누어 적합성 요건을 규정한다. 같은 화학이라도 형태가 다르면 인증이 갈린다 [S-8-07].

이 네 규격을 근거로 기간을 이해하면 관심은 기간 자체가 아니라 "삼성SDI 데이터의 어느 항목이 비어 있는가"로 옮겨 간다. 여섯 항목의 제출 형식과 규격 근거는 다음 표와 같다.

도해 F-8-02A · 평가 자료는 다섯 시점에 걸쳐 완성된다 · 근거 S-8-01, S-8-02, S-8-03, S-8-04, S-8-05, S-8-06, S-8-07
평가 전 비교 기준을 정하고, 계보·실패·분포를 빠짐없이 묶는다.

도해 F-8-02B · 여섯 제출 항목에서 규격과 관행을 구분한다 · 근거 S-8-01, S-8-02, S-8-03, S-8-04, S-8-05, S-8-06, S-8-07, S-8-08

차별화 자리는 세 시편 계보 · 분포와 꼬리값 · 실패 조건 기록이다.

도해 F-8-02C · 결과를 얻기 전에 비교의 기준부터 합의한다 · 근거 S-8-03, S-8-04, S-8-05, S-8-06

시험명만 같아서는 비교되지 않는다. 규격·판본·조건을 함께 적는다.

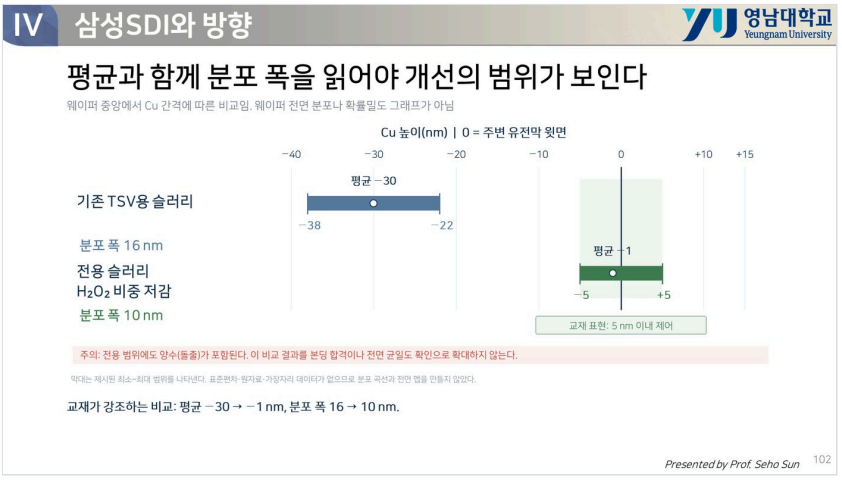
항목	제출 형식	공개 규격 근거	성격
세 시편 계보	소재 시편과 공정 시편과 패키지를 같은 배치에서 갈라 내고 계보를 문서화	확인되지 않음	관행이며 공개 규격 없음
분포와 꼬리값	평균과 함께 표준편차와 최악값, 위치별 분포를 제출	확인되지 않음. JESD659C도 보고 형식을 명문화하지 않음 [S-8-08]	관행이며 공개 규격 없음
실패 조건 기록	실패한 조건과 그때의 관측, 재설계 방향을 함께 제출	직접 규정은 확인되지 않음. JESD47의 무고장 판정 구조가 전제 [S-8-01]	관행이나 인증 절차가 전제
반복 n수와 재현성	로트 수와 로트당 개수와 시험 시간을 명기	JESD47 표본 조합 3 로트 × 77개 · 무고장 · 1,000시간 [S-8-01]	공개 규격 있음 (소자 인증 기준)
비교 기준 사전 합의	대조군과 하중과 온도 프로파일과 측정면을 평가 전에 합의	시험별 조건 규정: JESD22-B112C 휨 [S-8-05], JESD22-A104F.01 온도 사이클 [S-8-03], JESD22-A118B 무바이어스 습열 [S-8-04]	시험 조건은 규격, 합의 절차는 관행
인증 기간의 근거	항목 수와 최소 시간의 곱으로 설명하고 타 산업 사례를 옮기지 않음	JESD47 재적격과 JESD46 변경 통보 [S-8-01][S-8-02], J-STD-020F 흡습 재분류 [S-8-06], IPC-4104 형태별 인증 [S-8-07]	공개 규격 있음

규격을 인용할 때는 번호와 개정 문자와 발행 연월을 함께 적는다. 온도 사이클은 JESD22-A104F.01이고 2023년 4월 판이며, 휨은 JESD22-B112C이고 2023년 11월 판이다. 흡습 분류는 J-STD-020F이고 2022년 12월 판이다 [S-8-03][S-8-05][S-8-06]. 개정 문자를 빼면 어느 판의 조건인지 확인할 수 없다. 그 상태로 고객과 숫자를 주고받으면 나중에 판정이 뒤집힌다.

JESD47은 판 구분에 주의해야 한다. 이 자료가 원문을 대조한 판은 G판(2009-03)이다. L판(2022-12)과 N판(2026-08)은 카탈로그 표기로만 확인했고 원문은 대조하지 못했다. 그러므로 표본 조합 수치를 인용할 때는 G판 기준임을 함께 밝힌다 [S-8-01].

> **소재 관점에서 보면**: 여섯 항목 가운데 셋이 관행이고 셋이 공개 규격이다. 관행 쪽 셋이 소재 회사가 차별화할 수 있는 자리다. 시험 조건은 규격이 정해 주므로 누구나 같은 조건으로 제출한다. 반면 시편 계보와 분포 제출과 실패 기록은 정해진 형식이 없으므로 먼저 제시하는 쪽이 대화의 틀을 잡는다. 삼성SDI가 제안서에서 물성표를 넘어서려면 바로 이 세 항목을 채워야 한다. 새로운 데이터를 만드는 일이 아니라 이미 가진 데이터를 다른 형식으로 묶는 일이다.

8.3 본딩용 슬러리 실측 결과를 읽는 법



슬라이드 102쪽 · 평균과 함께 분포 폭을 읽어야 개선의 범위가 보인다

그 밖의 관련 슬라이드: 46쪽 · 81쪽 · 83쪽 · 84쪽 · 116쪽

관련 도해: F-2-09A 하이브리드 본딩: 표면 준비에서 영구 접합까지 · F-2-09B 본딩면의 합격 조건은 nm와 오염의 조합이다 · F-6-08A CMP는 압반·패드·슬러리·온도를 함께 제어한다 · F-6-08B 벌크 Cu 제거와 nm 마감은 다른 플래튼에 맡긴다 · F-6-08C 산화제를 낮춘 사례에서는 디싱 분포와 부호가 달라졌다 · F-6-09A 리세스와 디싱은 주변 유전막을 기준으로 읽는다 · F-6-09B 에로전은 패드가 아니라 패턴 영역 전체의 내려앉음이다 · F-6-09C 척도가 달라지면 AFM·프로파일러·간섭계를 나누어 쓴다 · F-6-09D 같은 CMP에서도 Cu 간격에 따라 돌출이 디싱으로 바뀐다 · F-6-10A Cu CMP 슬러리는 네 성분과 pH로 기능을 나눈다 · F-6-10B BTA와 H_2O_2는 함량비만 아니라 전위 창으로 맞춘다 · F-6-10C 본딩면에서는 선택비와 디싱을 함께 조정한다

세미나 102쪽은 이 절의 수치를 막대 두 개로 비교한다. 기존 TSV용 슬러리는 평균 마이너스 30 나노미터이고, 분포는 마이너스 38에서 마이너스 22 나노미터에 걸친 16 나노미터 폭이다. 과산화수소 비중을 낮춘 전용 슬러리는 평균 마이너스 1 나노미터이고, 분포는 마이너스 5에서 플러스 5 나노미터에 걸친 10 나노미터 폭이다. 막대는 웨이퍼 중앙에서 구리 간격에 따라 잰 최소와 최대의 범위이며, 슬라이드는 전용 슬러리의 범위를 5 나노미터 이내 제어로 표현한다. 전용 범위에도 돌출인 양수가 들어 있으므로, 같은 장은 이 비교를 본딩 합격이나 전면 균일도 확인으로 넓히지 않는다 [S-7-37].

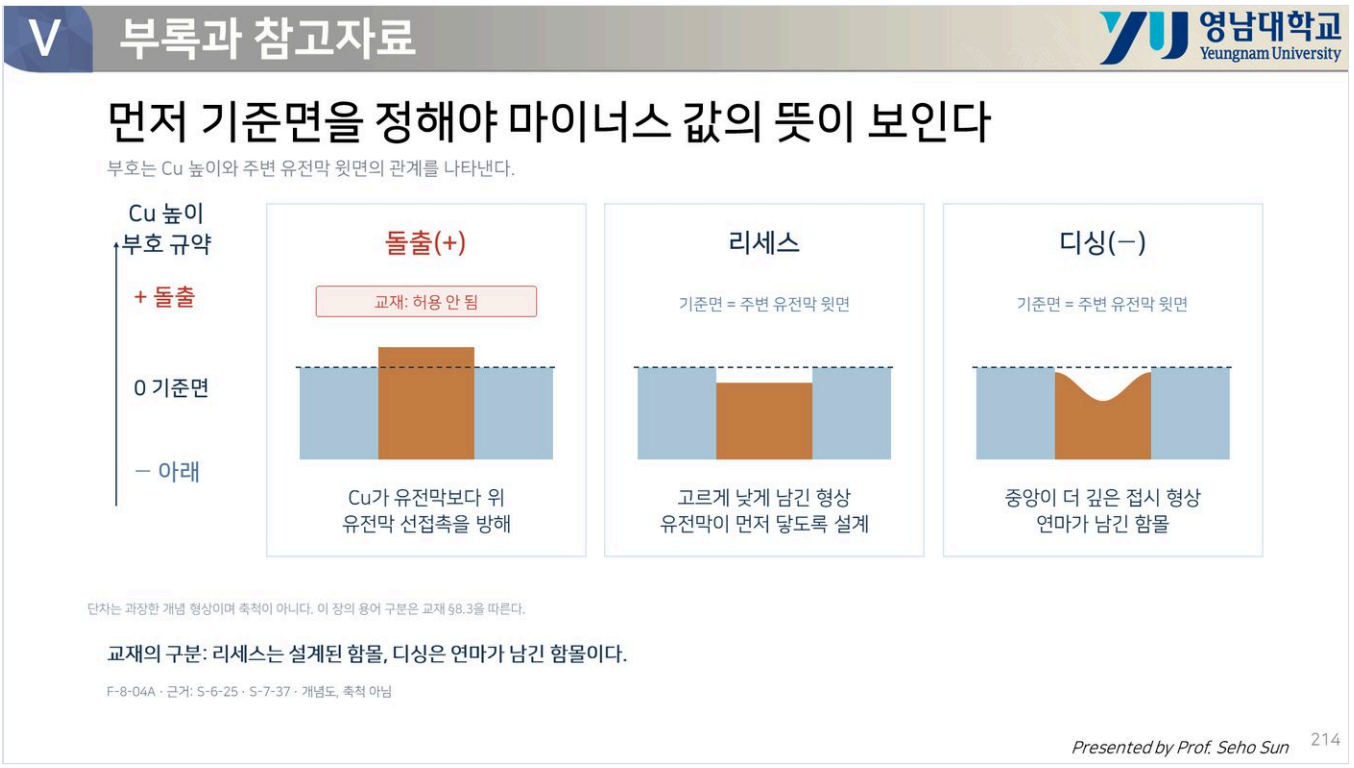
같은 수치는 Day 7 §7.5 본문과 이 절의 표에도 있고, 아래 여섯 단계는 그 수치를 읽는 순서다. 순서를 모르면 "그 마이너스 1 나노미터는 어느 위치에서 잰 것인가"를 확인할 수 없다. 이 순서를 지키면 어떤 슬러리 실측 자료를 받아도 같은 틀로 읽을 수 있다 [S-7-37].

첫째는 시험 구조다. 어떤 웨이퍼에 어떤 패턴을 어떤 공정으로 만들었는지를 먼저 확인한다. 이 논문의 시험 구조는 12인치 기판에 화학기상증착으로 산화막을 올리고 반응성 이온 식각으로 트렌치를 낸 단일 다마신 구조다. 그 위에 물리기상증착으로 배리어와 시드를 깔고 전해 도금으로 구리를 채웠다. 실제 소자가 올라간 웨이퍼가 아니라 평가용 패드 구조다. 따라서 이 자료는 "디싱을 잡았다"까지를 보증하고 "접합에 성공했다"까지는 보증하지 않는다 [S-7-37].

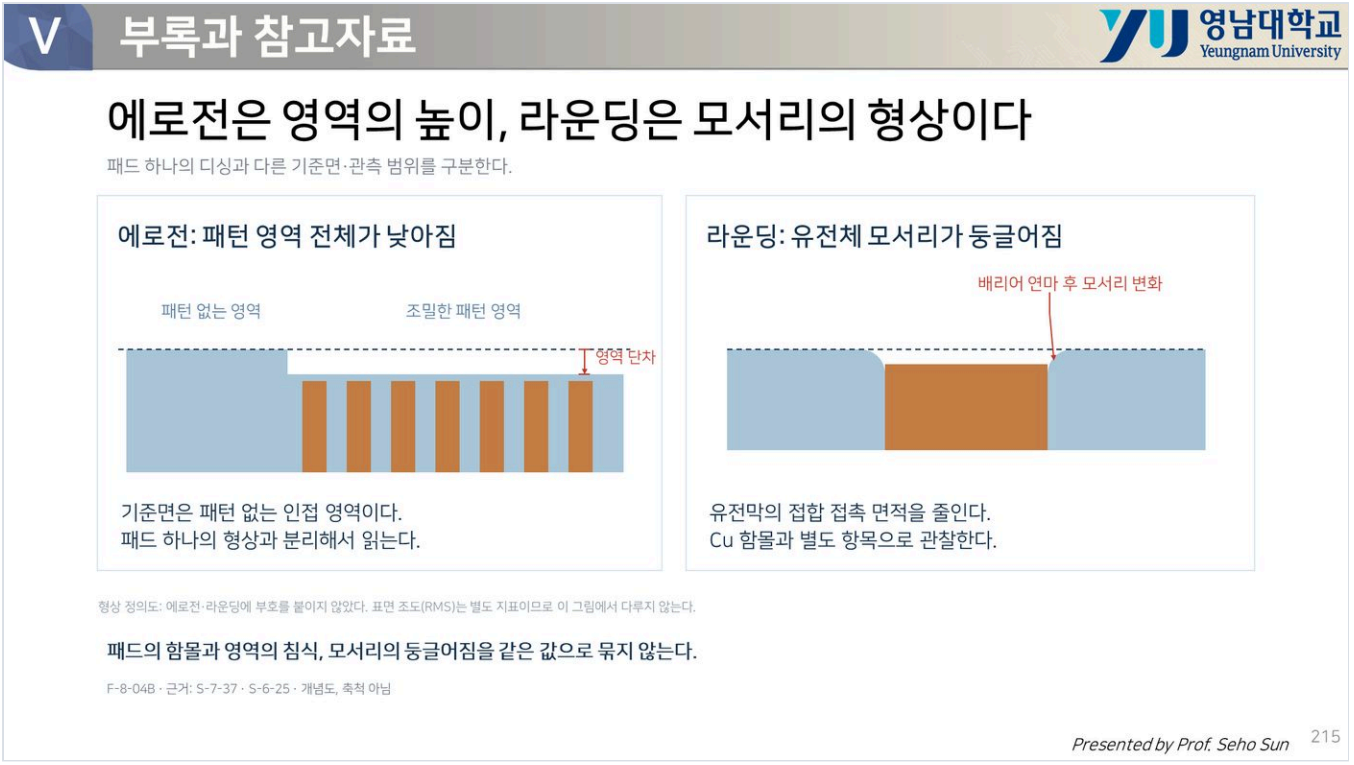
둘째는 측정 위치다. 저자들은 디싱 비교값을 모두 웨이퍼 중앙에서 측정했다고 본문에 밝혔고, 계측 수단은 원자간력현미경이다. 웨이퍼 전면의 균일도는 별도 문제로 남는다. 같은 슬러리라도 웨이퍼 가장자리에서는 다른 값이 나오고, 본딩 수율은 전면 분포가 결정하기 때문이다. 이 값을 읽을 때는 "웨이퍼 중앙 기준"이라는 일곱 글자를 붙여 읽어야 한다 [S-7-37].

셋째는 부호 규약이다. 음수가 디싱이고 양수가 돌출이다. 이 규약을 먼저 알지 못하면 마이너스 30 나노미터가 좋은 값인지 나쁜 값인지 판단할 수 없다. 디싱은 구리 패드가 유전막보다 아래로 파인 상태이고, 돌출은 구리가 유전막보다 위로 솟은 상태다.

하이브리드 본딩에서 돌출은 허용되지 않는다. 유전막이 먼저 닿고 구리가 어닐에서 팽창해 만나는 순서가 무너지기 때문이다. Day 6 §6.4의 리세스 논의와 같은 물리이며, 리세스는 설계된 함몰이고 디싱은 연마가 남긴 함몰이라는 점에서 이름이 다르다 [S-6-25][S-7-37].



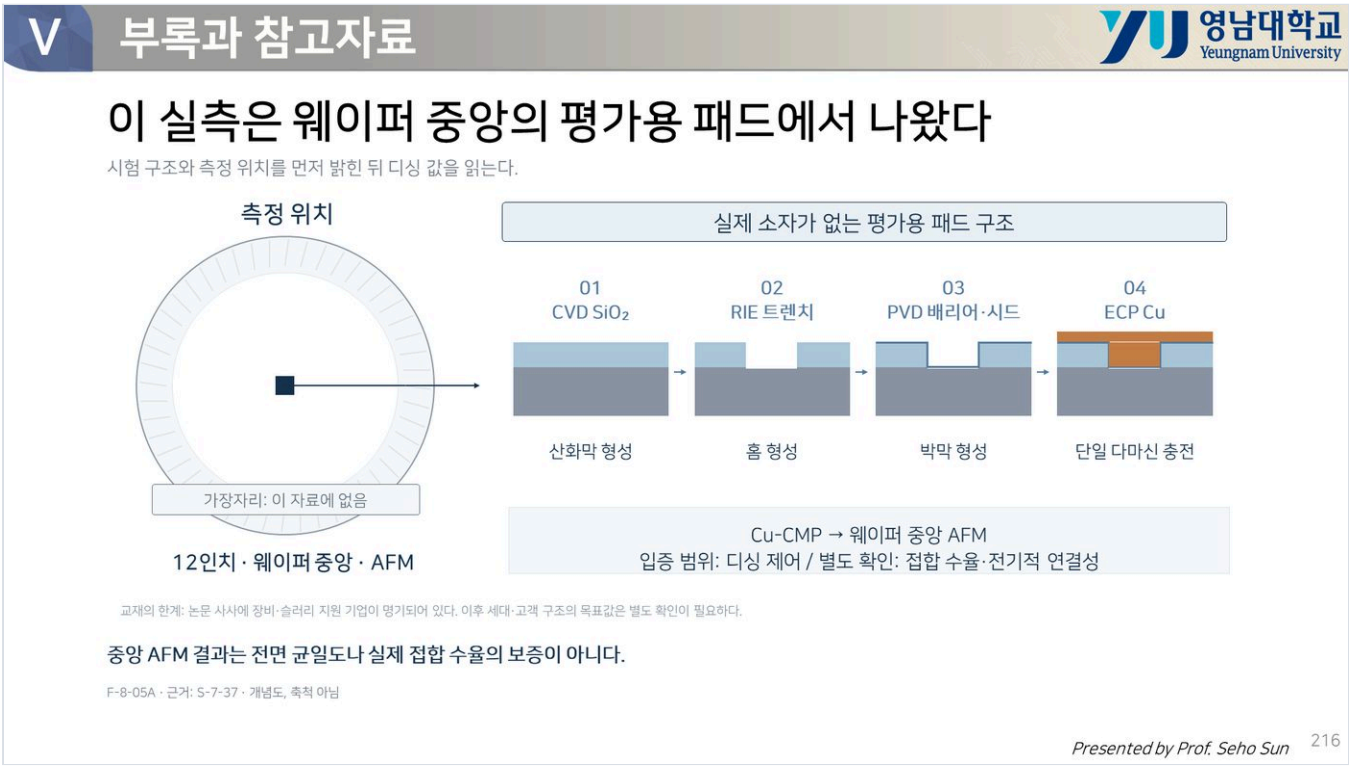
도해 F-8-04A · 먼저 기준면을 정해야 마이너스 값의 뜻이 보인다 · 근거 S-6-25, S-7-37
교재의 구분: 리세스는 설계된 함몰, 디싱은 연마가 남긴 함몰이다.



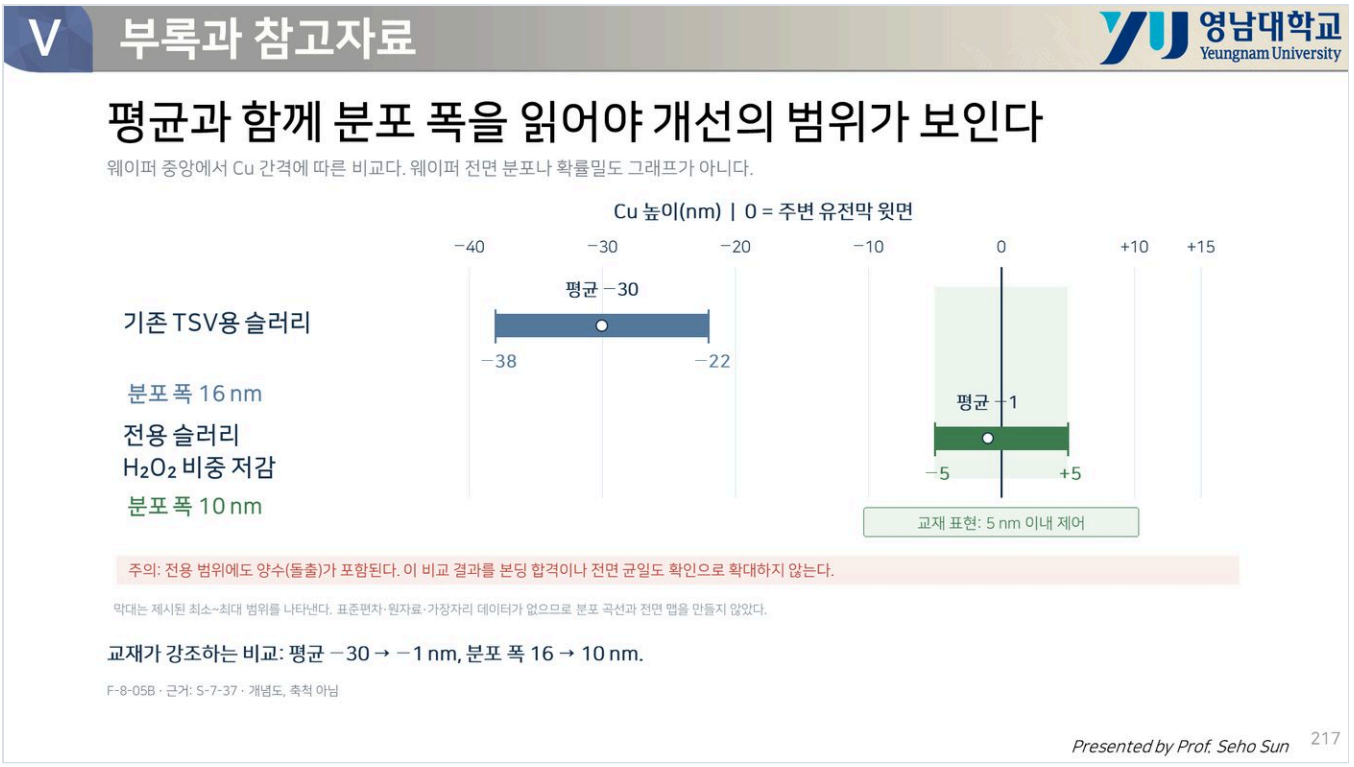
도해 F-8-04B · 에로전은 영역의 높이, 라운딩은 모서리의 형상이다 · 근거 S-7-37, S-6-25
패드의 함몰과 영역의 침식, 모서리의 둥글어짐을 같은 값으로 묶지 않는다.

넷째는 분포 폭이다. 평균값보다 분포 폭을 먼저 읽어야 한다. 기존 TSV용 슬러리를 그대로 쓰면 평균 디싱이 마이너스 30 나노미터이고, 구리 간격에 따른 분포가 마이너스 38에서 마이너스 22 나노미터까지 16 나노미터 폭으로 벌어졌다.

과산화수소 비중을 낮춘 전용 슬러리는 평균이 마이너스 1 나노미터이고, 분포가 마이너스 5에서 플러스 5 나노미터까지 10 나노미터 폭이다. 목표인 5 나노미터 이내 제어에 들어온다는 뜻이며, 개선의 본체는 평균이 아니라 폭이다. 유전체 쪽도 같이 좋아져서, 배리어 연마 후 생기던 약 5 나노미터의 라운딩이 1 나노미터 미만으로 줄었다. 라운딩은 접합 접촉 면적을 줄이므로 이 항목도 함께 읽어야 한다 [S-7-37].



도해 F-8-05A · 이 실측은 웨이퍼 중앙의 평가용 패드에서 나왔다 · 근거 S-7-37
중앙 AFM 결과는 전면 균일도나 실제 접합 수율의 보증이 아니다.

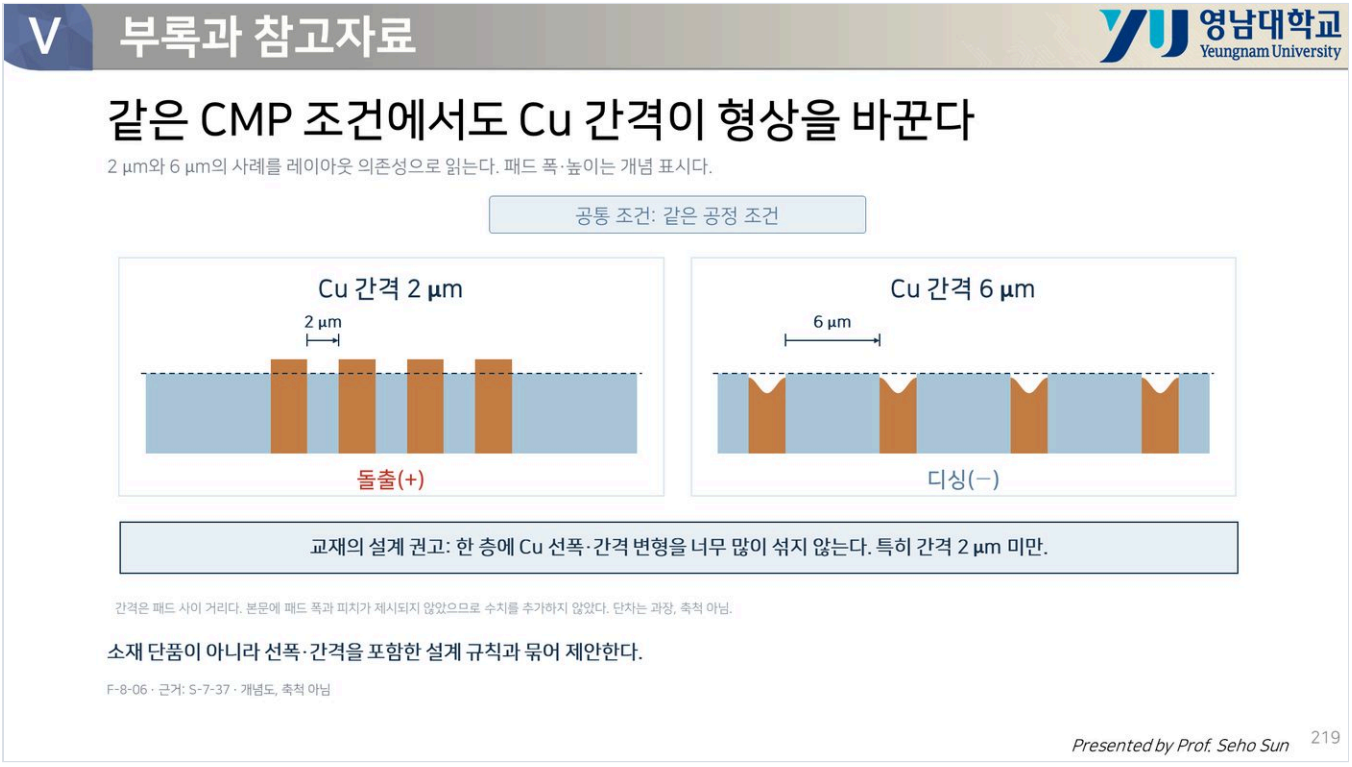


도해 F-8-05B · 평균과 함께 분포 폭을 읽어야 개선의 범위가 보인다 · 근거 S-7-37
교재가 강조하는 비교: 평균 −30 → −1 nm, 분포 폭 16 → 10 nm.

도해 F-8-05C · 터치업은 돌출을 없애지만 과연마를 만들 수 있다 · 근거 S-7-37
본딩면 슬러리 제안은 평균값뿐 아니라 재작업 경로와 유전체 형상까지 포함한다.

다섯째는 돌출과 디싱의 전환이다. 구리 간격이 2 마이크로미터에서 6 마이크로미터로 바뀌면 같은 공정에서도 패드 형상이 돌출에서 디싱으로 넘어간다. 그래서 저자들은 한 층에 구리 선폭과 간격의 변형을 너무 많이 섞지 말라고 권고했고, 특히 구리 간격이 2 마이크로미터 미만일 때 그렇다고 적었다. 슬러리 성능이

레이아웃과 분리되지 않으므로, 이 권고는 공급사가 고객의 설계 규칙 논의에 참여할 근거가 된다. 소재 단품이 아니라 설계 규칙과 묶어 파는 전략의 실례다 [S-7-37].

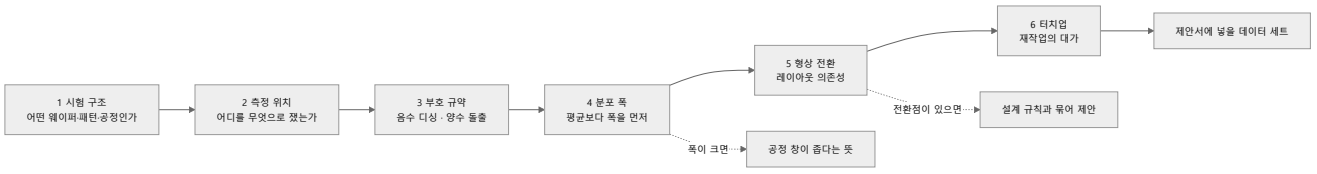


도해 F-8-06 · 같은 CMP 조건에서도 Cu 간격이 형상을 바꾼다 · 근거 S-7-37
소재 단품이 아니라 선폭·간격을 포함한 설계 규칙과 묶어 제안한다.

여섯째는 터치업의 부작용이다. 기존 슬러리는 종점 공정에서 구리 패드에 5에서 10 나노미터의 돌출을 만든다. 돌출은 허용되지 않으므로 추가 터치업 연마를 돌린다. 그런데 제거율이 높은 상태에서 추가로 깎으면 이번에는 마이너스 25에서 마이너스 32 나노미터로 과하게 파이며, 제거율이 높을수록 정밀 제어가 어려워지는 악순환이 생긴다. 전용 슬러리는 바로 이 지점을 풀었다. 과산화수소를 줄이자 벌크 구리 연마의 제거율이 분당 최대 1 마이크로미터로 내려갔고, 그 느린 제거가 압력과 슬러리 유량과 정반 및 캐리어 회전수로 미세 조정할 여지를 만들었다 [S-7-37].

읽는 순서	확인할 것	이 자료의 값	함께 적을 단서	출처
1 시험 구조	어떤 웨이퍼에 어떤 패턴을 어떤 공정으로	12인치, CVD(화학기상증착) SiO_2 + RIE(반응성 이온 식각) 트렌치 + PVD(물리기상증착) 배리어·시드 + ECP(전해 도금) 단일 다마신	실제 소자 웨이퍼가 아닌 평가용 패드 구조	[S-7-37]
2 측정 위치	어디를 무엇으로 쟀는가	웨이퍼 중앙, AFM(원자간력현미경)	전면 균일도는 별도 문제	[S-7-37]
3 부호 규약	음수와 양수가 무엇인가	음수는 디싱, 양수는 돌출	하이브리드 본딩에서 돌출은 허용되지 않음	[S-7-37]
4 분포 폭	평균이 아니라 폭	기존 평균 −30 nm·폭 16 nm, 전용 평균 −1 nm·폭 10 nm, 유전체 라운딩 5 nm → 1 nm 미만	개선의 본체는 평균이 아니라 폭	[S-7-37]
5 형상 전환	레이아웃 의존성	Cu 간격 2 μm에서 6 μm로 바뀌면 돌출과 디싱이 뒤바뀜	한 층의 선폭·간격 변형을 제한하라는 설계 권고 포함	[S-7-37]
6 터치업	재작업의 대가	돌출 5~10 nm 발생 후 터치업 시 −25~−32 nm 과연마	제거율이 높을수록 정밀 제어가 어려워지는 악순환	[S-7-37]

읽는 순서를 한 장의 흐름으로 잡아 두면 다른 실측 자료에도 같은 틀을 적용할 수 있다.



고객 평가 자리에서 나오는 반박은 거의 정해져 있다. "우리 공정과 조건이 다른데 그 값이 무슨 의미가 있는가"라는 질문이다. 이 반박은 맞는 말이므로 부정하지 말고 세 문장으로 받는다. 먼저 동의한다. "맞습니다. 이 값은 12인치 단일 다마신 평가 구조에서 웨이퍼 중앙을 잰 사례값이고, 귀사 공정의 합격 규격이 아닙니다."

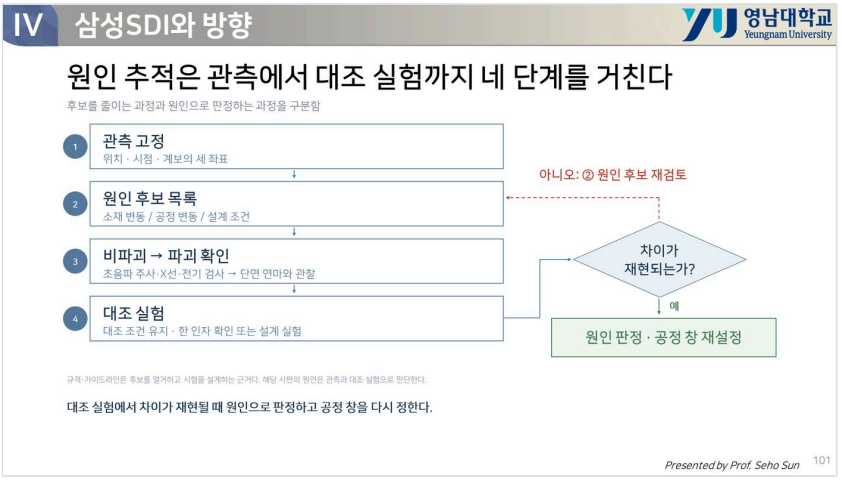
이어서 무엇이 이전되는지를 말한다. "저희가 이 자료에서 가져오려는 것은 값이 아니라 형식입니다. 곧 시험 구조와 측정 위치와 부호 규약과 분포 폭을 함께 제출한다는 형식이고, 이 네 가지가 없는 데이터는 조건이 같아도 비교할 수 없습니다." 마지막으로 되묻는다. "귀사에서는 리세스 재현성을 어느 위치에서 어떤 계측으로 관리하시는지 알려 주시면, 같은 형식으로 시험 구조를 맞춰 제출하겠습니다." 이 순서는 상대의 조건을 인정하고 형식을 제안하며 다음 행동을 요청하는 세 단계다. 실측값의 조건 의존성을 약점이 아니라 대화의 출발점으로 바꾼다 [S-6-26][S-7-37].

이 논문에는 한계도 있다. 사사에 장비 및 슬러리 최적화 지원을 받았다는 기업명이 명기되어 있으므로, 특정 공급사의 제품군을 전제한 결과일 수 있다. 슬러리 조성도 type-C와 type-D라는 명칭만 있고 과산화수소 비중을 낮췄다는 방향만 밝혀져 있으며, 제거율 분당 1 마이크로미터도 최대값이다. 또한 2022년 학회 보고이므로 이후 세대의 미세 피치 요구에는 다시 확인이 필요하다. 이 한계를 먼저 밝히고 값을 인용하는 편이 나중에 밝히는 것보다 신뢰를 얻는다 [S-7-37].

소재 관점에서 보면: 여섯 단계는 본딩용 슬러리에만 쓰이는 틀이 아니다. 고객에게 어떤 실측을 제출하든 시험 구조와 측정 위치와 부호 규약과 분포와 전환점과 재작업 영향이라는 여섯 칸은 그대로 남는다. 삼성SDI가 기존 CMP 슬러리 사업에서 쌓은 데이터를 본딩면용 제안으로 옮길 때, 옮겨야 하는 것은 값이 아니라 이 여섯 칸을 채우는 습관이다. 값은 고객의 구조에서 다시 측정하면 되지만 형식은 제안 전에 갖춰져 있어야 한다.

8.4 불량에서 원인 가설을 거쳐 대조 실험으로

슬라이드 100쪽 · 불량 여섯 가지를 패키지의 서로 다른 자리에 표시한다



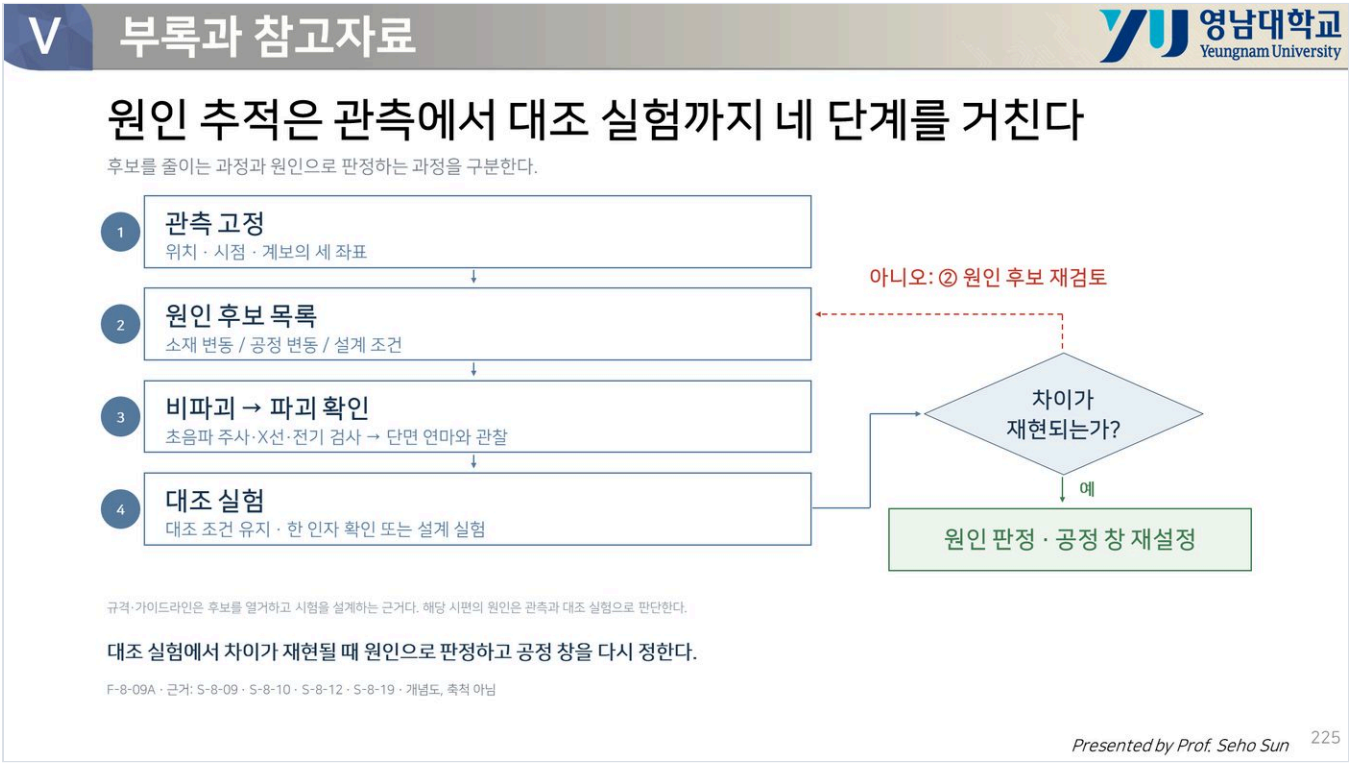
슬라이드 101쪽 · 원인 추적은 관측에서 대조 실험까지 네 단계를 거친다

그 밖의 관련 슬라이드: 110쪽

관련 도해: F-2-14A 신뢰성 시험은 단면의 서로 다른 자리를 겨냥한다 · F-2-14B 시험 → 가속하는 물리 → 관련 소재 물성 · F-2-14C 보드 레벨 신뢰성과 비파괴 검사를 함께 본다 · F-5-14A 같은 패키지 안에서도 결함의 자리는 다르다 · F-5-14B 관측한 결함과 가속할 물리를 연결한다

세미나 110쪽은 관측 다섯 가지와 가능 원인과 추가 평가를 세 열로 늘어놓는다. 101쪽은 관측 고정에서 원인 후보 목록과 비파괴·파괴 확인을 거쳐 대조 실험에 이르는 네 단계를 그리고, 차이가 재현되지 않으면 원인 후보로 되돌아가는 화살표를 붙인다. 두 장이 요구하는 것은 관측에서 원인으로 거슬러 올라가는 절차다. Day 2 §2.6의 표 2.6-(b)는 시험에서 고장 모드로 내려가는 반대 방향이므로, 방향을 뒤집은 절이 따로 필요하다. 현장에서 불량을 만나면 아래 표의 관측 행을 먼저 찾고 가능 원인 칸을 함께 읽는다.

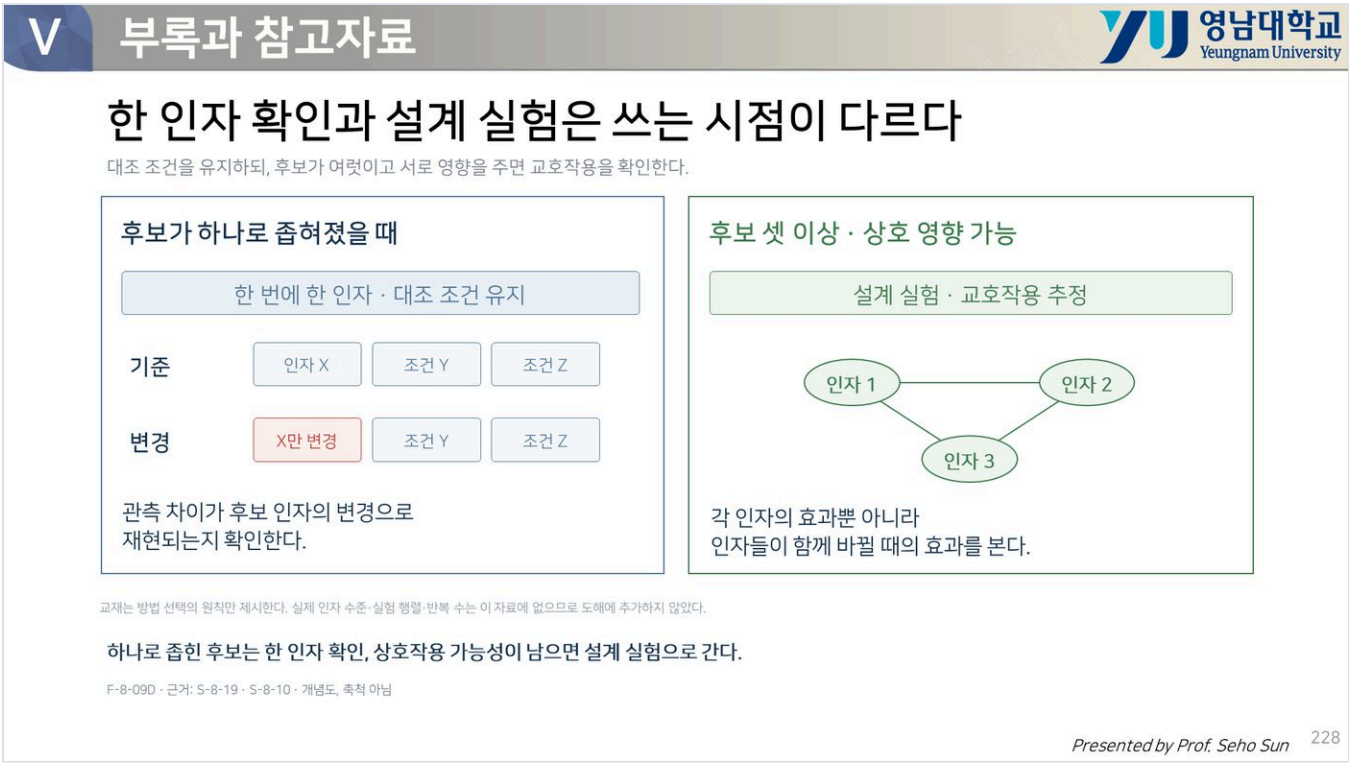
절차는 네 단계다. 관측을 좌표로 고정하고, 원인 후보를 갈라 내고, 비파괴와 파괴 분석으로 후보를 줄이고, 대조 실험으로 판정한다. 각 단계에서 지켜야 할 규율이 하나씩 붙는다.



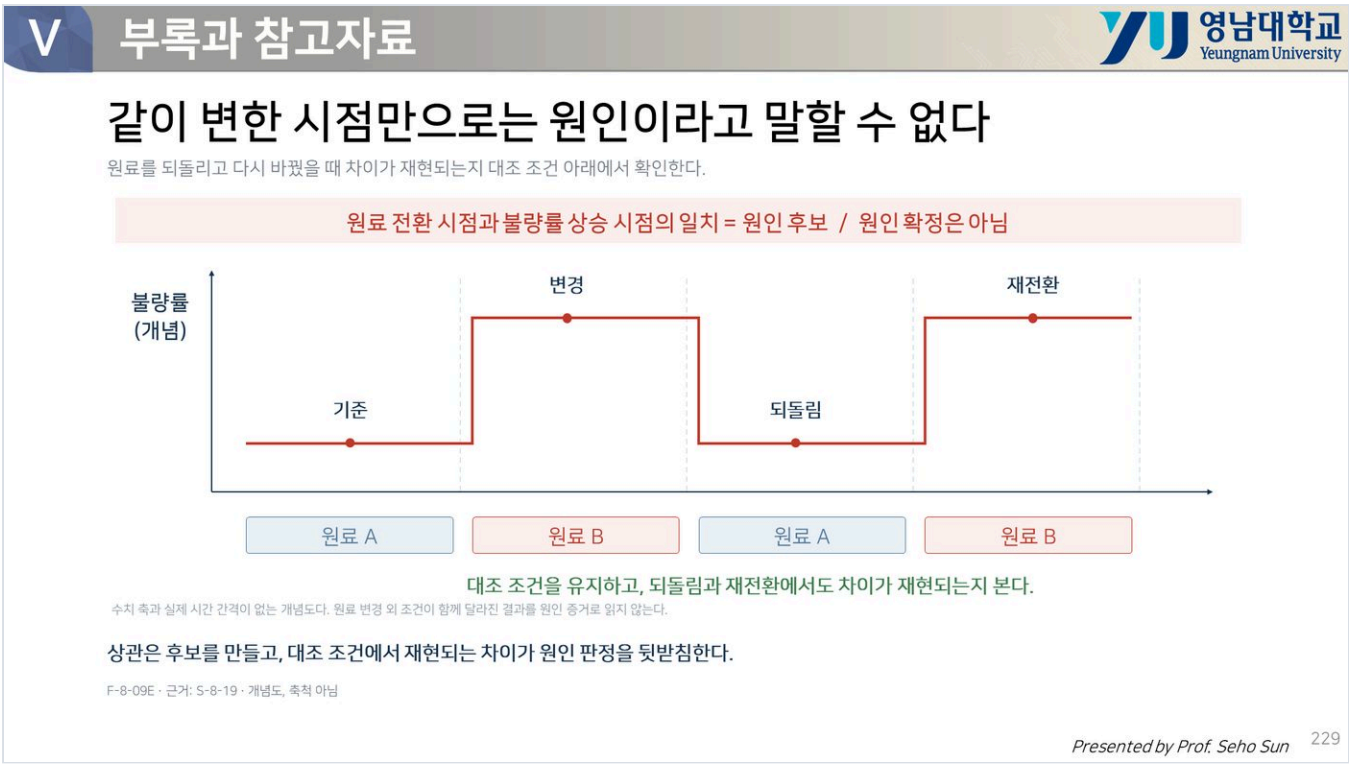
도해 F-8-09A · 원인 추적은 관측에서 대조 실험까지 네 단계를 거친다 · 근거 S-8-09, S-8-10, S-8-12, S-8-19
대조 실험에서 차이가 재현될 때 원인으로 판정하고 공정 창을 다시 정한다.

도해 F-8-09B · 불량 보고는 위치 · 시점 · 계보의 세 좌표로 시작한다 · 근거 S-8-09, S-8-17
어느 계면에서 언제, 어떤 배치·로트·웨이퍼 위치에서 나타났는지 남긴다.

도해 F-8-09C · 원인 후보는 떠오르는 추측이 아니라 목록으로 다룬다 · 근거 S-8-09, S-8-10, S-8-12
후보 목록 → 확인 수단 → 대조 인자를 연결해 빠진 경로를 찾는다.

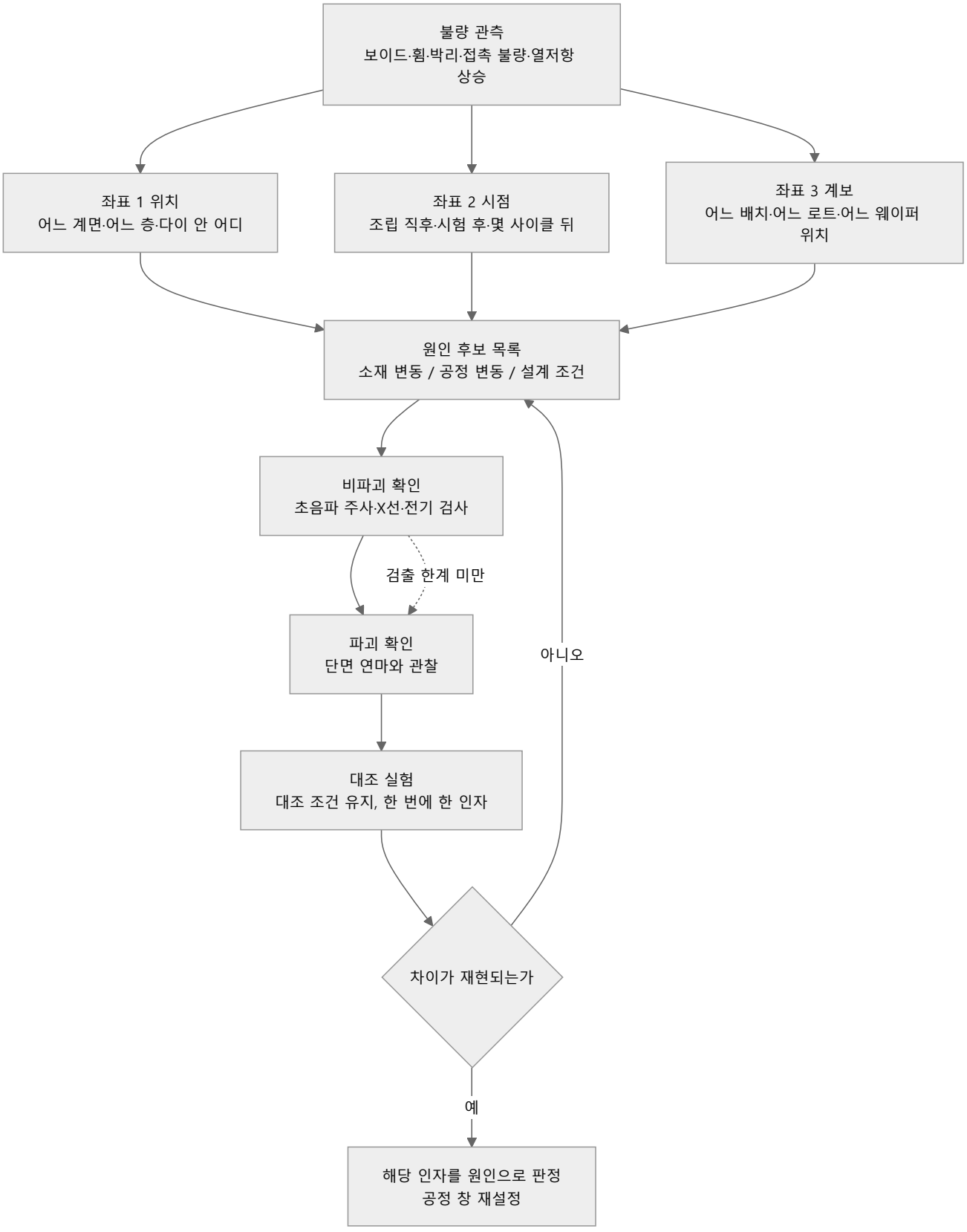


도해 F-8-09D · 한 인자 확인과 설계 실험은 쓰는 시점이 다르다 · 근거 S-8-19, S-8-10
하나로 좁힌 후보는 한 인자 확인, 상호작용 가능성이 남으면 설계 실험으로 간다.



도해 F-8-09E · 같이 변한 시점만으로는 원인이라고 말할 수 없다 · 근거 S-8-19

상관은 후보를 만들고, 대조 조건에서 재현되는 차이가 원인 판정을 뒷받침한다.



첫 단계는 관측을 세 좌표로 고정하는 것이다. 위치는 결함이 어느 계면에 있는지를 가리킨다. 다이와 몰드 사이인지, 몰드와 기판 사이인지, 접합부 내부인지에 따라 원인 경로가 완전히 달라진다. 시점은 결함이 조립 직후에 있었는지 시험을 거친 뒤 생겼는지를 가리키며, 앞이면 초기 결함이고 뒤면 열화다.

도해 F-8-07A · 불량 여섯 가지를 패키지의 서로 다른 자리에 표시한다 · 근거 S-8-17, S-8-15
관측을 위치 · 시점 · 계보의 세 좌표로 고정해야 원인 후보가 좁혀진다.

도해 F-8-07B · 보이드·박리·균열은 이름보다 위치를 먼저 묻는다 · 근거 S-8-15, S-8-17
갭 · 재료 경계 · 접합부 내부를 구분한 다음 분석 수단을 고른다.

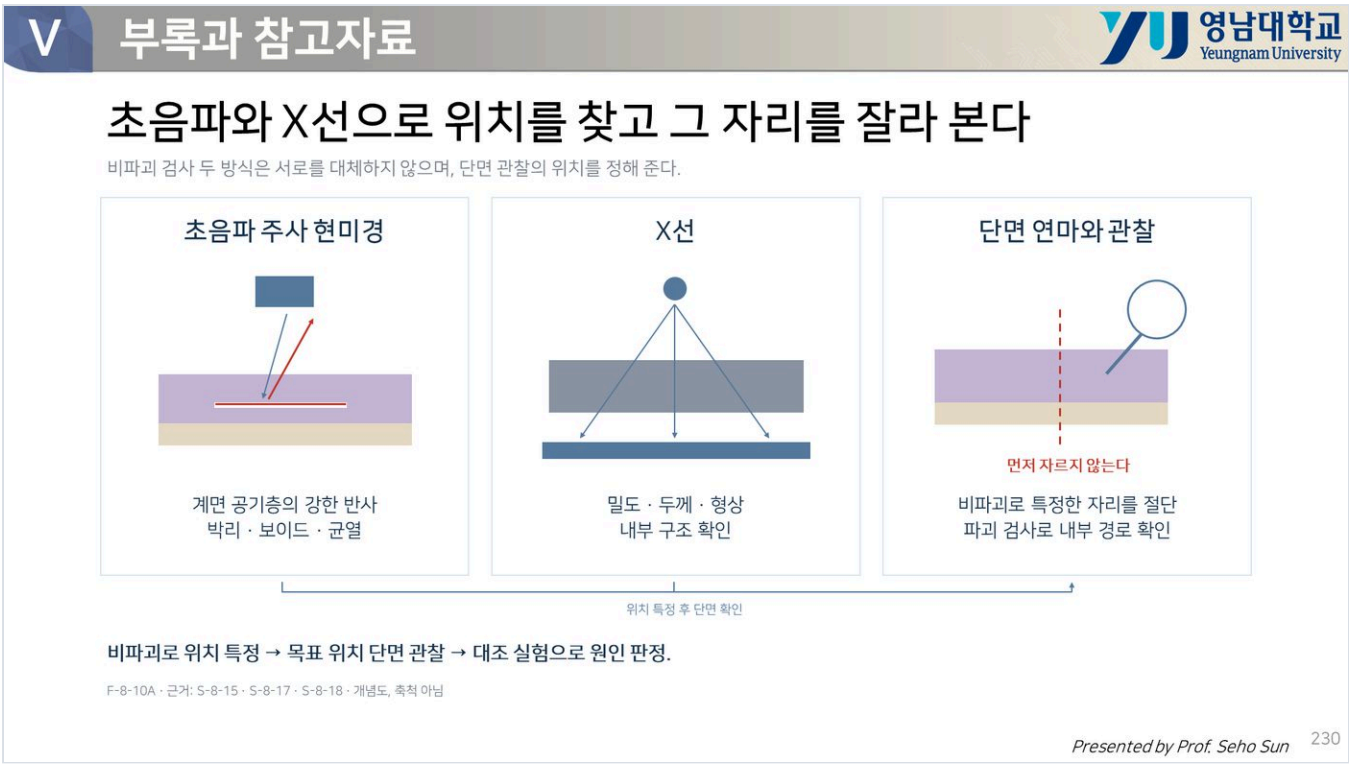
도해 F-8-07C · 휨·접촉 불량·열저항 상승은 조건과 시점을 먼저 묻는다 · 근거 S-8-05, S-8-17
관측값에는 측정 온도와 시점, 접합면 상태를 함께 붙인다.

계보는 그 시료가 어느 배치의 어느 로트에서 나왔고 웨이퍼 어느 위치였는지를 가리킨다. 같은 배치 안에서만 보이면 소재 변동 쪽이다. 배치를 가로질러 보이면 공정이나 설계 쪽이다. 세 좌표를 적지 않은 불량 보고는 원인 후보를 좁히지 못한다.

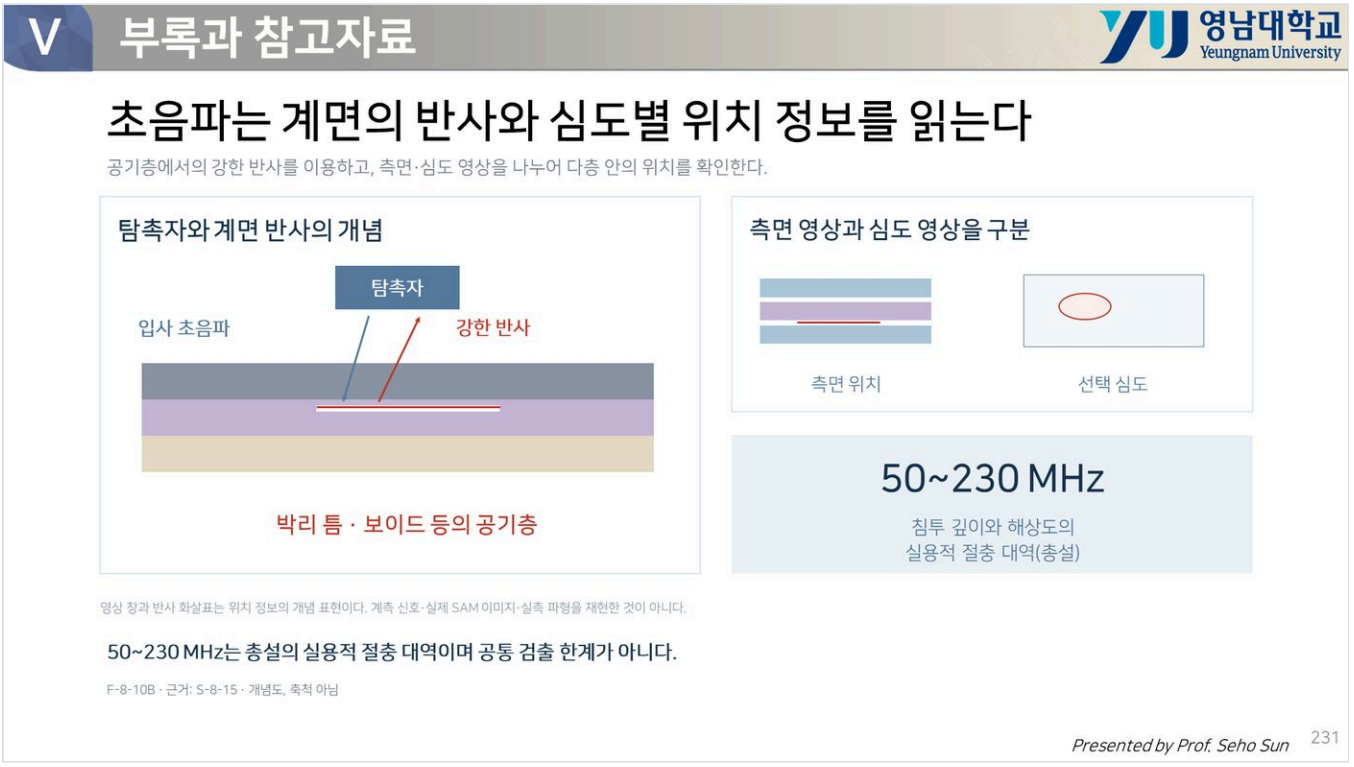
둘째 단계는 원인 후보를 갈라 내는 것이며, 여기에는 공개된 절차 문서가 있다. JEDEC의 JEP131C는 패키지와 칩 설계부터 조립과 양산까지 전 공정에 고장 모드 영향 분석을 적용하는 최소 가이드라인이다. 이 문서는 후보를 임의로 떠올리지 않고 공정 단계별로 빠짐없이 열거하는 틀을 준다 [S-8-09]. JEP132A.01은 신규 또는 기존 공정을 특성화할 때 고장 모드 영향 분석과 실험 계획과 측정 시스템 평가와 공정 능력 지수와 통계적 공정 관리를 각각 언제 쓸지 규정한다 [S-8-10]. JEP148B는 물리적 고장 기구를 개발 단계에서 선제적으로 다루는 관점을 제시한다 [S-8-12]. 세 문서의 공통점은 원인을 추측이 아니라 목록으로 다루라는 것이다.

셋째 단계는 비파괴 확인을 먼저 하고 파괴 확인으로 넘어가는 것이다. 초음파 주사 현미경은 계면의 공기층에서 강한 반사가 나오는 성질을 이용해 박리와 보이드와 균열을 비파괴로 찾는다. 측면 영상과 심도 영상을 나누어 다층 구조 안의 위치도 가른다. 2025년에 정리된 총설은 다이 부착층과 언더필과 TSV와 구리 직접 접합 계면까지 이 기법이 적용되는 범위를 모았다. 같은 총설은 침투 깊이와 해상도의 실용적 절충 대역을 50에서 230 메가헤르츠로 제시한다 [S-8-15].

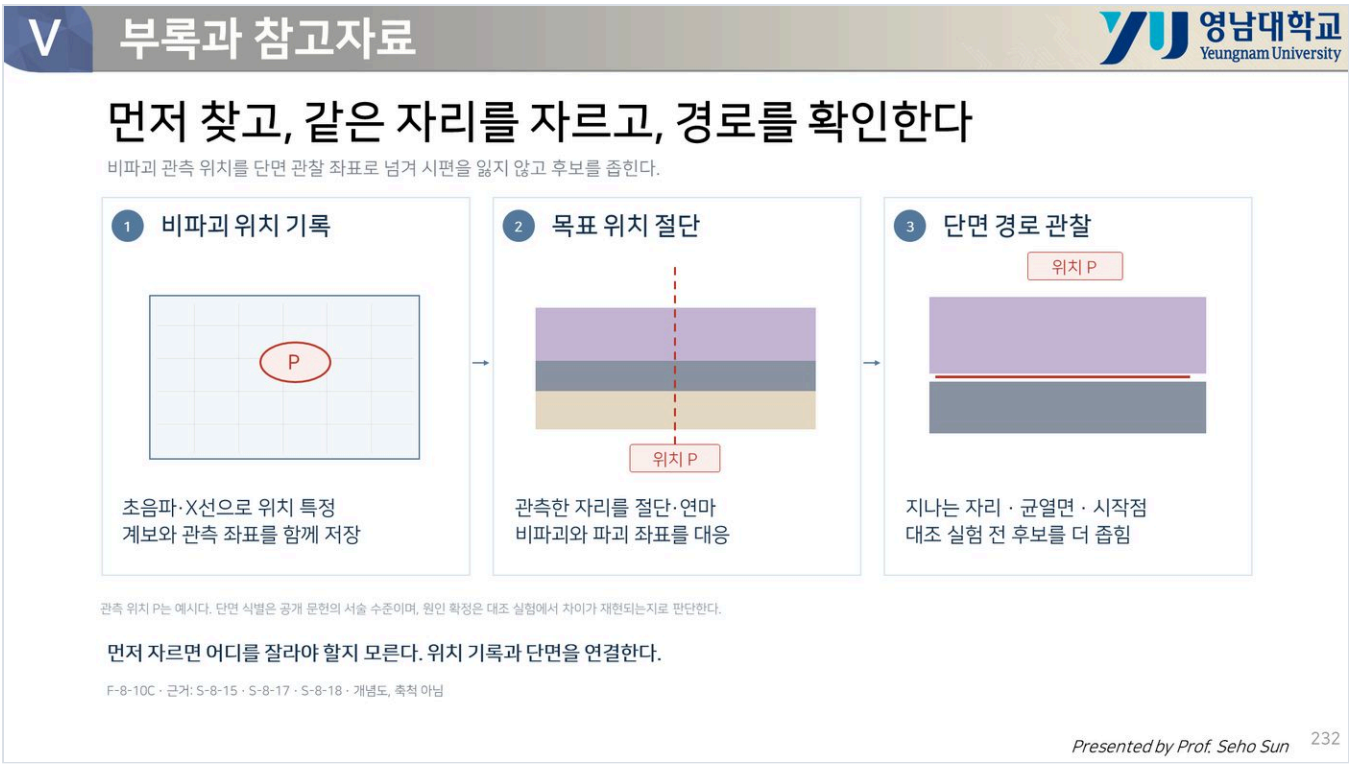
X선은 밀도와 두께와 형상에 강하고 초음파는 계면 박리와 균열과 보이드에 강하므로, 두 기법은 서로를 대체하지 않는다 [S-8-18]. 다이 부착과 와이어 본딩 결함의 검출 방법을 정리한 총설은 광학과 방사선과 음향과 적외선 열화상을 나누면서 파괴 검사와 비파괴 검사의 경계를 분명히 한다 [S-8-16]. 비파괴로 위치를 특정한 뒤에 그 자리를 잘라 단면으로 확인하는 순서를 지켜야 한다. 먼저 자르면 어디를 잘라야 할지 모르기 때문이다. 전자 조립체의 불량 해석에서 단면 연마를 포함한 현미경 기법으로 육안으로 볼 수 없는 내부 결함을 확인하는 절차는 공개 문헌으로 정리되어 있다 [S-8-17].



도해 F-8-10A · 초음파와 X선으로 위치를 찾고 그 자리를 잘라 본다 · 근거 S-8-15, S-8-17, S-8-18
비파괴로 위치 특정 → 목표 위치 단면 관찰 → 대조 실험으로 원인 판정.



도해 F-8-10B · 초음파는 계면의 반사와 심도별 위치 정보를 읽는다 · 근거 S-8-15
50~230 MHz는 총설의 실용적 절충 대역이며 공통 검출 한계가 아니다.



도해 F-8-10C · 먼저 찾고, 같은 자리를 자르고, 경로를 확인한다 · 근거 S-8-15, S-8-17, S-8-18
먼저 자르면 어디를 잘라야 할지 모른다. 위치 기록과 단면을 연결한다.

넷째 단계는 대조 실험이다. 여러 조건을 동시에 바꾸면 차이가 생겨도 원인을 가릴 수 없으므로 대조 조건을 남기고 한 번에 하나씩 바꾼다. 세미나 110쪽이 말하는 규율이며 소재 실무자에게 익숙한 방법이다.

다만 한 번에 한 인자만 바꾸는 방식은 인자들 사이의 교호작용을 추정하지 못한다. 반도체 웨이퍼의 가스 어닐 공정을 포함한 세 개의 실제 사례로 두 방식을 비교한 연구가 있다. 이 연구는 설계 실험이 더 적은 자원으로 교호작용까지 추정할 수 있음을 보였다 [S-8-19]. 그러므로 실무에서는 원인 후보가 하나로 좁혀졌을 때 한 번에 한 인자로 확인한다. 후보가 셋 이상 남아 있고 서로 영향을 주고받을 가능성이 있을 때는 설계 실험으로 간다. 이 구분을 알면 "조건을 하나씩 바꾼다"는 원칙이 상투구가 아니라 선택이 된다.

상관과 원인의 구분은 넷째 단계의 판정 기준에 들어간다. 같은 시기에 함께 변한 변수는 언제나 여럿이고, 그 가운데 어느 것이 원인인지는 대조 실험에서 차이가 재현될 때에만 말할 수 있다. 공급사가 원료를 바꾼 시점과 불량률이 오른 시점이 겹친다는 사실만으로는 원인이 되지 않는다. 그 원료로 돌아갔을 때 불량률이 내려가고 다시 바꿨을 때 올라가야 원인이다.

계면 박리와 접합부 균열도 갈라 보아야 한다. 두 결함은 관측 이름이 다를 뿐 아니라 원인 경로가 다르다. 계면 박리는 서로 다른 두 재료의 접착이 끊어진 것이므로 원인 경로가 접착력과 표면 상태와 수분에 놓인다. 흡습한 수분이 리플로우 급가열에서 기화하면 계면을 밀어 벌리고, 이온성 불순물이 있으면 습열 가속 시험에서 부식과 전기화학적 이동이 접착을 무너뜨린다 [S-2-05][S-2-19].

접합부 균열은 솔더나 금속 접합부 자체가 끊어진 것이므로 원인 경로가 열팽창 부정합에 따른 반복 전단 변형에 놓인다. 온도 사이클이 이 경로를 가속하며, 걸리는 소재 물성은 언더필과 EMC의 열팽창계수와 탄성계수다 [S-2-17]. 같은 온도 사이클 시험에서도 박리가 나오면 접착과 흡습을 보고, 균열이 나오면 열팽창과 탄성률을 본다.

단면에서는 균열이 지나는 자리와 균열면의 모양과 시작점의 위치를 본다. 두 재료의 경계선을 따라가면 박리이고, 금속 조직 내부를 가로지르면 접합부 균열이다. 박리면은 두 재료가 갈라진 매끈한 면이고, 피로 균열은 결정립을 따라 진행한 흔적을 남긴다. 박리는 계면의 가장자리나 응력 집중점에서 시작한다. 접합부 균열은 전단 변형이 가장 큰 바깥쪽 접합부에서 시작하는 경우가 많다.

도해 F-8-08A · 경계선을 따라가면 박리, 금속 조직을 가로지르면 균열이다 · 근거 S-8-17, S-2-17, S-2-19
같은 시험에서 나온 결함도 경로가 다르면 확인할 소재 물성이 다르다.

도해 F-8-08B · 관측한 파괴 경로에 맞추어 대조 인자를 고른다 · 근거 S-2-05, S-2-19, S-2-17, S-8-17
박리에는 접착과 흡습, 접합부 균열에는 열팽창계수와 탄성계수를 본다.

다만 이 세 가지를 수치 기준으로 규정한 공개 표준은 이 자료의 조사 범위에서 확인하지 못했다. 외형 치수를 다루는 JESD22-B100B와 납땜성을 다루는 JESD22-B102E는 이름 때문에 오인되기 쉬우나, 원문 대조 결과 단면 분석과 무관했다 [S-8-13][S-8-14]. 해당 절차를 규정한 것으로 검색되는 문서들은 JEDEC 계열이 아니었고, 원문도 열람하지 못했다. 그러므로 식별 기준은 공개 문헌의 서술 수준으로만 제시한다 [S-8-17].

관측	가장 먼저 물을 것	원인 경로	확인 수단	대조 실험에서 바꿀 인자
보이드	어느 갭에서, 충전 직후인가 시험 후인가	충전 부족 또는 오염 또는 휘발	초음파 주사, 단면	점도와 주입 조건, 세정 조건
휨	상온인가 리플로우 온도인가	열팽창 차와 경화 수축	온도별 휨 곡선	열팽창계수와 탄성계수, 경화 프로파일
계면 박리	어느 두 재료 사이인가	접착력, 표면 상태, 수분	초음파 주사, 단면, 전처리 비교	표면 전처리, 접착 촉진, 흡습 이력
접합부 균열	스택 안쪽인가 바깥쪽인가	열팽창 부정합에 의한 반복 전단	단면, 전기 검사	언더필 열팽창계수와 탄성계수
접촉 불량	정렬 오차인가 표면 오염인가	정렬, 오염, 접합 조건	전기 검사, 접합면 관찰	정렬 조건, 세정과 대기, 접합 온도
열저항 상승	초기인가 사이클 후인가	두께와 접촉, 밀려남	압력과 두께별 시험, 사이클 후 재측정	체결 압력, 본드라인 두께, 소재 형태

> **소재 관점에서 보면**: 이 절차의 모든 단계가 소재 회사의 개입 지점을 만든다. 좌표 고정 단계에서는 공급사가 배치 계보를 남겨 두어야 고객이 원인을 가를 수 있다. 후보 열거 단계에서는 공급사가 자사 소재의 고장 기구를 목록으로 제시하고, 대조 실험 단계에서는 인자 하나를 바꾼 시료를 만들어 준다. 따라서 불량 해석은 고객의 일이 아니라 공동 작업이며, 그 작업에 참여할 자격은 자료의 형식에서 나온다. 8.2의 제출 형식과 이 절의 추적 절차는 같은 요구를 제출 시점과 사후 시점에서 각각 규정한 것이다.

8.5 공정 흐름 슬라이드 해설

관련 슬라이드: 21쪽 · 83쪽 · 101쪽 · 119쪽

관련 도해: F-2-08A 접합 3방식: 무엇을 녹이고 무엇을 맞대는가 · F-2-08B 피치 축소는 소재의 교체가 아니라 중첩을 만든다 · F-6-08A CMP는 압반·패드·슬러리·온도를 함께 제어한다 · F-6-08B 벌크 Cu 제거와 nm 마감은 다른 플래튼에 맡긴다 · F-6-08C 산화제를 낮춘 사례에서는 디싱 분포와 부호가 달라졌다 · F-8-01A 같은 배치에서 갈라 낸 시편이 원인 추적의 출발점이다 · F-8-01B 세 시편은 같은 소재를 서로 다른 상태에서 본다 · F-8-09A 원인 추적은 관측에서 대조 실험까지 네 단계를 거친다 · F-8-09B 불량 보고는 위치 · 시점 · 계보의 세 좌표로 시작한다 · F-8-09C 원인 후보는 떠오르는 추측이 아니라 목록으로 다룬다 · F-8-09D 한 인자 확인과 설계 실험은 쓰는 시점이 다르다 · F-8-09E 같이 변한 시점만으로는 원인이라고 말할 수 없다

이 절은 세미나 슬라이드 스물세 장을 쪽 순서로 해설한다. 단계를 가로로 늘어놓은 공정 흐름 장이 중심이고, 여러 층을 한 그림에 담은 구조 단면 장과 평가 절차를 그린 장도 함께 다룬다. 그림 속 이름은 슬라이드에 이미 적혀 있으므로, 읽을 때 필요한 것은 요소들이 어떻게 이어지고 그중 강조한 요소가 왜 거기 있는가에 대한 설명이다. 그래서 각 해설은 그림의 요소를 순서대로 잇고, 강조한 요소가 나머지를 좌우하는 이유를 밝힌 뒤, 슬라이드의 결론 문장으로 닫는다. 소제목의 쪽 번호와 제목은 현재 세미나 슬라이드의 쪽 번호와 장 제목 그대로다.

7쪽 네 단면을 같은 순서로 읽는다

네 단면은 왼쪽 축을 따라 위에서 아래로 같은 순서로 읽는다. 열 경로에서 실리콘, 접합부, 충전재, 배선층, 지지층을 지나 외부 단자에 이르는 일곱 칸이다. 칸의 순서는 같고, 단면 아래 설명이 가리키는 층 하나만 다르다. 그 층이 고밀도 배선을 맡는다. 층마다 따로 구매되는 소재가 있으므로 배선을 맡는 층이 바뀌면 소재 목록도 바뀐다. FC-BGA는 기판이, CoWoS-S는 실리콘 인터포저가, HBM은 TSV가, FO-WLP는 RDL이 핵심 배선을 맡는다.

20쪽 요소 공정 여덟 가지 한눈에

한 장의 패키지 단면 위에 요소 공정 여덟 가지가 번호로 놓여 있다. 범프(①)는 로직과 HBM 아래의 마이크로범프, 인터포저 아래의 C4, 기판 아래의 BGA 세 곳에 같은 번호로 붙는다. 같은 이름이 세 층에 되풀이되므로 범프는 무엇과 무엇을 잇는지로 구분한다. TSV(③)는 범프와 같은 통로 묶음이지만 몸체 사이가 아니라 실리콘 몸체 안을 지나는 수직 배선이다. 여덟 요소는 통로(①③), 배선(②④⑧), 붙이기(⑤), 채우기(⑥⑦)의 네 묶음이다.

22쪽 TSV는 구멍을 만들고 채운 뒤 평탄화한다

TSV는 깊은 구멍 형성, 절연막 입힘, 구리 채움, 여분 구리 CMP의 네 단계로 만든다. 따로 표시한 넷째 단계의 CMP가 이 사슬을 다음 공정에 잇는다. 위로 넘친 구리를 깎아 평탄한 면을 남겨야 그 면이 다음 접속인 범프의 출발점이 되기 때문이다. 그림은 네 단계만 펼친 개념도이며 배리어, 시드층, 박형화, 뒷면 노출은 생략했다. 이 CMP는 본딩면 CMP와 깎는 재료와 목표 표면이 달라 같은 합격선으로 읽지 않는다 [S-2-25]. 구리의 여분을 CMP로 제거하면 다음 접속을 위한 평탄한 면이 남는다.

29쪽 CoWoS-S · R · L: 바뀌는 것은 인터포저다

세 단면은 위의 로직과 HBM, 아래의 FC-BGA 기판이 같고, 사각형으로 표시한 가운데 배선 캐리어만 다르다. CoWoS-S는 TSV를 뚫은 실리콘 인터포저를, CoWoS-R은 PSPI나 PBO 같은 폴리머와 구리를 번갈아 쌓은 다층 RDL을 쓴다. CoWoS-L은 RDL 안에서 배선 밀도가 필요한 구간에만 국부 실리콘 브리지(LSI)를 묻는다. 전면 실리콘은 배선 밀도가 높지만 면적을 키우기 어렵고 폴리머와 구리는 그 반대이므로, L은 둘을 섞은 절충이다. 캐리어가 폴리머 쪽으로 옮겨 가면 RDL 절연막이 새 소재 자리로 열린다. 캐리어가 소재 항목을 바꾼다.

34쪽 삼성 Cube 5종: 수평 캐리어와 수직 접합을 나눈다

다섯 이름은 두 묶음으로 나뉜다. 왼쪽 수평 통합의 Cube-S·E·R은 칩 아래 캐리어로 갈리며, 차례로 TSV 실리콘, RDL에 실리콘 브리지를 묻은 구조, 유기 RDL이다. 오른쪽 수직 통합의 Cube-T·H는 접합으로 갈리며, T는 마이크로범프 열압착이고 H는 범프 없는 구리 직접 접합이다. 구조로는 Cube-S가 CoWoS-S에, E가 CoWoS-L에, R이 CoWoS-R에, H가 SoIC에 대응한다. 그러나 단면 아래 상태 칸은 양산 가능, 양산 준비, 개발 단계로 서로 다르다. 구조 대응 관계가 양산 상태의 동등함을 뜻하지는 않는다.

41쪽 접합과 충전의 순서

그림은 세 방식을 왼쪽부터 나란히 놓았다. 왼쪽 열의 접합 뒤 충전은 다이를 배치하고 금속을 접합한 다음 수지를 채우고 경화하며, 번호 ①로 강조한 수지 충전은 이미 만들어진 미세 공간을 채운다. 가운데 열의 수지 먼저 배치는 수지나 필름을 먼저 깔고 정렬한 다음 접합과 경화를 끝낸다. 번호 ②로 강조한 단계는 첫

단계인 수지/필름 배치이며, 수지가 먼저 들어가 있으므로 접합하는 동안 수지의 유동과 접점의 형성이 겹친다.

오른쪽 칸의 일괄 접합 뒤 충전은 다이를 쌓고 한 번에 리플로우한 다음 갭과 외곽을 함께 채우고 경화하므로, 갭 충전과 외곽 보호를 한 소재가 한 번에 맡는다. 두 번호가 서로 다른 단계에 붙은 것은 방식마다 수지가 들어가는 시점이 다르기 때문이다. 오른쪽 아래 설명처럼 세 방식은 같은 소재군이 아니라 따로 설계하는 제품이다. 수지를 언제 넣느냐가 점도와 경화 반응과 잔사 조건을 통째로 바꾼다.

42쪽 TC-NCF의 공정 순서와 공정 창

TC-NCF는 필름을 배치하고, 다이를 정렬하고, 열압착하고, 경화해 접합한다. 그림에서 강조한 열압착 구간에서는 수지의 유동과 금속 접점의 형성이 겹친다. 경화가 너무 빨리 시작되면 이 구간에서 접점 형성이 방해된다. 필름을 쓰는 이유는 두께 재현성이며, 여러 층을 쌓아도 편차가 누적되지 않는다. 이 방식의 관건은 열압착 구간에서 유동과 경화의 시점을 맞추는 일이다.

43쪽 MR-MUF의 공정 순서와 공정 창

MR-MUF는 다이를 쌓고, 한 번에 리플로우하고, 갭과 외곽을 채우고, 경화 상태를 확보한다. 그림은 둘째 단계의 일괄 리플로우에 ①을, 셋째 단계의 수지 충전에 ②를 붙였다. ①에서 스택 전체의 금속 접속이 한 번에 끝나므로, 단수가 늘어도 접합 시간이 거의 늘지 않는다. 리플로우 중 솔더가 스스로 자리를 잡는 작용이 있어 얇은 다이의 휨에 대응하기 쉬운 면도 있다. ②에서는 접속이 끝나 이미 좁아진 갭의 끝까지 액상 수지가 닿아야 한다. 아래 그림처럼 입구에 걸리는 입자와 갇힌 공기와 경화 뒤 계면이 충전의 성패를 가르므로, 미세 갭을 채울 수 있는지는 필러 입도와 갭 형상을 함께 보고 판단한다. 이 방식의 관건은 좁은 갭을 끝까지 채우는 액상 소재의 침투다.

46쪽 하이브리드 본딩: 표면 준비에서 영구 접합까지

하이브리드 본딩은 CMP, 세정, 플라즈마 활성화, 상온 정렬·맞댐, 어닐의 다섯 단계로 영구 접합에 이른다. CMP는 구리만 약간 낮게 남겨 리세스를 만들고, 세정은 입자와 유기 잔사와 금속 오염을 걷어 내며, 활성화는 표면에 수산기를 만든다. 맞댐에서 유전막끼리 먼저 예비 접합되고, 어닐에서 구리가 맞닿아 결정립이 자라면 영구 접합이 된다.

단계 위의 칸을 보면 다섯 가운데 넷은 소재와 표면 화학이 결과를 정하고, 장비는 정렬과 가압만 맡는다. 아래 붉은 점선은 흐름을 둘로 가른다. 예비 접합까지는 정렬 오차나 보이드를 찾으면 CMP와 세정부터 다시 할 수 있지만, 어닐 뒤에는 되돌릴 수 없다. 예비 접합 뒤 대기가 길수록 결합이 강해져 떼어 낼 때 파손될 수 있으므로 대기 시간도 관리한다. 본딩은 소재·표면 화학의 네 단계와 정렬·가압의 한 단계로 나누어 읽는다.

47쪽 본딩 전후의 공정 흐름

하이브리드 본딩은 다섯 단계다. 표면을 평탄화하고, 후세정을 하고, 표면을 활성화하고, 두 면을 정렬해 접촉시키고, 어닐과 검사로 마무리한다. 단계마다 아래에 적은 결함 이름이 그 단계에서 만들어지는 불량이다. 평탄화에서는 리세스가, 후세정에서는 파티클이, 활성화에서는 표면 화학이, 정렬에서는 정렬 오차가, 어닐과 검사에서는 보이드가 나온다.

그림에서 강조한 첫 단계가 이 사슬의 시작점이다. 평탄화가 남기는 것은 나노미터 단위로 재현된 금속 높이이고, 여기서 남은 높이 차이는 세정으로 지울 수 없다. 그래서 최종 검사에서 보이드가 보이면 원인은 앞의 네 단계 어딘가에 있다. 접합 수율은 본딩 장비가 아니라 앞선 네 단계의 표면 관리에서 결정된다.

68쪽 최소 점도 창과 경화 창을 함께 맞춘다

왼쪽 곡선은 NCF를 일정한 속도로 가열할 때의 점도다. 점도는 바닥 구간까지 내려갔다가, 경화가 시작되어 겔로 넘어가면 급격히 오른다. 음영으로 표시한 바닥 구간이 압착 중 수지가 밀려나 범프가 패드에 닿는 창이고, 접점이 생긴 뒤에는 빠르게 굳어야 한다. 오른쪽의 1세대 등급은 바닥 점도가 높아 큰 하중에도 pillar와 패드가 닿지 않은 사례다. 곡선은 분 단위로 가열한 시험값이어서 초 단위로 가열하는 열압착 프로파일에 그대로 겹치지 않는다. 고점도는 미세 피치에서 접촉을 막을 수 있으므로 점도와 경화 타이밍을 함께 조절한다.

74쪽 벌크 열전도율과 계면 열저항은 다른 시험으로 본다

왼쪽 laser flash는 시편 한 면에 짧은 광 펄스를 쏘고 반대 면의 온도 상승으로 열확산도를 구해 열전도율로 환산한다 [S-5-15]. 접촉 계면의 저항이 보이지 않으므로 이 값은 벌크 열전도율이다. 오른쪽 ASTM D5470은 두 미터 바 사이에 TIM 시편을 끼우고 체결압을 건 채 열임피던스를 잰다 [S-5-14]. 두께를 바꾼 시편들의 회귀로 벌크 기여와 양면 접촉 저항을 나눌 수 있다는 점이 두 시험을 가른다. 같은 숫자라도 나온 시험에 따라 뜻이 다르므로, 열전도율에는 측정법과 방향을, TIM 열저항에는 체결압과 BLT를 짝으로 붙인다.

76쪽 도포·노광·현상 뒤에는 비아 바닥을 확인한다

PID 패턴은 도포, 노광, 현상, 검사의 네 단계로 만든다. 도포는 액상 회전 도포와 필름 라미네이션의 두 형태이며 인증 경로도 따로 밟는다 [S-8-07]. 노광은 빛 받은 부분이 녹는 포지티브와 남는 네거티브로 나뉘고, 현상액으로 비아를 연다. 넷째 그림에서 비아 바닥에 붉게 표시한 잔사가 요점이다. 바닥에 잔사가 남으면 뒤이은 구리 도금이 바닥에 닿지 못하므로, 잔사가 보이면 식각률과 표면 거칠기를 함께 따져 플라즈마 디스컴 조건을 잡는다. 패턴이 열려 보여도 비아 바닥의 잔사와 개구 CD와 측벽각은 따로 확인해야 한다.

80쪽 CMP 단계와 표면 지표

CMP는 벌크 구리를 걷어 내고, 배리어에서 멈추며 잔류 금속을 없애고, 마지막에 접합에 필요한 표면을 만든다. 그림에서 강조한 마무리 단계가 소재 기회가 열리는 자리다. 벌크 제거는 제거율이 목표여서 단단한 패드와 높은 압력을 쓴다. 마무리는 리세스와 조도가 목표여서 무른 패드로 제거율을 낮추는 교환을 받아들인다. 벌크 제거와 마감은 목표가 달라 같은 슬러리와 같은 패드로 처리할 수 없다.

오른쪽 패널은 표면 지표를 구리 리세스, 패턴 영역 전체가 내려앉는 에로전, 미세 높이의 불규칙성인 표면 조도로 나누고, 약 400 °C 어닐 조건의 리세스 1~5 nm와 SiCN 실측 RMS 0.10 nm(SiO_2는 0.16 nm)를 사례로 든다 [S-6-25]. 1 μm 미만 피치에서 보고된 리세스 5 nm 미만과 구리 대 SiCN 제거율 비 1 대 1.5도 함께 적혀 있으며, 네 값 모두 보편 합격선이 아니라 조건별 사례다 [S-6-26].

85쪽 본딩면에서는 Cu·배리어·SiCN이 동시에 드러난다

접합 직전의 본딩면에는 세 소재가 함께 드러난다. SiCN 본딩 유전막이 바탕을 이루고, 구리 패드가 유전막보다 약간 낮게 박혀 리세스를 이루며, 패드 둘레를 얇은 배리어가 감싼다. SiCN의 전구체는 하이브리드 본딩에서 새로 생기는 소재 자리다. 넷째 번호가 가리키는 면에 CMP와 세정이 함께 닿으므로 세 소재를 한 번에 마감해야 하고, 배리어가 나노미터 수준으로 돌출해도 문제가 된 사례가 있다. 관리의 기준 시점은 세정 직후가 아니라 접합 직전이다. 본딩 유전막과 패드와 배리어를 한 표면으로 관리해야 한다.

86쪽 임시접착제는 뒷면 공정을 견딘 뒤 깨끗이 떨어져야 한다

임시접합은 여섯 단계의 사슬이다. 웨이퍼를 접착제로 캐리어에 붙이고, 뒷면을 갈아 얇게 만든 뒤 손상층을 없앤다. 이어서 TSV를 드러내거나 뒷면 배선과 범프를 만들고, 캐리어를 떼어 낸 뒤 남은 접착제를 세정한다. 그림 아래 설명처럼 앞의 네 단계에서 접착제는 공정 온도와 약액을 견뎌야 하고, 뒤의 두 단계에서는 얇은 웨이퍼를 깨뜨리지 않고 잔사 없이 떨어져야 한다. 한 소재가 두 구간을 모두 통과해야 하므로 분리 방식과 캐리어 재질과 접착제 화학을 한 묶음으로 정한다. 내열·내약품성과 분리·세정성은 서로 반대 방향의 요구다.

101쪽 원인 추적은 관측에서 대조 실험까지 네 단계를 거친다

원인 추적은 관측 고정, 원인 후보 목록, 비파괴에서 파괴로 가는 확인, 대조 실험의 네 단계다. 관측은 위치와 시점과 계보의 세 좌표로 고정하고, 후보는 소재 변동과 공정 변동과 설계 조건으로 나눈다. 앞의 세 단계는 후보를 줄이는 과정이고, 원인을 판정하는 것은 넷째 단계뿐이다. 대조 조건을 남긴 채 후보가 하나면 한 인자를 바꾸고 여럿이 얽혀 있으면 설계 실험을 쓴다 [S-8-19]. 차이가 재현되지 않으면 붉은 점선을 따라 원인 후보로 돌아간다. 대조 실험에서 차이가 재현될 때 원인으로 판정하고 공정 창을 다시 정한다.

103쪽 단면 한 장으로 보는 방향 ① 지금의 자리

방향을 세 겹으로 쌓는 그림의 첫 겹이다. 요소 공정을 번호로 놓았던 것과 같은 단면 위에 삼성SDI의 공식 제품군을 실선 배지로 붙였다. EMC는 오버몰드와 스택 외곽에, PID는 RDL 층간 절연막에, CMP 슬러리는 인터포저 배선과 구리 접합면에 놓인다. 점선 배지의 SOD는 본딩 유전막 후보로 검토하는 단계이고, 패키지 안 위치가 정해지지 않은 SOH와 박형화 공정용 점접착 필름은 단면 밖에 적었다. 범례 아래 한 줄처럼 실선 배지는 제품군 보유를 뜻할 뿐 고객 채택을 뜻하지 않는다. 이 겹이 지금의 자리이고, 방향이 옮기는 수요와 먼저 갖출 데이터가 그 위에 얹힌다.

104쪽 단면 한 장으로 보는 방향 ② 다섯 방향이 옮기는 수요

둘째 겹은 같은 단면 위에 다섯 방향을 점선 화살표로 얹었다. 적층 고도화(①)는 HBM 스택 층간으로, 범프 없는 연결(②)은 다이 간 접합면으로, 로직 베이스 다이(③)는 base die로, 패널·유리(④)는 인터포저와 기판 코어로, 광통합(⑤)은 가장자리의 광엔진으로 향한다. 화살표는 소재가 쓰이는 자리의 이동이다. 예를 들어 범프 없는 연결은 솔더와 갭필 수요를 CMP와 세정과 본딩 유전막 수요로 옮긴다. 화살표 끝이 실선 배지와 만나는 곳은 기존 역량이 닿는 수요이고, 만나지 않는 곳은 새 역량이 필요한 수요다. 다섯 방향은 겹쳐 오므로 기존 수요가 먼저 사라지지 않고 새 수요가 그 위에 쌓인다.

105쪽 단면 한 장으로 보는 방향 ③ 먼저 갖출 것

셋째 겹은 화살표 끝마다 먼저 갖출 것을 태그로 붙였다. EMC에는 HBM·대면적 등급, PID에는 드라이필름, CMP 슬러리에는 리세스 분포 데이터, NCF에는 공정 동조, base die에는 파운드리 채널, 광엔진 쪽에는 TIM·광 검증 설비가 붙는다.

여섯 태그 가운데 넷은 데이터와 공정 조율과 채널과 설비여서, 먼저 갖출 것의 다수가 물성표 밖에 있다. 물성 쪽에도 조건이 따른다. EMC의 열전도율을 올리려고 필러 충전율을 높이면 점도가 올라 좁은 갭을 채우기 어려우므로, 개선한 물성이 그 구조의 신뢰성으로 이어지는지까지 보여야 한다. 태그는 고객 채택을 전제한 약속이 아니라 준비 항목이다. 지금의 자리에서 방향이 옮기는 수요를 거쳐 먼저 갖출 데이터로 가는 세 겹이 한 장의 단면 위에 모인다.

111쪽 표준과 제품 사양의 차이

시험 방법은 무엇을 어떤 절차로 재는가를, 측정 조건은 시편과 온도와 압력과 두께를, 고객 합격 기준은 용도별 허용 범위를 정한다. 표준은 공통으로 따를 방법을 정하고 제품 사양은 그 제품이 구현한 값을 말한다. 그래서 두 값을 같은 줄에 올리면 오해가 생긴다. 특히 휨과 열저항은 프로파일 합의가 먼저다. 같은 시험 방법을 써도 조건이 다르면 다른 숫자가 나온다.

116쪽 본딩면의 합격 조건은 nm와 오염의 조합이다

왼쪽 네 그림은 본딩면 결함을 리세스 부적정, 파티클, 정렬 오차, 본딩 보이드로 나누고, 오른쪽은 사례값을 조건과 함께 적었다. 자주 인용되는 구리 리세스 1~5 nm는 약 400 °C 어닐을 동반한 사례이며, 같은 자료에 1패스 뒤 5~25 nm 사례도 있다 [S-2-25]. post-CMP 조도는 SiCN이 RMS 0.10 nm로 SiO_2 0.16 nm와 SiOxNy 0.23 nm보다 낮지만 서로 다른 유전막의 제시값이다 [S-2-25]. 금속 오염은 조도와 별도의 관리 항목이며 5×10^{10} atoms/cm² 수준 이하가 제시되므로, 제목은 nm와 오염을 나란히 둔다 [S-2-25]. 보이드는 파티클 말고도 패드 밀도에 따른 SiCN 에로전에서 나온 사례가 있다. 리세스와 조도는 피치와 패드 구조와 유전막과 어닐 조건을 붙여 읽어야 하며 범용 규격으로 쓰지 않는다.

119쪽 같은 배치에서 갈라 낸 시편이 원인 추적의 출발점이다

왼쪽은 배치 하나에서 소재 시편과 공정 시편과 패키지를 갈라 내어 계보 문서로 이은 경우다. 소재 시편은 공정 전의 벌크 물성을, 공정 시편은 실제 성형 온도와 시간을 건 상태를, 패키지는 구조와 열 이력이 모두 든 상태를 보여 준다. 오른쪽처럼 세 단계를 서로 다른 배치에서 재면 불량의 원인을 소재와 공정 가운데 어디로 돌릴지 가르기 어렵다. 굵은 테두리로 강조한 공정 시편이 벌크 물성의 차이가 패키지의 결함으로 넘어가는 경로를 잇는다. 시편 계보 요구는 업계 관행이며 공개 규격이 아니다. 공정 시편이 벌크 물성과 완성 패키지를 잇는 중간 단계다.

> **소재 관점에서 보면**: 스물세 장의 해설은 같은 구조를 따른다. 그림의 요소를 이어 설명한 뒤 하나를 지목하고, 그 요소가 나머지를 좌우하는 이유를 밝힌다. 공정 흐름 장에서는 그 요소가 한 단계이고, 구조 단면 장에서는 한 층이며, 평가 장에서는 한 절차나 기준이다. 소재 회사의 제안서도 같은 구조를 갖춘다. 공정과 구조 전체를 나열한 다음 자사 소재가 개입하는 한 자리를 지목하고, 그 자리가 뒤의 결과를 어떻게 정하는지를 데이터로 보인다. 슬라이드를 이렇게 읽는 연습은 곧 제안 논리를 세우는 연습이다.

8.6 핵심 수치 모음

관련 슬라이드: 68쪽

관련 도해: F-5-06A 라미네이션에서는 필름을 붙이고 경화는 억제한다 · F-5-06B 본드헤드 설정과 실제 다이 온도는 다르다 · F-5-06C 최소 점도 창과 경화 창을 함께 맞춘다

세미나 슬라이드에는 수치를 크게 싣는 장이 여럿 있다. 아래 표는 그 장들에 나오는 수치 일흔두 개를 모았다. 수치를 인용할 때 먼저 나오는 질문은 값 자체가 아니라 "그 숫자는 어디서 나온 것인가"다. 그래서 표는 값과 조건과 출처 ID와 출처 성격을 함께 적는다.

출처 성격은 출처 원장의 유형 칸을 그대로 옮겨 논문과 학회와 기업발표와 기술블로그와 뉴스와 분석기관과 데이터셋의 일곱 가지로 적으며, 이 구분이 곧 값의 신뢰 등급이다. 기업발표와 데이터셋의 제품 공개값은 그대로 인용할 수 있다. 논문과 학회 값은 측정 조건과 함께 인용하고, 뉴스와 기술블로그와 분석기관 값은 1차 자료가 아닌 것으로 다룬다.

표의 값과 출처 ID는 Day 1부터 Day 7까지의 본문에서 확인한 것만 옮겼다. 등급 주의 칸이 빈 것은 그대로 인용해도 되는 값이고, 내용이 있는 것은 반드시 단서를 붙여야 하는 값이다. 쪽 열은 그 수치가 실린 현재 세미나 슬라이드의 쪽이며, 슬라이드에 수치가 직접 보이지 않는 행은 같은 주제를 다루는 쪽을 적었다.

쪽	수치	뜻·측정 조건 한 줄	출처 ID	출처 성격	등급 주의
10	775 μm	HBM4 한 스택의 Z-height	S-1-26	뉴스	Hot Chips 2026 보고의 2차 보도 기준
10	16,148개	HBM4 base die의 마이크로범프 개수	S-1-26	뉴스	같은 2차 보도 기준
10	2만 개 초과	HBM4 한 스택의 TSV 개수	S-1-26	뉴스	같은 2차 보도 기준
14	858 mm²	26×33 mm 레티클 필드의 면적	S-1-10	기술블로그	4배 축소 광학을 쓰는 현행 스캐너 공통 한계
15	2,500 mm²	CoWoS-S가 CoWoS-L로 넘어가는 인터포저 면적 문턱	S-1-32	논문	총설 저자가 정리한 값
16	약 10%	같은 MCM 구성에서 추가로 쓴 실리콘 면적의 비율	S-1-16	논문	
19	0.59배	4-die 32코어 MCM의 제조비가 동일 사양 가상 단일 다이 대비 차지하는 비율	S-1-16	논문	AMD 사내 수율 모델 산출값
24	약 150 μm	FC-BGA의 C4 솔더 범프 피치이며 범프 직경은 75~200 μm 범위	S-1-41	기술블로그	직경을 100 μm 단일값으로 말하지 않는다
25	약 10 μm	HBM4 패드 피치의 방향으로 보도된 값	S-1-56	기술블로그	범프 기준인지 패드 기준인지 측정면을 밝힌다
40	약 30 μm	HBM 코어 다이의 박형화 대표값	S-4-22	분석기관	CES 2026 보도 기준. 별도 보도의 약 50 μm는 병기하지 않는다
44	14 °C	MR-MUF 적용 시 메모리 칩 최대 접합 온도의 저감 폭	S-5-49	논문	원출처는 ECTC 2023이고 S-5-22는 재인용. 기준량은 계면 열저항이 아니라 칩 최대 접합 온도
58	85~92 질량%	고충전 몰딩재에서 무기 필러가 차지하는 비율	S-5-25	논문	모든 봉지재의 공통 규격이 아니며 모세관 언더필은 65~68 질량%
59	4.44 W/m·K	구상 알루미나 68.82 vol%에 판상 BN 5.32 vol%를 더한 복합재의 값	S-5-26	논문	재료 시편 연구값이며 패키지 온도 저감률로 환산 불가
62	29 W/m·K	알루미나 필러 자체의 고유 열전도도	S-5-52	논문	컴파운드 값과 같은 문장에 나란히 두지 않는다
62	0.22 W/m·K	필러를 넣지 않은 순수 에폭시의 열전도율 기준선	S-5-52	논문	
62	1.5~2.5 W/m·K	일반 등급 EMC 컴파운드의 열전도율 범위	S-5-25	논문	
62	10.18 W/m·K	구형 AlN과 판상 BN 하이브리드 필러 75 질량% 언더필의 값	S-5-21	논문	리뷰가 재인용한 실험값이며 HBM 갭에서 미검증

쪽	수치	뜻·측정 조건 한 줄	출처 ID	출처 성격	등급 주의
62	3.0 W/m·K	첨단 패키지용 과립 몰딩재 한 제품의 공개값	S-5-06	기업발표 (기술기사)	배합이 끝난 컴파운드 값
62	4.44 W/m·K	학술 복합재의 상한 사례	S-5-26	논문	제품 공개값과 성격이 다르다
62	0.22 W/m·K	컴파운드값 표에 나온 첫 수치의 정의는 필러 없는 에폭시의 기준선	S-5-52	논문	
62	1.5~2.5 W/m·K	컴파운드값 표에 나온 두 번째 수치의 정의는 일반 등급 EMC 컴파운드의 범위	S-5-25	논문	
73	20~100 μm	TIM 본드라인 두께의 설계 목표	S-5-13, S-5-23	학회·논문	설계값이며 조립 결과가 목표의 3배를 넘는 일이 흔하다
73	약 86 W/m·K	압축형 금속 시트(In Heat-Spring 계열)의 열전도율	S-5-13	학회	형태를 밝히지 않으면 아래 값과 섞인다
73	86 W/m·K	인듐 솔더 TIM(sTIM)의 열전도율	S-5-19	학회	위와 같은 숫자이나 제품 형태가 다르다
73	8.5 W/m·K	PCM 제품 한 등급(PTM7950)의 열전도율	S-5-12	데이터셋	상변화 온도 45 °C 조건
73	±50~150 μm	대형 AI 가속기 패키지의 상온 휨	S-5-13	학회	
73	100~300 μm	같은 패키지의 열부하 시 휨	S-5-13	학회	
73	300~400 μm	50 mm를 넘는 대형 바디의 극단 케이스	S-5-13	학회	극단 사례이므로 대표값으로 쓰지 않는다
73	1,000 사이클	인듐 솔더 TIM이 영하 40도에서 125도까지 열화 없이 통과한 사이클 수	S-5-19	학회	압축형 금속 시트의 값과 섞지 않는다
75	3 μm 비아 / 5 μm 두께	PID의 photo-via 해상도와 막 두께 조합	S-6-60	논문	2018년 학회 자료이며 sub-3 μm는 목표
75	약 39%	칩 패키징 RDL 유전체가 PSPI 전체 수요에서 차지하는 비중	S-6-09	분석기관	조사기관 추정
76	2026-05-21	액상과 드라이필름 기술을 결합한 감광성 절연 필름 개발 공표일	S-6-02	기업발표	개발 공표이며 양산이 아니다
76	Df 0.0176 @ 40 GHz	220 °C 경화품의 유전 손실	C-6-04	논문	측정 주파수가 다른 값과 직접 비교 불가
76	Df 0.013 @ 30 GHz	200 °C 경화품의 유전 손실	C-6-04	논문	위 값과 주파수가 다르다
77	200 °C	저온 경화 PID의 경화 온도 조건	S-6-45	논문	학술 조성 $PyFNH_2$ 기준

쪽	수치	뜻·측정 조건 한 줄	출처 ID	출처 성격	등급 주의
77	95.9% 이상	200 °C 경화에서 얻은 이미드화율	S-6-45	논문	같은 조성에서 선폭 3 μm 패턴 구현
77	9.45 MPa	스터드풀 수직 인장 접착의 합격선	S-6-46	논문(MIL-STD-883K 인용)	MIL-STD-883K METHOD 2027.2가 요구하는 값
77	신율 80% / 1.7~1.9 GPa	HD8930의 공개 기계 물성	C-6-02	기업발표	제품 페이지 값이며 Day6 본문은 합산 범위로 표기
77	신율 60% 이상 / 1.7~2.5 GPa	Photoneece LT의 공개 기계 물성	C-6-03	기업발표	제품 페이지 값
80	1 대 1.5	세 배 희석 알칼리 슬러리에 H_2O_2 0.4 wt%를 넣어 맞춘 Cu 대 SiCN 제거율 비	S-6-26	논문	특정 연구 조건의 사례값
80	1~5 nm	본딩면 Cu 리세스의 자주 인용되는 창	S-2-25	학회	약 400 °C 어닐을 동반한 조건의 사례값
80	5 nm 미만	피치가 1 μm 미만으로 내려갈 때 요구되는 리세스	S-6-26	논문	저온 조건 보고값
83	2.5 nm 미만	패드 피치 2 μm 다이 대 웨이퍼 접합 실증의 Cu 리세스	C-6-24	기업발표 (보도자료)	imec ECTC 2024 실증값
83	350 nm 미만	같은 실증의 정렬 오차	C-6-24	기업발표 (보도자료)	같은 실증 조건
84	0.4 wt%	비선택성 연마 조건에서 맞춘 과산화수소 농도	S-6-26	논문	세 배 희석 알칼리 슬러리와 짝
84	분당 최대 1 μm	전용 슬러리에서 내린 벌크 Cu 제거율	S-7-37	논문	최대값이며 압력·회전수 조건은 미공개
85	1~2 nm	연마가 표면에 남기는 손상과 오염의 깊이	S-6-28	논문	
85	1~20 nm	표면 아래에 남는 손상층의 깊이	S-6-28	논문	
86	355 nm	레이저 디본딩 장비 한 사례의 펄스 파장	S-6-36	기업발표	
86	450 °C	적외선 레이저 분리에 대응하는 접착제 열안정성 상한 사례	S-6-44	논문	ECTC 2025 보고 사례
87	약 260 °C	광학 접착제가 견뎌야 하는 솔더 리플로우 온도	S-6-59	기업발표	해당 등급이 투과율 저하 없이 통과한다는 회사 설명
89	2,498억원	2026년 2분기 전자재료 매출	S-7-02	기업발표	전년 동기 대비 14.5% 증가
89	445억원	2026년 2분기 전자재료 영업이익	S-7-02	기업발표	전년 동기 대비 34.8% 증가
91	국내 2곳	모바일용 고방열 EMC의 양산 승인 반도체 제조사 수	S-7-56	기업발표	2025년 상반기이며 대상이 모바일용이다

쪽	수치	뜻·측정 조건 한 줄	출처 ID	출처 성격	등급 주의
91	2026년	해외 메모리 업체 수출 개시 연도	S-7-56	기업발표	HBM 채택 근거로 쓰지 않는다
97	CAGR 6.4%	AP용 EMC 시장의 2025년부터 2033년 성장률	S-7-20	분석기관	시장조사 추정임을 반드시 부기
97	CAGR 11.44%	TIM 시장의 2025년부터 2035년 성장률	S-7-18	분석기관	단일 기관 수치이며 기관별 편차가 크다
98	2027년 하반기	유리 코어 기판의 회사 제시 일정	C-6-20	뉴스	보도와 회사 설명이 갈리므로 병기
98	2028년	완성 유리기판의 회사 제시 일정	C-6-20	뉴스	같은 단서
102	−38~−22 nm(평균 −30 nm)	기존 TSV용 슬러리를 그대로 썼을 때의 디싱 실측 분포	S-7-37	논문	12인치 단일 다마신 평가 구조, 웨이퍼 중앙
102	5~10 nm 돌출	기존 슬러리가 종점 공정에서 Cu 패드에 남기는 돌출	S-7-37	논문	부호 규약은 양수가 돌출
102	−25~−32 nm	돌출을 없애려 터치업을 돌린 뒤의 과연마 값	S-7-37	논문	재작업의 대가에 해당하는 값
102	평균 −30 nm, 폭 16 nm	기존 슬러리의 평균 디싱과 Cu 간격에 따른 분포 폭	S-7-37	논문	분포는 −38에서 −22 nm
102	평균 −1 nm, 폭 10 nm	전용 슬러리의 평균 디싱과 분포 폭	S-7-37	논문	분포는 −5에서 +5 nm
112	720에서 775 μm	HBM4 패키지 높이 한도의 완화	S-4-49, S-4-25	뉴스·기술블로그	표준 원문의 어느 조항인지 미확인. 인용할 때 보도 기준임을 밝힌다
116	5~25 nm	1패스 후 리세스가 남은 사례	S-2-25	학회	1~5 nm 행과 같은 자료 안의 다른 사례
116	5×10^{10} atoms/cm²	접합면이 요구하는 금속 오염 관리 수준	S-6-25	학회	장비사 세정 사양 예시
116	RMS 0.10 nm	SiCN 막의 post-CMP 제곱평균제곱근 거칠기	S-6-25	학회	달성 가능한 값으로 제시된 것이며 합격 규격이 아니다
116	RMS 0.16 nm	SiO_2 막의 post-CMP 거칠기 비교값	S-2-25	학회	재료 간 비교 실측값
116	RMS 0.23 nm	SiOxNy 막의 post-CMP 거칠기 비교값	S-2-25	학회	재료 간 비교 실측값
116	250 °C	SiCN 계면으로 저온 접합을 실증한 어닐 온도	S-6-29	논문	
116	2.2 J/m² 초과	그 조건에서 얻은 본드 에너지	S-6-29	논문	어닐 온도와 짝으로만 인용

> **소재 관점에서 보면**: 위 표 72행 가운데 등급 주의 칸이 채워진 행이 61개이고, 출처 성격이 보도이거나 기관 추정인 행이 9개다. 슬라이드에 나온 수치의 다수가 1차 자료가 아니라는 뜻이다. 해당 분야 실무자라면 이 점부터 확인한다. 등급을 먼저 밝히는 자료가 나중에 밝히는 자료보다 신뢰를 얻는다. 그래서 보도와 기관 추정 항목은 값을 적는 문장 안에 성격을 함께 넣는다. 예를 들어 "775 마이크로미터"가 아니라 "표준 발간 뒤 보도로 확인된 775 마이크로미터"로 적는다.

8.7 자주 묻는 질문

관련 슬라이드: 20쪽 · 45쪽 · 82쪽 · 90쪽 · 91쪽 · 92쪽 · 93쪽 · 94쪽 · 95쪽 · 96쪽 · 98쪽 · 99쪽 · 100쪽 · 103쪽 · 104쪽 · 105쪽 · 118쪽 · 119쪽

관련 도해: F-7-01A 보유 소재는 패키지의 네 공정 지점에 닿는다 · F-7-01B EMC와 PID는 완성 패키지의 서로 다른 층에 남는다 · F-7-01C 접합면과 박형화는 완성 단면 밖의 공정으로 확대한다 · F-7-02A EMC 공급 사슬의 앞단에는 필러와 반제품이 있다 · F-7-02B 과점 지점마다 패키지에서 맡는 위치가 다르다 · F-7-03A 소재를 바꾸면 공정 평가와 재인증이 이어진다 · F-7-03B 퀄 기간을 정하는 것은 시험 묶음과 재시도다 · F-7-03C POR은 소재 이름이 아니라 소재와 공정 조건의 조합이다 · F-7-04A 진입 3루트는 열리는 조건과 통제 가능성이 다르다 · F-7-04B 루트 ②에서는 새 표면 목표에 맞춘 데이터가 먼저다 · F-7-04C 우회 경로는 국내 레퍼런스를 다음 고객으로 잇는 준비 단계다 · F-7-05A 배선 CMP와 본딩면 CMP는 남겨야 할 표면이 다르다 · F-7-05B 유전막이 먼저 닿고, 어닐에서 Cu 접촉이 완성된다 · F-7-06A 국내 지형은 직접 경쟁·수요처·장비 파트너로 나눈다 · F-7-06B 직접 경쟁사의 "무엇을 공개했는가"를 소재별로 분리한다 · F-7-06C 기판사는 소재 수요처이고, 장비사는 일정의 선행 지표다 · F-7-07 유리 인터포저와 유리 코어는 교체하는 층이 다르다 · F-7-08A 다섯 기회 축은 패키지의 서로 다른 자리를 겨냥한다 · F-7-08B 자료의 우선순위는 진입 확률과 성장 방향을 함께 본다 · F-7-08C 세 확장 사다리는 출발 화학과 도착 계면이 다르다 · F-7-10A 2026~2030: 기술 변화와 자료의 행동 제안을 같은 축에 놓는다 · F-7-10B 본딩 전환의 "세대"와 "연도"는 다른 정보다 · F-7-10C 자료가 권고하는 준비 순서는 기존 실적과 신규 데이터를 나눈다 · F-8-01A 같은 배치에서 갈라 낸 시편이 원인 추적의 출발점이다 · F-8-01B 세 시편은 같은 소재를 서로 다른 상태에서 본다 · F-8-02A 평가 자료는 다섯 시점에 걸쳐 완성된다 · F-8-02B 여섯 제출 항목에서 규격과 관행을 구분한다 · F-8-02C 결과를 얻기 전에 비교의 기준부터 합의한다 · F-8-03 표본 조합에서 옮겨 갈 것은 숫자가 아니라 형식이다 · F-8-07A 불량 여섯 가지를 패키지의 서로 다른 자리에 표시한다 · F-8-07B 보이드·박리·균열은 이름보다 위치를 먼저 묻는다 · F-8-07C 휨·접촉 불량·열저항 상승은 조건과 시점을 먼저 묻는다

자주 묻는 질문은 네 갈래로 모인다. 소재 사양, 평가와 데이터, 공급망과 경쟁, 그리고 삼성SDI의 위치와 기술 전환이다. 각 표는 답과 근거 출처 ID, 그리고 고객에게 되물을 질문으로 되어 있다. 되묻기를 붙이는 이유는 두 가지다. 소재의 요구 사양은 고객 공정에 따라 정해지므로 상대의 조건을 모르면 정확한 답이 불가능하다. 또한 되묻기는 설명을 상담으로 바꾼다.

답은 Day 7 §7.6과 같은 순서로 정리했다. 근거를 먼저 적고, 시점을 밝히며, 불확실한 부분을 끝에 적었다. 질문 끝의 괄호는 관련 슬라이드의 쪽 번호다.

소재 사양에 관한 질문

질문	답	근거 출처 ID	고객에게 되물을 질문
삼성SDI의 EMC를 HBM 몰딩에 바로 쓸 수 있나 (56쪽, 105쪽)	쓸 수 없다. 공개된 수상 대상은 모바일용 고방열 EMC이므로 HBM 채택 근거로 쓰면 안 된다. HBM용 등급은 얇은 칩 다층 적층 때문에 낮은 흼과 미세 갭 무보이드 충전을 동시에 요구하고, 소재 변경은 JESD47 계열 재인증과 J-STD-020 흡습·리플로우 재분류를 함께 유발한다	S-7-56, S-8-01, S-8-06	목표로 보시는 갭 폭과 성형 면적, 그리고 열이 빠져나가는 경로가 어디인지 알려 주실 수 있는가
필러 열전도도가 29인데 왜 컴파운드는 4밖에 안 되나 (62쪽)	필러 고유값과 배합이 끝난 컴파운드 값은 한두 자릿수 벌어진다. 입자와 매트릭스 사이의 계면 열저항과 필러 간 접촉 부족 때문이다. 순수 에폭시 0.22에서 출발해 일반 등급 1.5~2.5, 제품 공개 고방열 등급 3.0, 학술 상한 사례 4.44로 올라간다	S-5-52, S-5-25, S-5-06, S-5-26	귀사에서 관리하시는 값이 벌크 기준인지 계면을 포함한 실효 기준인지 알려 주실 수 있는가
저온 경화 PID는 어디까지 내려가나 (77쪽, 105쪽)	학술 사례는 200 °C 경화에서 이미드화율 95.9% 이상을 얻고 선폭 3 μm 패턴을 구현했다. 제품에서는 170~250 °C 경화 그레이드가 나와 있다. 다만 경화 온도만 내리면 되는 것이 아니라 구리 밀착과 내약품성과 저잔류응력을 함께 만족해야 한다	S-6-45, C-6-02, C-6-03, S-6-46	귀사 RDL 공정에서 허용되는 최고 열이력이 몇 도 몇 분인지 알려 주실 수 있는가
리세스는 몇 나노미터로 맞춰야 하나 (80쪽, 84쪽)	단일 규격이 없다. 자주 인용되는 1~5 nm는 약 400 °C 어닐을 동반한 사례값이고, 같은 자료에 1패스 후 5~25 nm 사례도 있다. 피치가 1 μm 미만이면 5 nm 미만 요구가 보고된다. 목표는 피치와 패드 구조와 유전막과 어닐 조건이 함께 정한다	S-2-25, S-4-08, S-6-26	귀사의 목표 피치와 어닐 프로파일을 알려 주시면 그 조건에서의 리세스 창을 함께 잡겠다
슬러리 조성을 어떻게 바꾸는가 (84쪽)	산화제와 착화제와 억제제와 연마입자가 각각 산화와 용해와 보호와 기계 제거를 맡는다. 공개 자료로 확인되는 조절 변수는 희석과 산화제 농도다. 한 연구는 알칼리 슬러리를 세 배 희석하고 과산화수소를 0.4 wt%로 맞춰 구리 대 SiCN 제거율을 1 대 1.5로 만들었다. 또 다른 자료는 과산화수소를 낮춰 벌크 제거율을 분당 1 μm로 내렸을 때 디싱 제어 여지가 생겼다고 보고한다. 4성분 각각의 대표 화학은 공개 1차 자료로 확정하지 못했으므로 방향만 적는다	S-6-26, S-7-37	현재 쓰시는 마감 단계의 선택비 목표와 패드 경도를 알려 주실 수 있는가
TIM은 열전도율이 높으면 되는 것 아닌가 (73쪽, 74쪽)	아니다. 성능 지표는 면적 정규화 열저항이고 근사적으로 두께를 열전도율로 나눈 값에 양면 접촉 열저항을 더한 형태다. 대형 패키지의 휨이 상온 ±50~150 μm, 열부하 시 100~300 μm인데 목표 본드라인 두께가 20~100 μm이므로 두 값이 같은 자릿수다. 이 조건에서는 벌크 물성이 좋아도 국소 접촉이 무너진다	S-5-13, S-5-14, S-5-23	체결 압력과 조립 후 실제 두께를 함께 기록하고 계시는가
86이라는 숫자가 왜 두 번 나오나 (73쪽)	제품 형태가 다르기 때문이다. 하나는 압축형 금속 시트의 값이고 다른 하나는 인듐 솔더 TIM의 값이다. 앞은 순응성을 살린 가압 접촉형이고 뒤는 157 °C 리플로우로 야금 접합을 만든다. 1,000 사이클 신뢰성 같은 수치를 인용할 때는 같은 형태끼리 맞춰야 한다	S-5-13, S-5-19	검토하시는 것이 가압 접촉형인지 리플로우형인지 알려 주실 수 있는가
액침 냉각이 오면 폴리머 TIM은 배제되나	계열 단위로 결론 낼 문제가 아니다. 특정 조합에서 용출이 확인된 사례가 있는 한편 실리콘계 소재와 실리콘 오일 조합이 유망하다고 평가된 결과도 있다. 조성과 온도와 노출 시간별로 조합을 검증해야 한다	S-5-20, S-5-51, S-5-33	검토 중이신 냉각액의 화학 계열과 운전 온도를 알려 주실 수 있는가

평가와 데이터에 관한 질문

질문	답	근거 출처 ID	고객에게 되물을 질문
무엇을 들고 가야 평가가 시작되나 (99쪽)	여섯 항목이다. 공급사가 먼저 형식을 제시할 세 항목은 세 시편 계보, 분포와 꼬리값, 실패 조건 기록이고, 규격 근거가 있는 세 항목은 반복 n수와 재현성, 비교 기준 사전 합의, 인증 기간의 근거다. 좋은 결과만 모은 자료는 평가 자료가 아니다. 실패한 조건과 반복 재현성을 함께 낼 때 자료의 신뢰가 올라가고, 비교 기준은 평가 전에 합의한다	S-2-17, S-2-25, S-5-16, S-8-01	귀사가 첫 관문에서 반드시 보시는 항목 세 가지가 무엇인지 알려 주실 수 있는가
물성표만 보내면 되지 않나 (119쪽, 111쪽)	고객이 요구하는 것은 값 하나가 아니라 값과 조건의 쌍이다. 같은 열전도율이라도 laser flash로 잰 벌크 값과 ASTM D5470으로 잰 계면 포함 값은 시스템에서 뜻이 다르다. 휨은 JESD22-B112의 그림자 무아레 절차가 승온 속도와 측정점까지 규정한다	S-5-14, S-5-15, S-5-16, S-8-05	데이터 제출 양식에서 조건 칸이 정해져 있는지, 아니면 저희가 제안해도 되는지 알려 주실 수 있는가
접착은 무슨 시험으로 재나 (76쪽, 105쪽)	스터드풀 수직 인장이고 합격선은 MIL-STD-883K METHOD 2027.2의 9.45 MPa다. 기판을 하나만 보지 않고 구리와 실리콘과 산화막과 질화막 네 종류에서 모두 재는 것이 관행이며, 열충격 1,000 사이클과 uHAST 264시간을 거친 뒤 다시 재는 것까지가 한 묶음이다	S-6-46, S-6-45	귀사는 열충격과 습열 가운데 어느 쪽을 먼저 거는지, 그리고 재측정 시점이 언제인지 알려 주실 수 있는가
시편을 왜 같은 배치에서 갈라야 하나 (119쪽)	소재 시편의 열전도율은 공정을 거치지 않은 값이고 패키지의 휨은 구조와 열 이력이 모두 반영된 값이다. 세 단계를 다른 시료로 재면 불량의 원인을 소재로 돌릴지 공정으로 돌릴지 가릴 수 없다. 같은 배치에서 갈라 계보를 남겨야 결과가 한 줄로 이어진다	S-5-25, S-5-16	공정 시편을 만드실 때 성형 조건을 저희 쪽과 맞춰 주실 수 있는가
불량이 났는데 소재 탓인가 공정 탓인가 (110쪽, 101쪽)	같은 관측에도 원인이 여럿이므로 관측만으로는 가를 수 없다. 관측 위치와 시점과 샘플 계보로 원인 후보를 먼저 좁히고, 대조 조건을 남긴 채 한 번에 하나씩 바꿔 확인한다. 상관관계는 원인의 증명이 아니다	S-2-17, S-2-25, S-8-09, S-8-19	불량이 관측된 위치와 그 시료가 어느 배치에서 나왔는지 알려 주실 수 있는가
인증에 얼마나 걸리나 (99쪽, 118쪽)	기간은 영업력이 아니라 표준이 요구하는 시험 항목 수와 각 항목의 최소 시간이 곱해진 결과다. JESD47 계열은 고온 동작 수명과 온습도 바이어스와 온도 사이클과 고온 보관으로 구성되며 각각 수백 시간에서 천 시간 단위다. 여기에 J-STD-020의 흡습 전처리와 리플로우가 더해진다. 타 산업의 기간 사례를 반도체 소재에 그대로 옮기지 않는다	S-8-01, S-8-06	귀사의 퀄 매트릭스에서 지금 저희 데이터가 비어 있는 항목이 무엇인지 짚어 주실 수 있는가
열성능을 개선했다는데 무엇을 근거로 믿나 (74쪽)	체결 압력과 조립 후 실제 두께를 기록하지 않은 열저항 값은 비교에 쓸 수 없다. 같은 형상과 같은 하중에서 비교 대조군과 나란히 잰 값이어야 하고, 열주기 후의 재측정까지 붙어야 한다	S-5-13, S-5-14, S-5-19	비교 대조군으로 어느 제품을 쓰시는지, 하중 조건을 알려 주실 수 있는가

공급망과 경쟁에 관한 질문

질문	답	근거 출처 ID	고객에게 되물을 질문
삼성SDI 슬러리는 누구에게 퀄을 받나 (37쪽)	제조 주체와 승인 주체가 갈린다. 코어 다이와 조립은 메모리사가, 로직 base die는 파운드리가 맡는 구조이므로 같은 스택이라도 소재 승인 경로가 둘로 나뉜다. 공개 자료로 확정되는 것은 제조 주체까지이고 소재 승인 주체의 공식 문서는 확인되지 않았으므로 단정하지 않는다	S-4-09, S-4-14, S-4-18, S-4-40(Day4 §4.6 구조 추론)	이 품목의 최종 승인이 파운드리 쪽인지 후공정 쪽인지 알려 주실 수 있는가
케이씨텍과 동진이 이미 하는데 늦은 것 아닌가 (95쪽, 97쪽)	선행 경쟁자가 있지만 POR이 확정되지 않았다. 케이씨텍은 개발 중이고 세메스는 장비 계약 단계이며, 라인이 실제로 서는 구간이 평가 기회다. 다만 고객의 소재 평가 단계와 POR 결정 일정은 공개 확인되지 않았으므로 착수 시점만으로 채택 시기를 단정할 수 없다	S-7-45, S-7-55, S-2-35	해당 라인의 소재 평가 일정이 공개 가능한 범위에서 어떻게 되는지 알려 주실 수 있는가
본딩용 슬러리 경쟁 상태는 어떤가 (95쪽)	공개로 확인되는 것만 근거로 삼는다. 국내에서는 케이씨텍이 전용 슬러리 개발을 공개했고, 삼성SDI는 2026년 2분기 컨퍼런스콜에서 하이브리드 본딩용 슬러리 소재를 직접 호명했다. 해외 공급사의 출시와 채택 보도는 단일 계열 출처이므로 성격을 밝혀 인용한다	S-2-35, S-7-03	현재 평가 중이신 공급사 수와 이원화 의향이 있으신지 알려 주실 수 있는가
LG화학과 무엇이 다른가 (76쪽)	LG화학은 액상 PID 개발을 끝낸 뒤 필름 PID까지 확보했다고 공개했고 글로벌 최상위 반도체 회사와 협업 중이라고 밝혔다. 액상만 보유한 상태로는 패널과 유리 전환기에 불리하므로 드라이필름 확보 여부가 경쟁의 분기점이다	S-7-43, S-7-44	귀사의 패널 라인 도입 시점이 언제인지 알려 주실 수 있는가
드라이필름을 꼭 해야 하나 (76쪽)	웨이퍼에서 패널로 넘어가면 대면적 균일 도포가 과제가 되어 무게중심이 액상 회전 도포에서 드라이필름으로 이동한다. IPC-4104도 감광성 유전체를 드라이필름과 액상으로 나누어 인증 요구를 규정하므로 두 형태는 별개의 인증 경로를 갖는다	S-8-07	액상과 필름 가운데 어느 쪽 라인을 먼저 세우실 계획인지 알려 주실 수 있는가
임시접합 소재는 국내 공급사가 없나 (86쪽)	이 영역은 국내 공급망이 거의 비어 있어 기회인 동시에 진입 장벽이 높다. 분리 방식이 캐리어 재질과 접착제 화학을 함께 결정하므로 세 가지를 한 묶음으로 제안해야 한다. 적외선 방식은 실리콘 캐리어를 쓸 수 있으므로 레이저 확대를 유리 캐리어 수요 증가로 옮겨 적으면 틀린다	S-6-35, S-6-36, S-6-44	분리 방식으로 기계와 열 슬라이드와 레이저 가운데 어느 쪽을 표준으로 두고 계신지 알려 주실 수 있는가
실리카 필러를 일본에서 사는데 원가 경쟁이 되나 (89쪽, 105쪽)	상류 종속은 원가와 개발 속도 양쪽에 제약이 된다. 한 일본 업체는 반도체 봉지 용도의 구상 실리카에서 약 30% 점유를 유지하는 전략을 공식 IR에서 제시했다. 그러므로 고방열 EMC의 차별화는 필러 자체보다 분산과 계면 설계와 수지 배합에서 만들어야 한다	C-7-11, S-7-25, S-7-09	필러 원산지 다변화가 귀사 조달 기준에 포함되어 있는지 알려 주실 수 있는가

삼성SDI의 위치와 기술 전환에 관한 질문

질문	답	근거 출처 ID	고객에게 되물을 질문
삼성SDI가 이미 AP에 들어와 있다는 근거가 무엇인가 (89쪽)	회사의 공식 문장이 근거다. 2025년 4분기에 고방열 EMC를 고객 신제품에 최초 적용했고, 2026년 상반기에 글로벌 고객사에 신규 공급했으며, 2026년 2분기 컨퍼런스콜의 하반기 전망에서 하이브리드 본딩용 슬러리 소재와 재배선 소재를 직접 호명했다	S-7-03, S-7-05	귀사가 보시기에 저희 제품군 가운데 다음 평가 대상으로 적절한 것은 무엇인가
하이브리드 본딩이 오면 EMC는 사라지나 (49쪽)	사라지는 것은 칩 사이를 메우는 갭필 언더필이고 오버몰드와 패널 재구성 몰드와 구조재로서의 EMC는 남는다. 전환 시점도 즉각적이지 않다. 총 두께 한도 때문에 기존 방식을 한 세대 더 연장한다는 공표가 있었고 전면 전환은 2029년에서 2030년으로 전망된다	S-6-54, S-7-24	귀사 로드맵에서 갭필 소재의 잔여 수명을 몇 세대로 잡고 계신지 알려 주실 수 있는가
메탈 슬러리가 본딩용 슬러리와 같은 것인가 (102쪽, 80쪽)	같지 않다. 기존 배선 CMP는 단차를 없애는 것이 목표이지만 본딩면 CMP는 구리를 유전막보다 의도적으로 낮게 남기고 마감 단계 선택비를 거의 1로 맞춰야 한다. 목표 함수가 반대이므로 조성과 공정이 다시 설계되어야 한다	S-6-25, S-6-26, S-7-37	귀사 마감 단계의 선택비 목표를 알려 주시면 그 방향으로 조성을 설계하겠다
유리기판은 언제 실제로 오나 (79쪽)	회사가 밝힌 것만 근거로 삼는다. 한 기판사는 유리 코어 2027년 하반기와 완성 기판 2028년을 제시했고, 다른 기업은 2028년 양산을 목표로 제시했다. 보도와 회사 설명이 갈리므로 병기한다. 삼성SDI가 겨냥할 슬롯은 빌드업 유전체다	C-6-20, C-6-22, S-6-18	유리 코어 평가에서 빌드업 유전체 공급사 선정이 언제 이루어지는지 알려 주실 수 있는가
CPO가 삼성SDI와 무슨 상관인가 (87쪽)	PID 화학이 도파로 클래딩과 저손실 유전체로 이전될 수 있다. 다만 대규모 배치 시점은 2028년에서 2030년이므로 매출 기여는 그 이후다. 리플로우 260 °C를 견디는 광학 접착제는 이미 존재하므로 남은 과제는 소재 기능의 부재가 아니라 제품별 검증이다	S-7-19, S-6-59	광학 접착제 평가에서 가장 먼저 보시는 항목이 투과율인지 정렬 안정성인지 알려 주실 수 있는가
다섯 축 중 어디에 먼저 자원을 넣어야 하나 (97쪽, 106쪽)	진입 확률과 시장 성장률의 곱으로 보면 축 ①, 축 ③, 축 ②, 축 ⑤, 축 ④ 순서다. 축 ①은 이미 매출이 나므로 즉시 확장하고, 축 ③은 퀄 창에 맞춰 신뢰성 데이터를 쌓으며, 축 ②는 드라이필름 확보를 분기점으로 삼고, 축 ⑤는 검증 데이터 패키지부터 만들며, 축 ④는 NCF만 별도 과제로 남긴다	S-7-03, S-7-18, S-7-20	귀사에서 가장 시급한 소재 공백이 어느 공정 구간인지 알려 주실 수 있는가
범용 DRAM 값이 오르면 소재 수요도 줄지 않나 (97쪽)	캐파 재배분 리스크는 실재하지만 순효과는 소재사에 유리하다. HBM 웨이퍼 투입 비중은 2025년 말 18%에서 2027년 말 30%로 확대될 전망이다. 다만 웨이퍼 투입 비중과 비트 공급 비중과 패키지 수량과 소재 사용량은 서로 다른 지표이므로 하나로 소재 매출을 예측할 수 없다	S-7-15, S-7-16	귀사의 소재 소요량 산정이 웨이퍼 기준인지 패키지 기준인지 알려 주실 수 있는가
해외 고객으로 바로 갈 수 있나 (91쪽)	회사가 2026년 1분기에 해외 고객 다변화에 집중한다고 밝혔고 2분기에 글로벌 고객사 신규 공급을 성과로 제시했다. 다만 고객명과 공급 개시일은 공개되지 않았다. 전공정 소재 한 품목에 6년 동안 시료 1,400회 제출이라는 일화가 전해질 만큼 난이도가 높으므로, 국내 레퍼런스를 먼저 확보한 뒤 세컨드 소스로 가는 2단 전략이 현실적이다	S-7-03, S-7-04, S-7-27	해외 고객 평가에서 국내 양산 이력이 가산 요소로 인정되는지 알려 주실 수 있는가

> **소재 관점에서 보면**: 질문 서른 개 가운데 열두 개가 "삼성SDI가 할 수 있나"를 묻고, 열 개가 "언제인가"를 묻고, 여덟 개가 "무엇을 들고 가야 하나"를 묻는다. 세 번째 묶음이 가장 실무적이고 답도 가장 구체적이며, 그 답은 8.2와 8.3과 8.4에 모여 있다. 고객과의 대화에서 차이를 만드는 것은 앞의 두 묶음에 대한 답보다 세 번째 묶음에서 제시하는 형식의 구체성이다.

8.8 핵심 정리

관련 슬라이드: 82쪽

관련 도해: F-7-05A 배선 CMP와 본딩면 CMP는 남겨야 할 표면이 다르다 · F-7-05B 유전막이 먼저 닿고, 어닐에서 Cu 접촉이 완성된다

아래 여덟 문장은 공정 흐름과 평가 슬라이드의 결론을 한 문장씩 정리한 것이다. 각 Day의 §x.8과 겹치지 않는 문장이며, 관련 슬라이드의 쪽 번호와 출처를 함께 적었다.

번호	핵심 문장	관련 슬라이드	출처
1	같은 에폭시 계열이라도 수지를 접합 전에 넣느냐 후에 넣느냐가 점도와 경화 반응과 잔사 조건을 통째로 바꾼다. 그러므로 공정 명칭이 같다고 같은 처방을 쓸 수 있다고 가정하지 않는다.	41쪽, 42쪽, 43쪽	S-4-16, S-4-19
2	접합 수율은 본딩 장비가 아니라 평탄화와 세정과 활성화와 정렬이라는 앞선 네 단계의 표면 관리에서 결정된다.	47쪽, 46쪽	S-2-25, S-6-25, S-6-26
3	본딩면 CMP의 합격선은 제거율이 아니라 리세스 분포의 재현성이며, 이것이 기존 배선용 슬러리를 그대로 옮길 수 없는 이유다.	80쪽, 102쪽	S-6-25, S-6-26, S-7-37
4	같은 접합면이라도 웨이퍼 전면과 다이 안 분포와 패드 단차와 미세 거칠기는 서로 다른 장비로 재고 서로 다른 원인에서 온다. 그래서 한 숫자로 표면 상태를 말할 수 없다.	80쪽	S-6-25, S-2-25
5	후세정의 기준 시점은 세정 직후가 아니라 접합 직전이며, 그 사이의 대기 이력을 적지 않은 데이터는 접합 결과와 이어지지 않는다.	85쪽, 46쪽	S-6-28, S-6-26
6	TIM의 성능을 정하는 것은 벌크 열전도율이 아니라 체결 압력과 조립 후 실제 두께다. 그 둘을 기록하지 않은 열저항 값은 비교에 쓸 수 없다.	73쪽, 74쪽	S-5-13, S-5-14, S-5-23
7	소재 물성을 개선했다는 주장은 그 개선이 해당 구조의 신뢰성으로 이어지는 데이터까지 붙을 때 제안이 된다. 물성표만으로는 평가가 시작되지 않는다.	105쪽, 99쪽	S-5-16, S-5-25
8	좋은 결과만 모은 자료보다 실패한 조건과 반복 재현성을 함께 낸 자료가 고객의 신뢰를 얻는다. 비교 기준은 평가가 끝난 뒤가 아니라 시작 전에 합의한다.	99쪽, 119쪽	S-2-17, S-5-16

8.9 자기 점검 퀴즈

관련 슬라이드: 101쪽 · 102쪽 · 119쪽

관련 도해: F-8-01A 같은 배치에서 갈라 낸 시편이 원인 추적의 출발점이다 · F-8-01B 세 시편은 같은 소재를 서로 다른 상태에서 본다 · F-8-05A 이 실측은 웨이퍼 중앙의 평가용 패드에서 나왔다 · F-8-05B 평균과 함께 분포 폭을 읽어야 개선의 범위가 보인다 · F-8-05C 터치업은 돌출을 없애지만 과연마를 만들 수 있다 · F-8-09A 원인 추적은 관측에서 대조 실험까지 네 단계를 거친다 · F-8-09B 불량 보고는 위치 · 시점 · 계보의 세 좌표로 시작한다 · F-8-09C 원인 후보는 떠오르는 추측이 아니라 목록으로 다룬다 · F-8-09D 한 인자 확인과 설계 실험은 쓰는 시점이 다르다 · F-8-09E 같이 변한 시점만으로는 원인이라고 말할 수 없다

문항 1. 본딩면 전용 슬러리의 실측값 "평균 −1 nm, 분포 폭 10 nm"를 인용할 때 반드시 함께 적을 조건으로 가장 적절한 것은?

1. 슬러리의 과산화수소 농도와 연마 패드의 경도
2. 12인치 단일 다마신 평가 구조이며 웨이퍼 중앙에서 원자간력현미경으로 측정한 값이라는 것
3. 해당 값이 JEDEC 표준이 정한 하이브리드 본딩 합격 규격이라는 것
4. 접합 후 전기적 연결성이 확인된 조건에서 얻은 값이라는 것

문항 2. 세미나 73쪽에 나오는 "86 W/m·K"를 두고 "앞에서 본 86과 같은 것이냐"는 질문이 자주 나온다. 가장 정확한 답은?

1. 같은 값이며 인듐 계열 금속 TIM의 표준 열전도율이다
2. 숫자는 같지만 하나는 압축형 금속 시트이고 다른 하나는 인듐 솔더 TIM이므로 제품 형태가 다르다
3. 하나는 필러 고유값이고 다른 하나는 컴파운드 값이다
4. 하나는 laser flash 측정값이고 다른 하나는 ASTM D5470 측정값이다

문항 3. 세미나 119쪽과 99쪽과 110쪽의 내용을 Day 1~7의 한 절이 아니라 이 장의 8.2와 8.4가 직접 다루는 공통 이유는?

1. Day를 가로지르는 항목이라 어느 한 Day의 주제에 속하지 않기 때문이다
2. 학습 문서와 슬라이드의 수치가 서로 달라 정정이 필요하기 때문이다
3. 공정 창의 온도와 압력과 시간 수치가 아직 보강되지 않았기 때문이다
4. 운영 장이므로 지식 대응 자체가 필요 없기 때문이다

문항 4. 불량이 관측되었을 때 원인 후보를 가르기 위해 가장 먼저 확인해야 하는 것은?

1. 소재의 물성표에서 규격을 벗어난 항목
2. 관측된 위치와 관측된 시점과 그 시료의 배치 계보
3. 같은 라인에서 생산된 다른 로트의 수율 추이
4. 공급사가 최근에 변경한 원료의 목록

문항 5. 세미나 10쪽의 "775 µm"는 HBM4 한 스택의 높이로 보도된 값이고, 같은 숫자가 HBM4 패키지 높이 한도로도 인용된다. 높이 한도로서의 775 µm를 인용할 때 가장 정확한 표현은?

1. JEDEC HBM4 표준이 정한 패키지 높이 한도 775 µm
2. 표준 발간 뒤 보도로 확인된 775 µm
3. SK하이닉스가 Hot Chips에서 공개한 자사 규격 775 µm
4. HBM3E의 720 µm에서 완화된 것으로 업계가 합의한 775 µm

서술형 1. 고객이 "고방열 EMC 샘플과 물성표를 보내 주시면 검토하겠다"고 했다. 물성표만 보내는 것이 왜 불충분한지, 무엇을 더 보내야 하는지를 시편 계보와 측정 조건과 분포의 세 축으로 설명하라.

서술형 2. 세미나 47쪽(본딩 전후의 공정 흐름)과 46쪽(하이브리드 본딩: 표면 준비에서 영구 접합까지)을 하나의 논리로 묶어 요약하고, 그 요약이 왜 "장비가 아니라 앞 단계"라는 결론으로 끝나야 하는지를 설명하라.

정답과 해설

아래는 위 문항의 해설이다. 먼저 스스로 답한 뒤 이 상자를 펼쳐 보듯 읽는다.

문항 1

정답은 2번이다. 이 논문은 12인치 기판에 단일 다마신으로 만든 평가용 패드 구조를 썼고 디싱 비교값을 모두 웨이퍼 중앙에서 측정했다고 본문에 밝혔으며 계측은 원자간력현미경으로 했다 [S-7-37]. 실측값을 인용할 때 시험 구조와 측정 위치를 빼면 읽는 사람이 조건을 확인할 수 없다.

1번은 틀리지 않은 정보이지만 우선순위가 낮다. 과산화수소를 낮췄다는 방향은 공개되었으나 조성은 type-C와 type-D라는 명칭만 있고 압력과 회전수 같은 공정 조건의 구체 값도 없으므로, 이 항목은 조건 설명의 중심이 될 수 없다. 3번은 사실이 아니다. 이 값은 특정 연구의 사례값이며 하이브리드 본딩의 합격 규격을 정한 공개 표준은 확인되지 않았다. 4번도 사실이 아니다. 저자들은 디싱 제어까지를 보고했고 접합 후 수율이나 전기적 연결성은 다루지 않았다.

문항 2

정답은 2번이다. Day 5 §5.5의 TIM 표에는 86이 두 번 나오는데 하나는 압축형 금속 시트 계열의 값이고 [S-5-13] 다른 하나는 인듐 솔더 TIM의 값이다 [S-5-19]. 앞의 것은 순응성을 살린 가압 접촉형이고 뒤의 것은 157 °C 리플로우로 야금 접합을 만드는 형태이므로, 1,000 사이클 신뢰성 같은 수치를 인용할 때 형태를 맞춰야 한다.

1번은 형태 차이를 지운 답이라 틀렸다. 3번은 다른 논점을 끌어온 오답이다. 필러 고유값과 컴파운드 값의 구분은 EMC의 열전도율 논의에 해당하며 알루미나 29 W/m·K와 컴파운드 4 W/m·K 같은 대비가 그 예다. 4번도 틀렸다. 두 값은 측정법이 아니라 제품 형태로 갈리며, TIM에서 D5470이 정본인 것은 맞지만 그것이 이 질문의 쟁점은 아니다.

문항 3

정답은 1번이다. 119쪽은 시편 계보를, 99쪽은 데이터 패키지 제출 형식을, 110쪽은 불량에서 원인으로 가는 추적을 다룬다. 셋 모두 어느 한 Day의 주제에 속하지 않고 Day 5와 Day 6과 Day 7을 가로지르므로 8.2와 8.4가 직접 담는다.

2번은 개별 수치의 표기가 서로 다른 경우를 가리키는 설명이며 세 장의 공통 원인이 아니다. 3번은 NCF와 MUF의 공정 창이나 경화 거동처럼 공정 창 수치가 필요한 장에 해당하는 설명이지만, 그 수치는 Day 5에 이미 담겨 있다. 4번은 함께 읽을 절이 없는 장에 해당하는 설명이므로 틀렸다. 8.1 표에서 그런 장은 표지와 휴식과 질의와 토론과 백업 구분과 출처 목록의 일곱 장에 절을 정하지 못한 두 장을 더한 아홉 장이다.

문항 4

정답은 2번이다. 같은 형태의 불량에도 원인이 여럿이므로 관측 자체로는 가를 수 없고, 위치와 시점과 계보라는 세 좌표가 원인 후보를 먼저 좁힌다. 어느 계면에서 보이는가가 소재 계면인지 접합부인지를 가르고, 어느 시험 단계 뒤에 보이는가가 초기 결함인지 열화인지를 가르며, 어느 배치에서 나온 시료인가가 소재 변동인지 공정 변동인지를 가른다.

1번은 규격 이탈이 있을 때만 성립하는 특수 경우이고 규격 안에서도 불량은 난다. 3번은 유용한 보조 정보이지만 상관관계를 원인으로 오인하기 쉬운 자리다. 같은 시기에 함께 변한 변수는 많으며 그 가운데 어느 것이 원인인지는 대조 실험으로만 가린다. 4번도 후보 목록을 좁히는 데 도움이 되지만 관측 좌표를 먼저 잡지 않으면 원료 변경과 불량을 잘못 연결한다.

문항 5

정답은 2번이다. 학습 문서는 이 값을 위원회 합의 보도가 최초 출처이고 이후 보도로 재확인된 것으로 적으면서, 표준 원문의 어느 조항인지는 미확인이라고 명시했다 [S-4-49][S-4-25]. 따라서 인용 문구도 보도 기준임을 드러내는 형태가 정확하다.

1번은 표준 원문 조항을 확인하지 않은 상태에서 표준이 정했다고 단정하므로 틀렸다. 3번은 출처를 특정 회사의 공개 자료로 좁혀 잘못 귀속시킨다. 한 스택의 Z-height 775 μm는 그 회사 학회 보고의 2차 보도에서 확인되지만 [S-1-26], 패키지 높이 한도라는 규격 논의와는 다른 층위다. 4번의 "업계가 합의한"이라는 표현은 근거 계통을 흐린다. 합의 주체와 문서를 밝히지 못하면 쓰지 않는다.

서술형 1

첫째, 시편 계보다. EMC 평가는 서로 다른 세 시료에서 이루어진다. 소재 시편은 공정을 거치지 않은 벌크 물성만 남긴 상태이고, 공정 시편은 성형 온도와 시간을 실제 조건으로 건 상태이며, 패키지는 구조와 열 이력이 모두 들어간 상태다. 물성표는 이 가운데 첫 단계의 값만 담는다. 세 단계를 다른 시료로 재면 불량이 났을 때 원인을 소재로 돌릴지 공정으로 돌릴지 가릴 수 없으므로, 같은 배치에서 갈라 낸 시료로 세 단계를 잇고 그 계보를 문서에 남겨야 한다 [S-5-25][S-5-16].

둘째, 측정 조건이다. 같은 열전도율이라도 laser flash로 잰 벌크 값과 ASTM D5470으로 잰 계면 포함 값은 시스템에서 뜻이 다르며, 전자는 ASTM E1461이 측정 방향과 시편 두께를 함께 요구하고 후자는 체결 압력과 면적 정규화 여부를 함께 요구한다 [S-5-15][S-5-14]. CTE는 유리전이 온도 위아래를 α1과 α2로 나누어 표기하는 값이고, 휨은 JESD22-B112의 그림자 무아레 절차가 승온 속도와 측정점까지 규정한다 [S-5-16]. 곧 고객이 요구하는 것은 값 하나가 아니라 값과 조건의 쌍이다.

셋째, 분포다. 평균만 적은 자료는 공정 창을 말해 주지 않는다. 몇 개를 재서 나온 값인지, 분포의 폭이 얼마인지, 꼬리에 있는 값이 어디까지 벌어지는지를 함께 내야 한다. 여기에 실패한 조건과 그 원인을 덧붙이면 자료의 신뢰가 오히려 올라간다. 좋은 결과만 모은 자료는 평가 자료가 아니라 판촉 자료로 읽히기 때문이다. 마지막으로 비교 기준은 평가가 끝난 뒤가 아니라 시작 전에 합의한다. 무엇과 비교해 개선이라고 부를지를 정하지 않으면 결과가 나와도 판정이 서지 않는다 [S-2-17] [S-5-16].

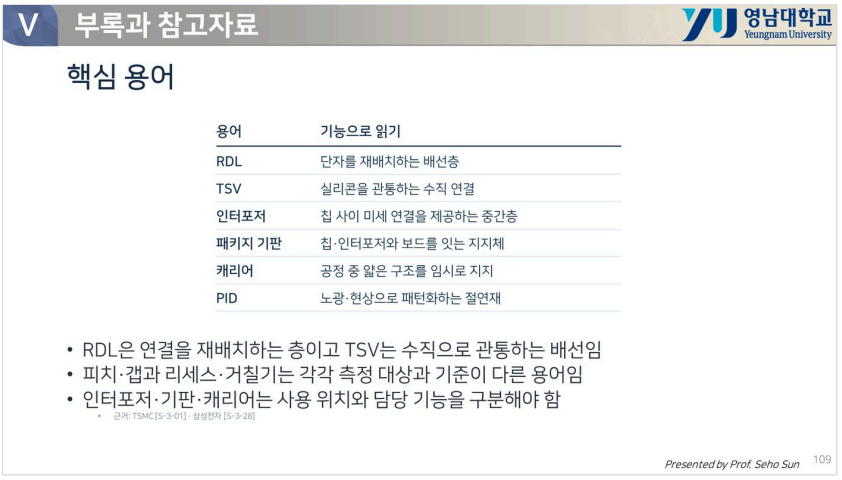
서술형 2

요약의 예시는 다음과 같다. 하이브리드 본딩은 평탄화와 후세정과 활성화와 정렬 접촉과 어닐 검사의 다섯 단계다. 단계마다 적힌 결함 이름이 그 단계에서 만들어지는 불량이고, 리세스와 파티클과 표면 화학과 정렬 오차와 보이드가 차례로 놓여 있다. 그림에서 강조한 평탄화가 이 사슬의 시작점이다. 여기서 남은 높이 차이는 세정으로 지울 수 없기 때문이다.

46쪽은 같은 다섯 단계를 누가 결과를 정하는지로 다시 나눈다. CMP와 세정과 플라즈마 활성화와 어닐의 네 단계는 소재와 표면 화학이 결과를 정하고, 장비가 맡는 것은 정렬과 가압의 한 단계뿐이다. 예비 접합까지는 정렬 오차나 보이드를 찾으면 CMP와 세정부터 다시 할 수 있지만, 어닐 뒤에는 되돌릴 수 없다. 그래서 접합 수율은 본딩 장비가 아니라 앞선 네 단계의 표면 관리에서 결정된다.

이 결론에는 물리적 이유와 사업적 이유가 있다. 물리적으로 보면, 최종 검사에서 보이는 보이드의 원인은 대부분 앞 단계에 있고, 평탄화가 남긴 높이 차이나 세정이 남긴 파티클은 뒤 단계에서 되돌릴 수 없다 [S-2-25][S-6-25]. 사업적으로 보면, 결론이 장비에 있으면 소재 회사가 개입할 자리가 없다. 결론이 앞 단계의 표면 관리에 있으면 슬러리와 세정액과 본딩 유전막이 각각 다른 단계에 들어가는 공급 기회가 된다. 이 결론 문장은 기술 설명인 동시에 제안의 출발점이며, 두 장을 잇는 이유도 거기에 있다 [S-6-26][S-7-03].

8.10 용어 사전



슬라이드 109쪽 · 핵심 용어

관련 도해: F-8-04A 먼저 기준면을 정해야 마이너스 값의 뜻이 보인다 · F-8-04B 에로전은 영역의 높이, 라운딩은 모서리의 형상이다

용어(영문)	한 문장 정의	처음 나온 절
리세스(recess)	하이브리드 본딩에서 유전막이 먼저 닿도록 구리 패드를 유전막보다 의도적으로 낮게 남긴 설계된 함몰이다	8.3
디싱(dishing)	연마 과정에서 넓은 금속 패드의 중앙이 주변보다 더 깎여 접시 모양으로 파이는 현상이며 리세스와 달리 의도된 형상이 아니다	8.3
에로전(erosion)	패턴이 조밀한 영역 전체가 패턴 없는 영역보다 더 깎여 내려앉는 현상으로 기준면은 패턴이 없는 인접 영역이다	8.5
돌출(protrusion)	구리 패드가 유전막보다 위로 솟은 상태이며 하이브리드 본딩에서는 허용되지 않는다	8.3
라운딩(rounding)	배리어 연마 후 유전체 표면 모서리가 둥글게 말려 접합 접촉 면적을 줄이는 현상이다	8.3
터치업 CMP(touch-up CMP)	돌출이나 잔류물을 없애기 위해 추가로 돌리는 짧은 연마이며 제거율이 높으면 과연마를 부른다	8.3
큐 타임(queue time)	한 공정을 마친 뒤 다음 공정까지 허용되는 대기 시간이며 후세정과 접합 사이에서 표면 상태를 좌우한다	8.5
선택비(selectivity)	서로 다른 재료의 제거율 비이며 본딩면 마감 단계에서는 거의 1에 가깝게 맞추는 것이 목표다	8.6
제곱평균제곱근 거칠기(RMS roughness)	표면 높이 편차의 제곱평균제곱근으로 정의되는 미세 거칠기 지표이며 접합 강도와 직결된다	8.6
본드라인 두께(BLT, bond line thickness)	조립이 끝난 뒤 두 면 사이에 실제로 남은 계면 소재의 두께이며 설계값이 아니라 조립 결과다	8.6
스터드풀(stud pull)	시편 표면에 금속 스터드를 접착한 뒤 수직으로 잡아당겨 접착 강도를 재는 시험이다	8.7
습열 가속 시험(HAST, BHAST, uHAST)	온도와 습도를 높여 수분 침투와 이온 이동을 가속하는 시험이며 전압을 거는 바이어스형과 걸지 않는 무바이어스형으로 나뉜다	8.2
흡습 민감도 등급(MSL, moisture sensitivity level)	포장을 뜯은 뒤 리플로우까지 허용되는 시간을 등급화한 것이며 폴리머 소재가 바뀌면 다시 매겨야 한다	8.2
그림자 무아레(shadow moire)	기준 격자와 시편 표면의 그림자 격자가 만드는 간섭 무늬로 면외 변위를 전면에서 재는 휨 측정법이다	8.2
열임피던스(thermal impedance)	면적으로 정규화한 계면 열저항이며 두께에 대해 회귀하면 기울기의 역수가 겉보기 열전도율이고 절편이 양면 접촉 열저항의 합이다	8.6
나선 유동(spiral flow)	나선형 금형에 정해진 온도와 압력으로 컴파운드를 흘려 넣고 길이를 재는 시험이며 유동성과 경화 속도의 종합 지표다	Day5 §5.2
겔 타임(gel time)	수지가 흐르는 상태에서 겔 상태로 넘어가기까지 걸리는 시간이며 갭을 채울 수 있는 시간의 상한을 정한다	8.5
시편 계보(specimen lineage)	소재 시편과 공정 시편과 패키지를 같은 배치에서 갈라 내어 어느 시료가 어느 시료에서 나왔는지를 기록한 이력이다	8.2
대조 조건(control condition)	비교의 기준으로 남겨 두어 바꾸지 않는 조건이며 이것이 없으면 차이가 생겨도 원인을 지목할 수 없다	8.4

용어(영문)	한 문장 정의	처음 나온 절
분포 꼬리(distribution tail)	평균에서 멀리 떨어진 극단값 구간이며 접합 수율처럼 최악값이 결과를 정하는 항목에서는 평균보다 중요하다	8.2
POR(Process of Record)	고객이 양산 공정에 공식 등재한 소재와 조건의 조합이며 등재 전에는 평가 단계다	8.7
초음파 주사 현미경(SAM, C-SAM)	초음파의 반사로 패키지 내부의 박리와 보이드를 비파괴로 찾는 검사이며 계면의 공기층에서 강한 반사가 나온다	8.4
단면 분석(cross-section)	시편을 잘라 연마하고 관찰하여 결함의 위치와 형상을 직접 확인하는 파괴 분석이며 원인 경로를 가르는 최종 근거가 된다	8.4
한 번에 한 인자(one factor at a time)	대조 조건을 유지한 채 한 번에 하나의 변수만 바꾸어 결과 차이를 그 변수에 귀속시키는 실험 설계다	8.4

8.11 더 읽을 자료

ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-8-01	표준·로드맵	JESD47 Stress-Test-Driven Qualification of Integrated Circuits	JEDEC	G판 2009-03 원문 대조	소재 변경이 왜 재인증을 부르는지, 시험 항목과 최소 시간이 어떻게 기간을 만드는지를 규격 문구로 확인한다	무료등록
S-8-05	표준·로드맵	JESD22-B112C Package Warpage Measurement of Surface-Mount ICs at Elevated Temperature	JEDEC	2023-11	휨 수치를 주고받을 때 승온 속도와 측정점을 왜 함께 합의해야 하는지의 근거다	무료등록
S-8-06	표준·로드맵	IPC/JEDEC J-STD-020F Moisture/Reflow Sensitivity Classification for Nonhermetic SMDs	IPC·JEDEC	2022-12	폴리머 소재가 바뀌면 흡습 등급을 다시 매겨야 하는 이유를 규격에서 확인한다	무료등록
S-8-07	표준·로드맵	IPC-4104 Specification for HDI and Microvia Materials	IPC·JPCA	1999-05	감광성 유전체의 드라이필름과 액상이 별개 인증 경로를 갖는다는 주장을 규격 근거로 올린다	유료
S-7-37	논문	Cu CMP Dishing Control for Fine Pitch Wafer-to-Wafer (W2W) Hybrid Bonding	Ji, Chen, Chui, IEEE EPTC 2022	2022-12	8.3의 여섯 단계 읽기가 모두 이 논문에서 나온다	구독
S-5-13	기술블로그	AI 가속기 열관리와 TIM 요구의 변화	IEEE EPS Newsletter	2026-03	휨과 본드라인 두께가 같은 자릿수가 되었다는 논지의 원자료이며 8.6의 TIM 수치 다수가 여기서 나온다	OA
S-6-26	논문	하이브리드 본딩용 비선택성 CMP 조건 연구	학술 논문	2025	0.4 wt%와 1 대 1.5라는 짝의 원자료이며 슬러리 조성 조절 질문의 근거다	구독
S-6-46	논문	저온 감광성 유전체의 기판별 접착 평가	Chang 외	2025	스터드풀 9.45 MPa 합격선과 네 기판 평가 관행의 근거이며 PID 평가 질문과 직결된다	구독
S-8-19	논문	One-Factor-at-a-Time Versus Designed Experiments	Czitrom, The American Statistician 53(2)	1999-05	한 번에 한 인자와 설계 실험의 경계를 반도체 공정 사례로 비교하며 8.4의 넷째 단계 근거다	구독

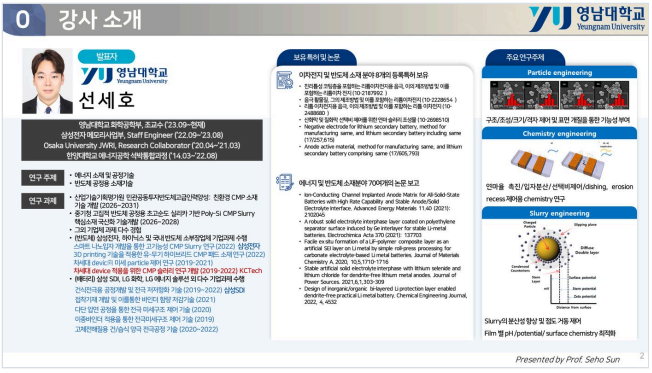
ID	유형	제목	발행처·저자	날짜	왜 읽는가	접근성
S-8-03	표준·로드맵	JESD22-A104F.01 Temperature Cycling	JEDEC	2023-04	같은 이름의 온도 사이클도 챔버 방식이 다르면 다른 시험임을 확인한다	무료등록
S-8-09	표준·로드맵	JEP131C Potential Failure Mode and Effects Analysis (FMEA)	JEDEC	2018-08	불량에서 원인 후보를 빠짐없이 열거하는 절차가 공개 문서로 정리된 예다	무료등록
S-8-15	논문	Recent Progress in Structural Integrity Evaluation of Microelectronic Packaging Using Scanning Acoustic Microscopy	Sensors 25(24):7499	2025-12	박리와 보이드와 균열을 비파괴로 가르는 기법의 최신 총설이며 8.4의 셋째 단계 근거다	OA
S-1-32	논문	Advanced Packaging 등급 분류와 CoWoS 면적 문턱	Lau, ASME JEP	2026-09	2,500 mm² 문턱과 접합 피치 사다리의 1차 근거이며 29쪽의 CoWoS 세 구조와 20쪽이 정의한 범프 피치를 더 깊이 읽을 때 쓴다	OA
S-5-19	논문	인듐 솔더 TIM의 ECTC 2026 보고	ECTC	2026	86 W/m·K와 1,000 사이클이 같은 형태의 값임을 확인하는 자리다	구독
S-6-25	기업발표	하이브리드 본딩용 CMP와 세정 기술자료	장비사 공개 자료	2023~2026	0.10 nm와 금속 오염 관리 수준의 출처이며 116쪽의 근거다	OA

세미나 슬라이드 전체 (122장)

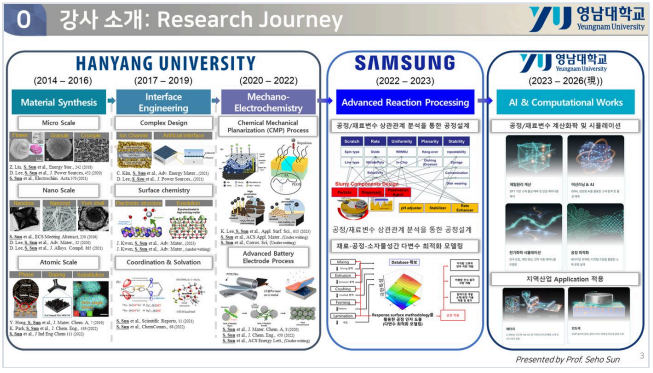
2026년 9월 28일 세미나의 슬라이드 122장을 세미나 순서대로 모은 것이다. 각 장 아래에 쪽 번호, 제목, 그 장을 다룬 학습 문서의 절 번호를 적었다.

Ⅰ 기초와 공정 (1~26쪽)

1쪽 · 영남대학교 화학공학부

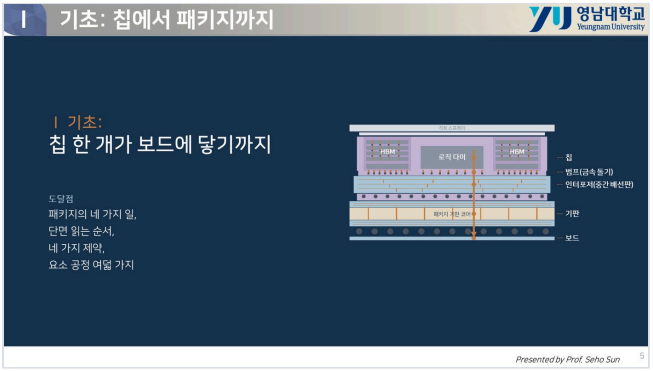


2쪽 · 강사 소개

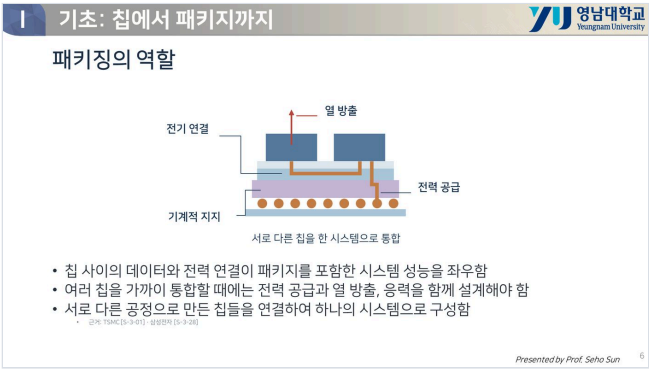


3쪽 · 강사 소개: Research Journey

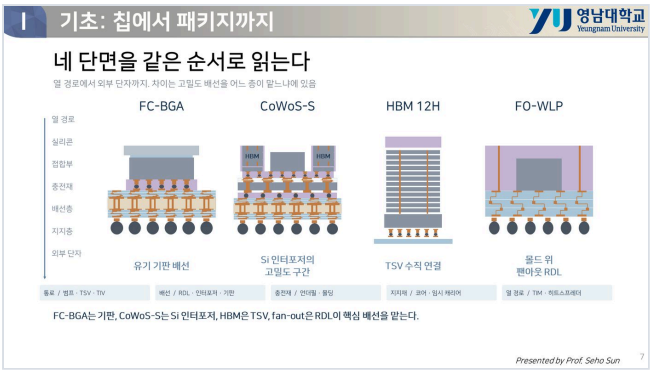
4쪽 · 오늘 살펴볼 질문 · 관련 절 5.2, 6.1, 6.4



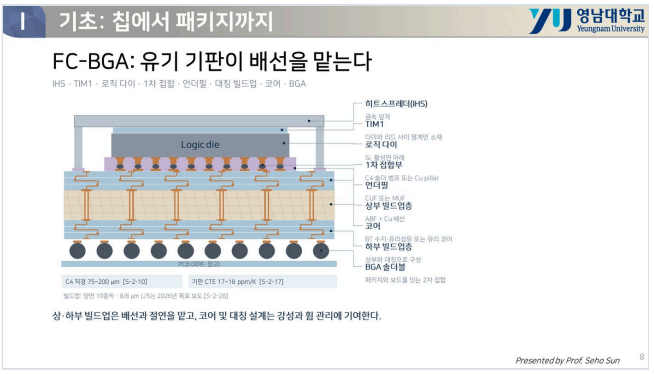
5쪽 · Ⅰ 기초: 칩 한 개가 보드에 닿기까지 · 관련 절 1.0



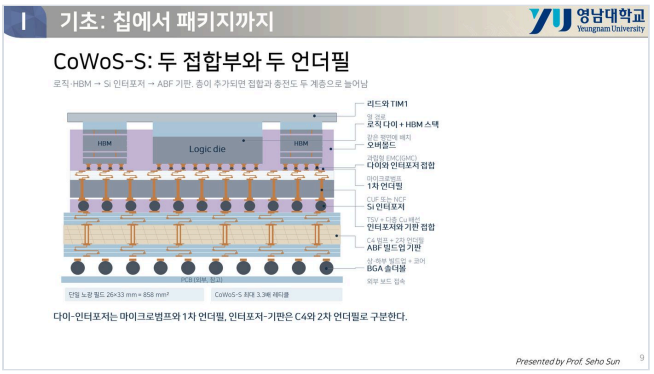
6쪽 · 패키징의 역할 · 관련 절 2.1



7쪽 · 네 단면을 같은 순서로 읽는다 · 관련 절 2.1, 2.0, 1.5, 3.1, 4.1, 5.1

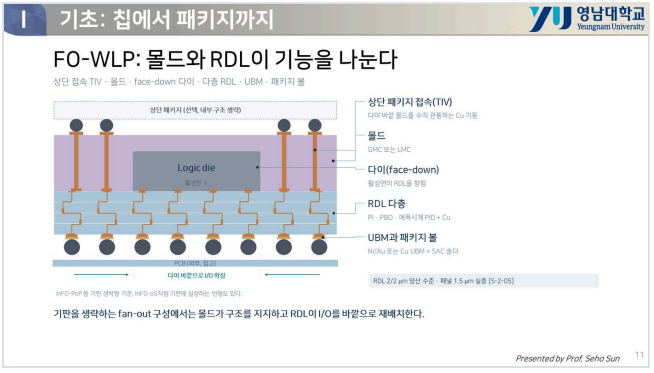


8쪽 · FC-BGA: 유기 기판이 배선을 맡는다 · 관련 절 2.1, 2.0, 1.5, 3.1, 4.1, 5.1

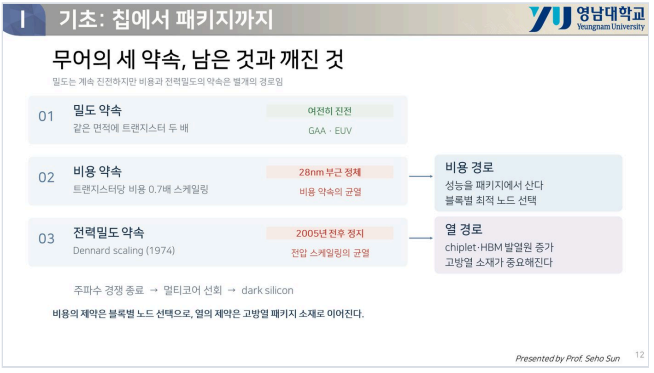


9쪽 · CoWoS-S: 두 접합부와 두 언더필 · 관련 절 2.1, 2.0, 1.5, 3.1, 4.1, 5.1

10쪽 · HBM 12H: 스택을 층 단위로 해부한다 · 관련 절 2.1, 2.0, 1.5, 3.1, 4.1, 5.1

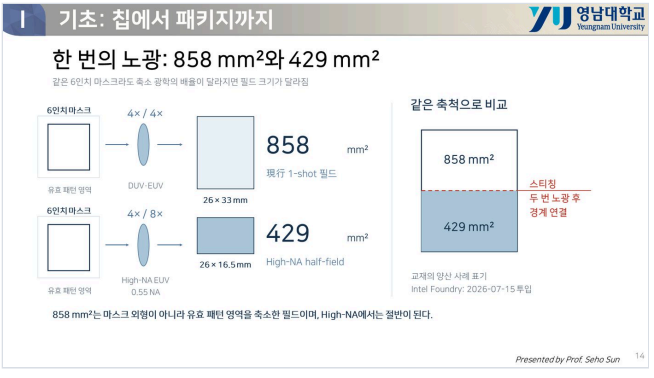


11쪽 · FO-WLP: 몰드와 RDL이 기능을 나눈다 · 관련 절 2.1, 2.0, 1.5, 3.1, 4.1, 5.1

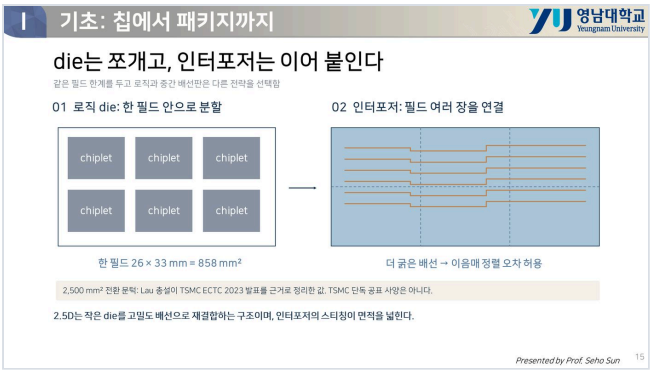


12쪽 · 무어의 세 약속, 남은 것과 깨진 것 · 관련 절 1.1, 5.5

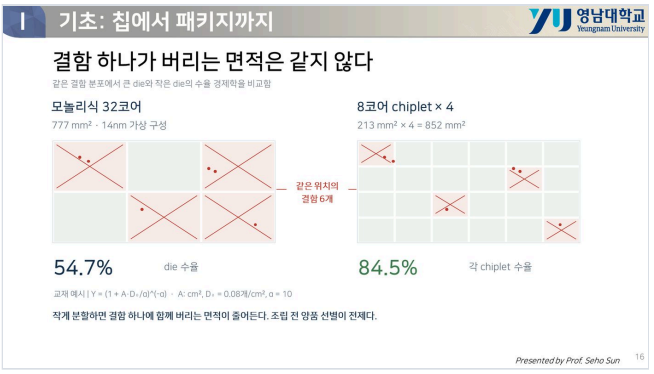
13쪽 · 필요한 블록에만 선단 노드를 쓴다 · 관련 절 1.1, 1.3, 3.3



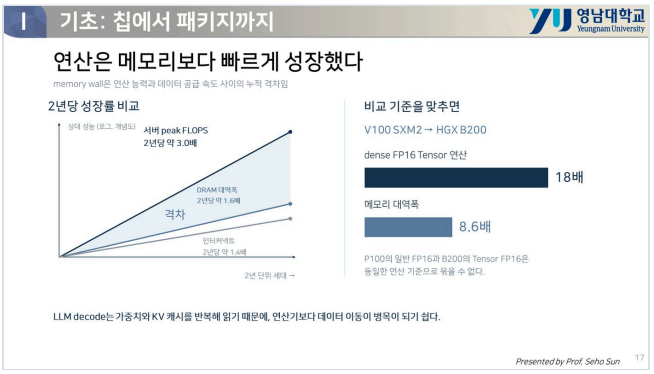
14쪽 · 한 번의 노광: 858 mm²와 429 mm² · 관련 절 1.2, 2.3, 1.9, 2.9



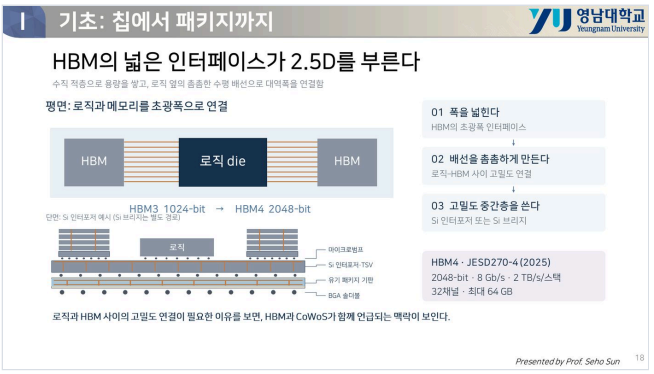
15쪽 · die는 쪼개고, 인터포저는 이어 붙인다 · 관련 절 1.2, 1.5, 2.3, 3.2



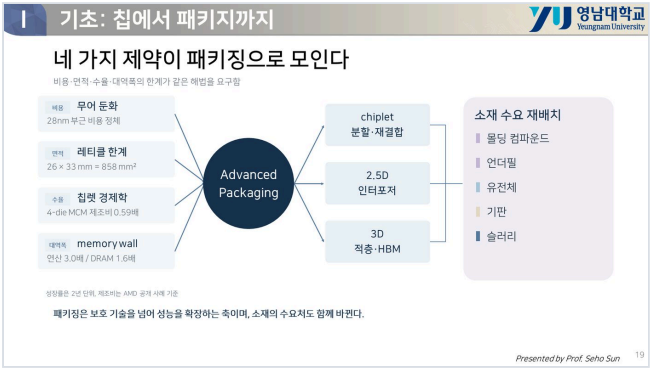
16쪽 · 결함 하나가 버리는 면적은 같지 않다 · 관련 절 1.3, 1.9



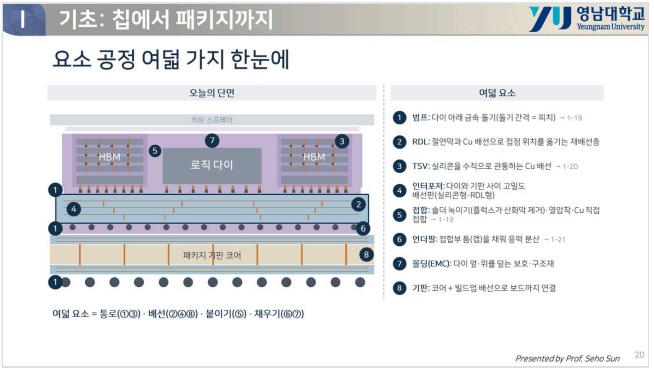
17쪽 · 연산은 메모리보다 빠르게 성장했다 · 관련 절 1.4, 4.0, 4.2



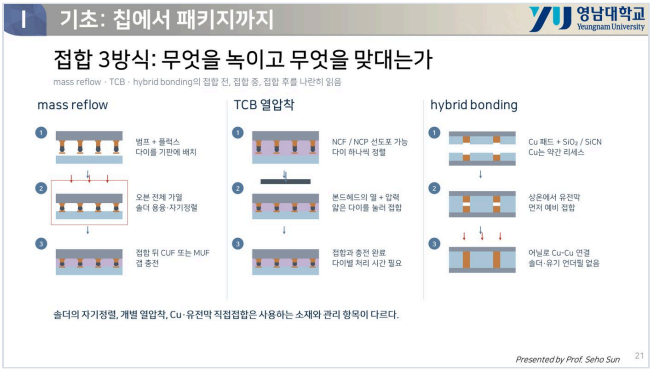
18쪽 · HBM의 넓은 인터페이스가 2.5D를 부른다 · 관련 절 1.4, 2.3, 4.1



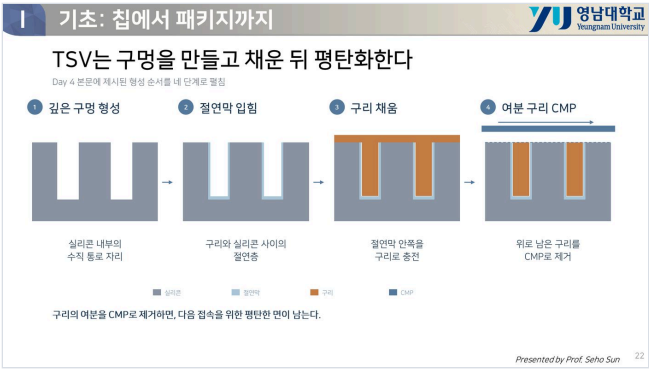
19쪽 · 네 가지 제약이 패키징으로 모인다 · 관련 절 1.0, 1.8, 7.1



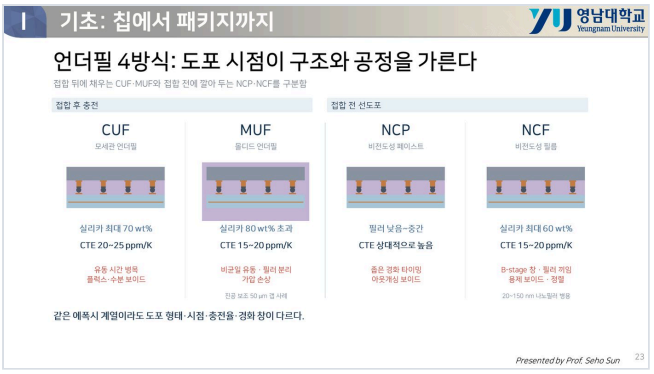
20쪽 · 요소 공정 여덟 가지 한눈에 · 관련 절 7.1, 7.8, 8.7, 6.4, 5.1



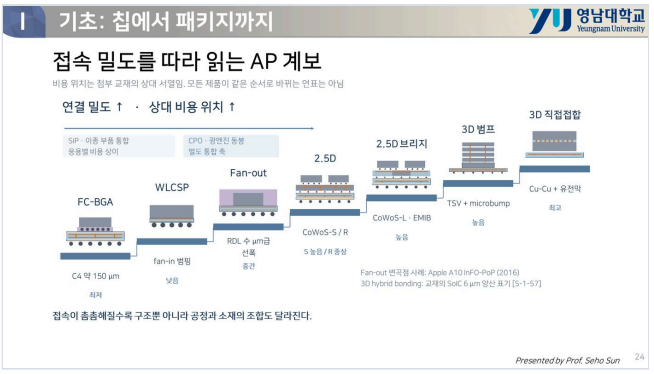
21쪽 · 접합 3방식: 무엇을 녹이고 무엇을 맞대는가 · 관련 절 2.4, 4.3, 5.4, 8.5



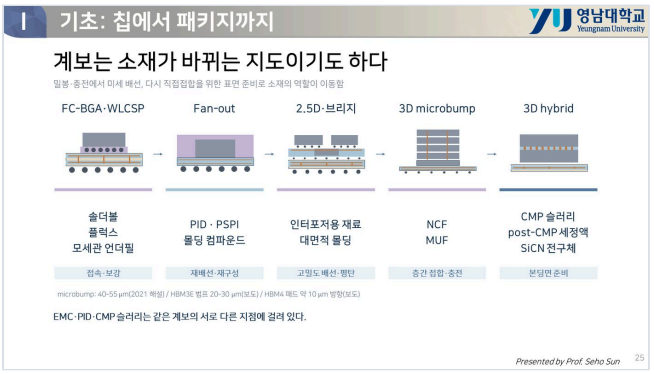
22쪽 · TSV는 구멍을 만들고 채운 뒤 평탄화한다 · 관련 절 4.1, 2.2, 6.4



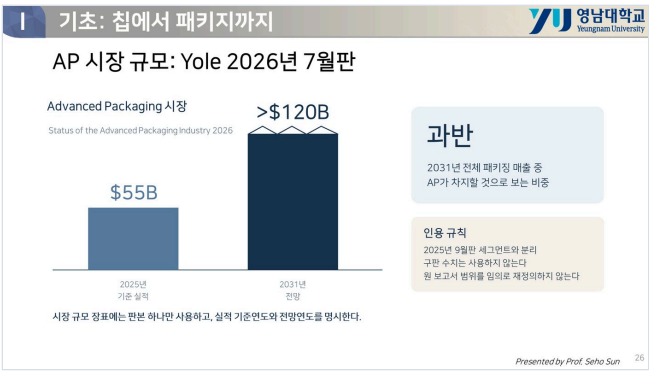
23쪽 · 언더필 4방식: 도포 시점이 구조와 공정을 가른다 · 관련 절 2.5, 2.9, 5.3, 4.3



24쪽 · 접속 밀도를 따라 읽는 AP 계보 · 관련 절 1.5, 2.0, 7.1



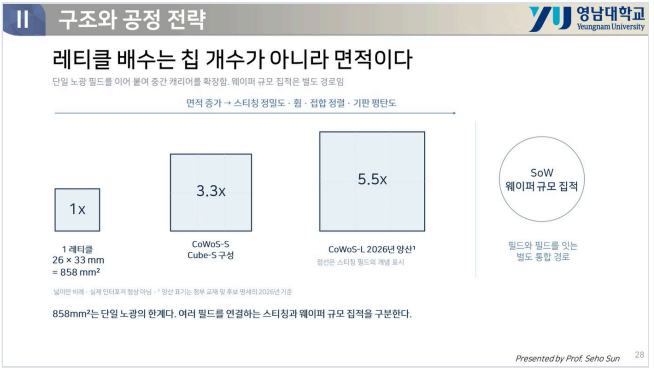
25쪽 · 계보는 소재가 바뀌는 지도이기도 하다 · 관련 절 1.5, 2.0, 7.1



26쪽 · AP 시장 규모: Yole 2026년 7월판 · 관련 절 1.6, 1.9, 7.5

II 구조와 공정 전략 (27~51쪽)

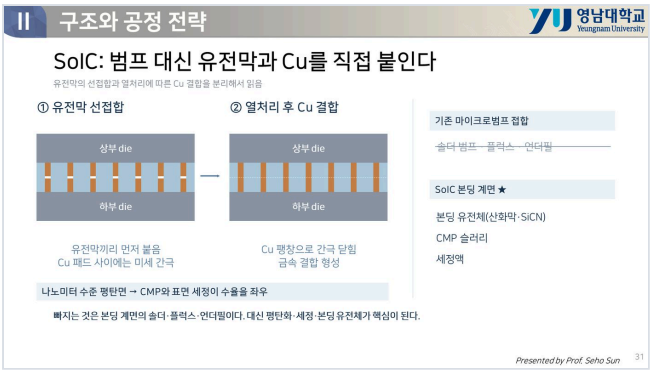
27쪽 · II 구조와 공정 전략: 같은 문제를 다르게 푼 세 파운드리 · 관련 절 3.0



28쪽 · 레티클 배수는 칩 개수가 아니라 면적이다 · 관련 절 3.0, 3.1, 3.2, 1.2

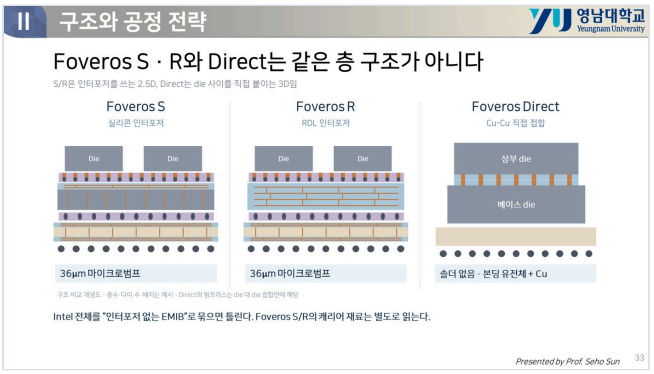
29쪽 · CoWoS-S · R · L: 바뀌는 것은 인터포저다 · 관련 절 3.1, 1.5, 3.6

30쪽 · CoWoS-L 한 장을 아홉 개 층으로 나눈다 · 관련 절 3.1, 3.5, 3.6, 2.1, 5.1



31쪽 · SoIC: 범프 대신 유전막과 Cu를 직접 붙인다 · 관련 절 3.1, 3.6, 4.3, 6.4

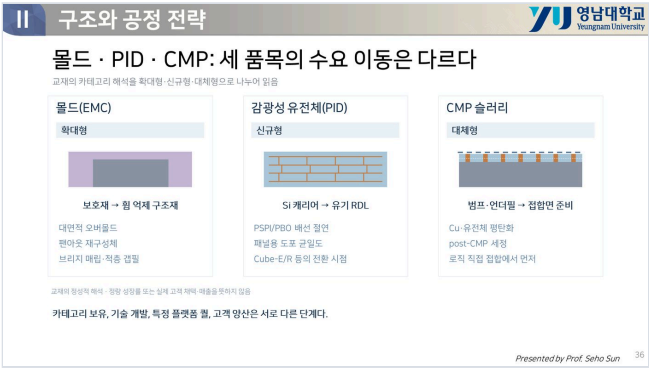
32쪽 · EMIB와 EMIB-T: 실리콘 브리지는 기판 안에 있다 · 관련 절 3.3, 3.6



33쪽 · Foveros S · R와 Direct는 같은 층 구조가 아니다 · 관련 절 3.3, 3.6, 4.3

34쪽 · 삼성 Cube 5종: 수평 캐리어와 수직 접합을 나눈다 · 관련 절 3.4, 3.6, 3.7

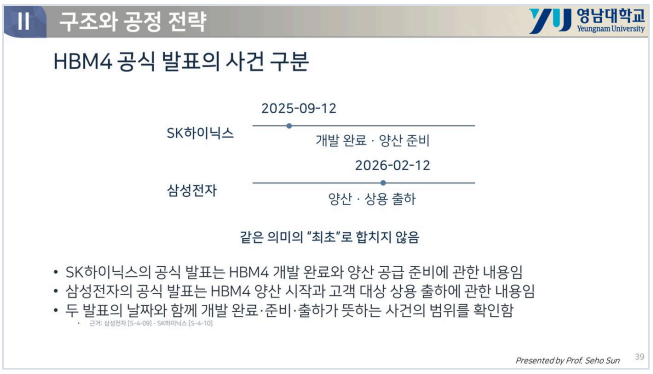
35쪽 · 캐리어는 원형 웨이퍼 · 사각 패널 · 웨이퍼 규모로 갈린다 · 관련 절 3.2, 3.8, 6.3



36쪽 · 몰드 · PID · CMP: 세 품목의 수요 이동은 다르다 · 관련 절 3.6, 3.0, 3.1, 3.9

37쪽 · HBM 스택을 일곱 층으로 읽는다 · 관련 절 4.1, 4.0, 1.4, 3.1

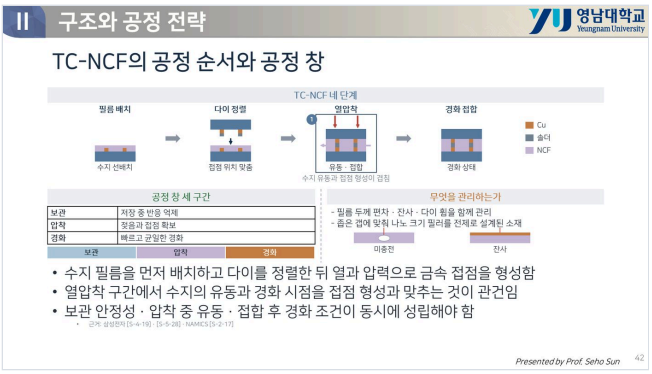
38쪽 · 소재의 자리는 스택 안에 세 곳이다 · 관련 절 4.1, 4.0, 1.4, 3.1



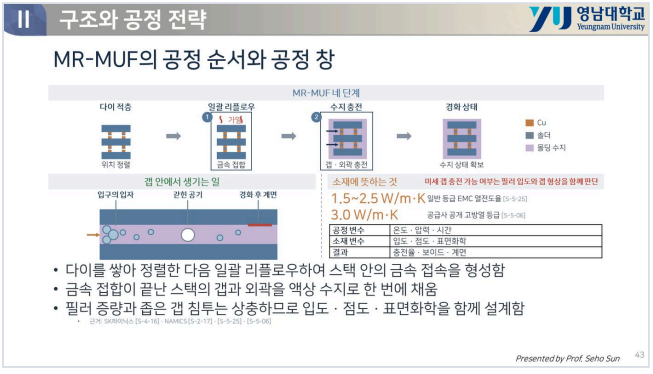
39쪽 · HBM4 공식 발표의 사건 구분 · 관련 절 4.2

40쪽 · 16단 × 50μm는 다이만으로 800μm다 · 관련 절 4.3, 4.0, 4.1, 4.2, 4.7, 3.6, 3.7

41쪽 · 접합과 충전의 순서 · 관련 절 5.3, 4.3



42쪽 · TC-NCF의 공정 순서와 공정 창 · 관련 절 4.3, 5.3, 5.2

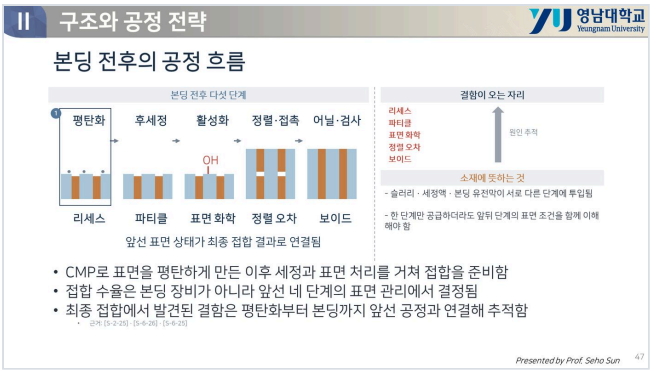


43쪽 · MR-MUF의 공정 순서와 공정 창 · 관련 절 4.3, 5.3, 5.2

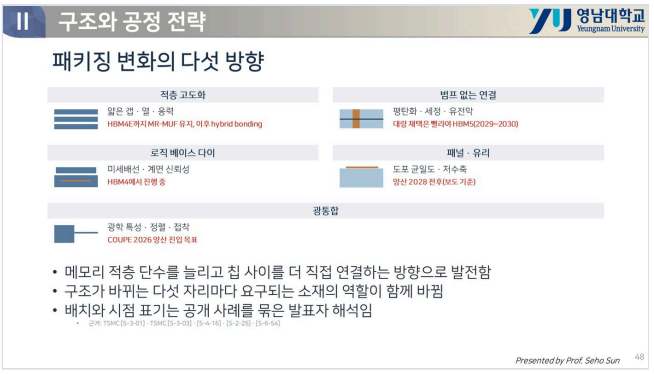
44쪽 · 본딩 세 방식은 다이 사이 재료가 다르다 · 관련 절 4.3, 4.0, 4.1, 3.6, 5.3, 6.4

45쪽 · 본딩 전환의 "세대"와 "연도"는 다른 정보다 · 관련 절 7.6, 7.8, 8.7, 4.2, 6.6

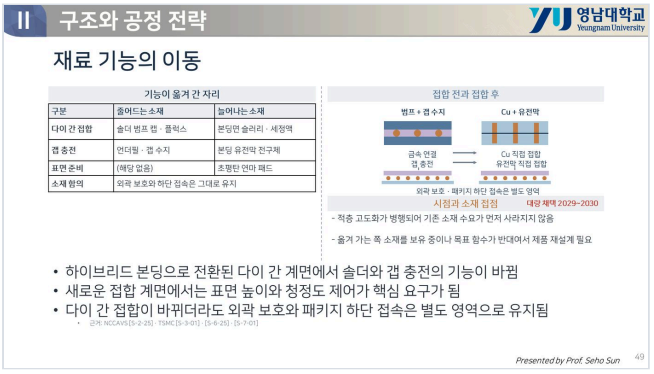
46쪽 · 하이브리드 본딩: 표면 준비에서 영구 접합까지 · 관련 절 2.4, 6.4, 4.3, 8.3



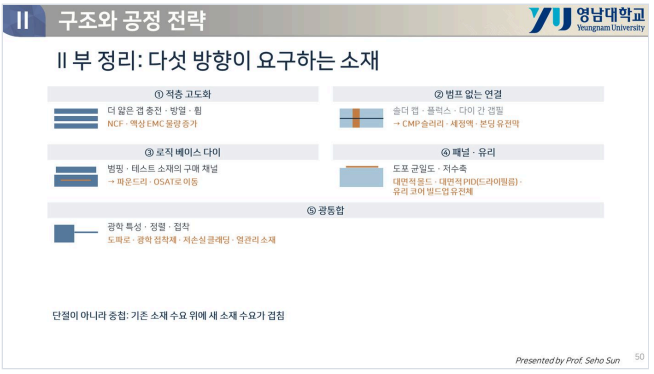
47쪽 · 본딩 전후의 공정 흐름 · 관련 절 4.3, 6.4



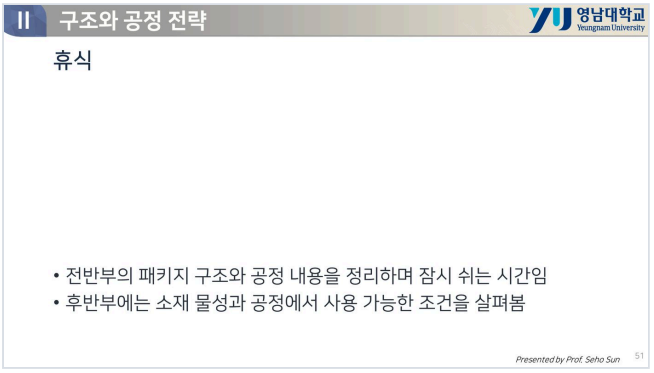
48쪽 · 패키징 변화의 다섯 방향 · 관련 절 6.6



49쪽 · 재료 기능의 이동 · 관련 절 6.4, 4.3



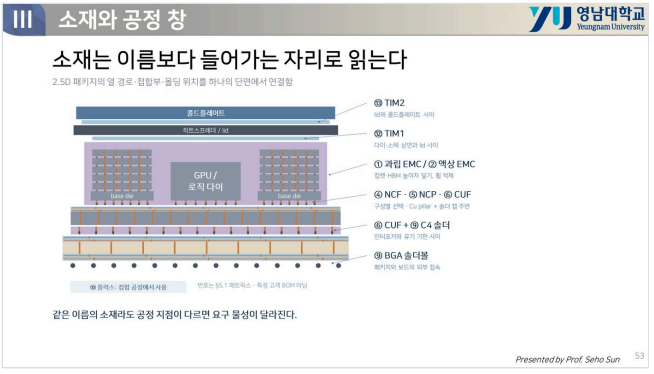
50쪽 · II부 정리: 다섯 방향이 요구하는 소재 · 관련 절 3.0



51쪽 · 휴식

III 소재와 공정 창 (52~87쪽)

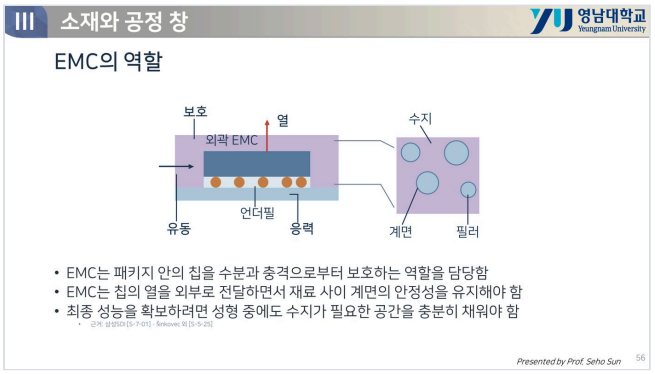
52쪽 · III 소재와 공정 창: 소재는 이름이 아니라 자리로 읽는다 · 관련 절 5.0



53쪽 · 소재는 이름보다 들어가는 자리로 읽는다 · 관련 절 5.1, 2.1, 2.5, 3.6, 7.1

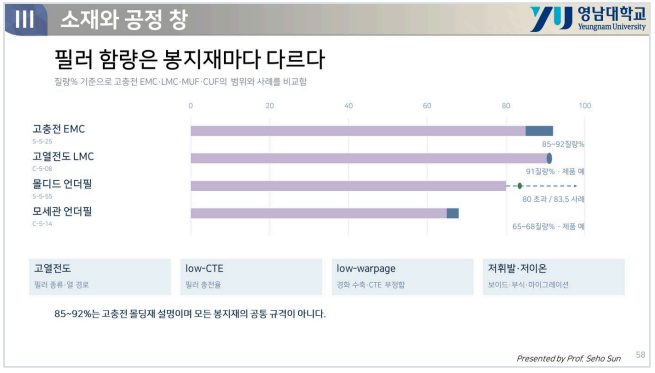
54쪽 · HBM·팬아웃에서는 수지의 역할이 달라진다 · 관련 절 5.1, 2.1, 2.5, 3.6, 7.1

55쪽 · 소재의 소멸은 패키지가 아니라 전환된 층 기준이다 · 관련 절 5.1, 2.1, 2.5, 3.6, 7.1



56쪽 · EMC의 역할 · 관련 절 5.2, 5.1

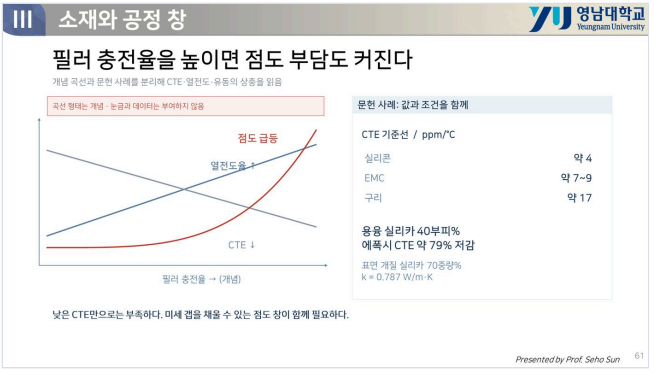
57쪽 · EMC는 고충전 필러와 가교 수지의 조합이다 · 관련 절 5.2, 2.5, 7.1, 5.3



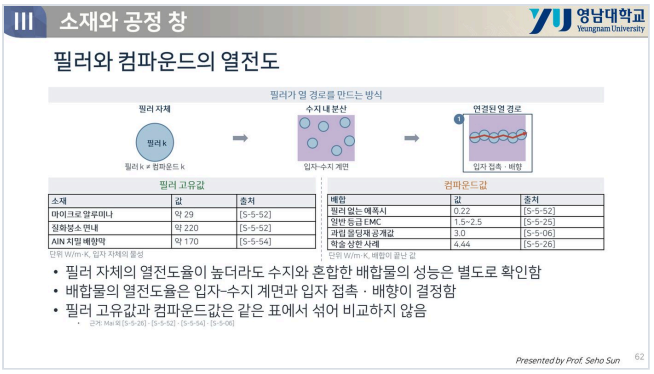
58쪽 · 필러 함량은 봉지재마다 다르다 · 관련 절 5.2, 2.5, 7.1, 5.3

59쪽 · 구형의 충전과 판상의 연결을 결합한다 · 관련 절 5.2, 5.5, 5.3, 7.5

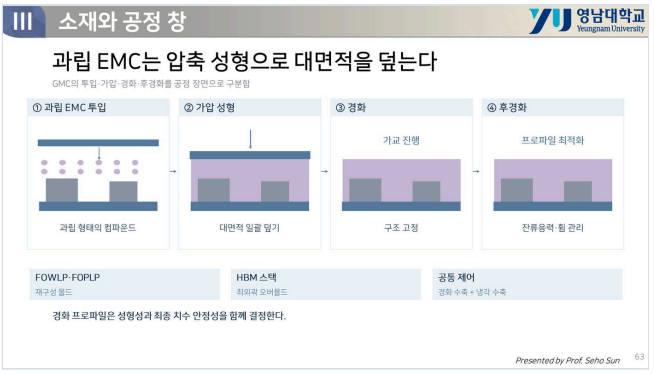
60쪽 · 입도 분포와 표면 처리는 서로 다른 설계 손잡이다 · 관련 절 5.2, 5.5, 5.3, 7.5



61쪽 · 필러 충전율을 높이면 점도 부담도 커진다 · 관련 절 5.2, 5.5, 5.3, 7.5



62쪽 · 필러와 컴파운드의 열전도 · 관련 절 5.2



63쪽 · 과립 EMC는 압축 성형으로 대면적을 덮는다 · 관련 절 5.2, 2.5, 4.3, 6.6

64쪽 · 액상 주입과 성형 시험은 구분해서 읽는다 · 관련 절 5.2, 2.5, 4.3, 6.6

65쪽 · 갭 충전재는 도포 시점부터 다르다 · 관련 절 5.3, 2.5, 4.3

66쪽 · CUF는 옆에서 스며들고, MR-MUF는 갭과 외곽을 채운다 · 관련 절 5.3, 2.5, 4.3

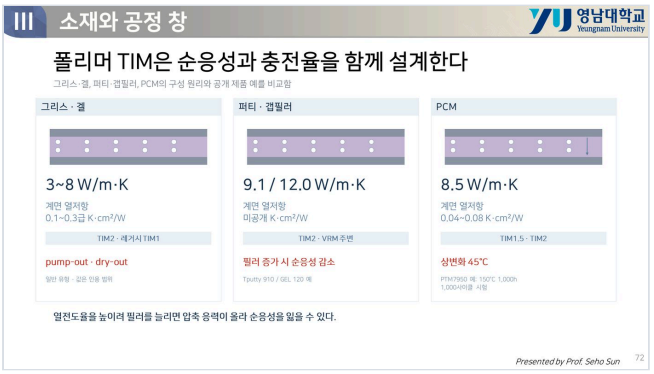
67쪽 · NCF는 다섯 기능을 한 필름에 넣은 소재다 · 관련 절 5.3, 4.3, 7.4

68쪽 · 최소 점도 창과 경화 창을 함께 맞춘다 · 관련 절 5.3, 4.3, 8.6

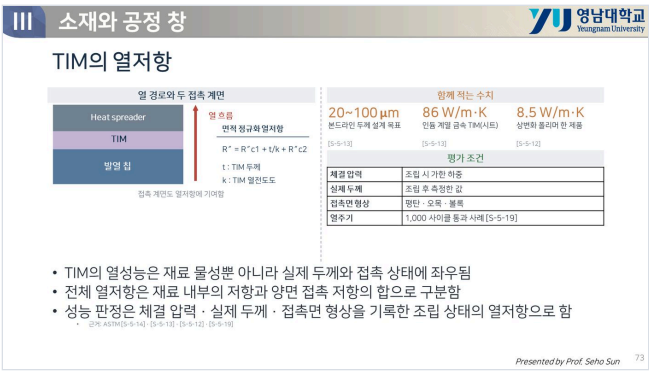
69쪽 · 갭을 정하면 허용 필러 입경도 정해진다 · 관련 절 5.3, 4.1, 5.4, 2.5

70쪽 · 플럭스는 산화막을 없애지만 잔사가 남을 수 있다 · 관련 절 5.4, 2.4, 4.3, 6.4

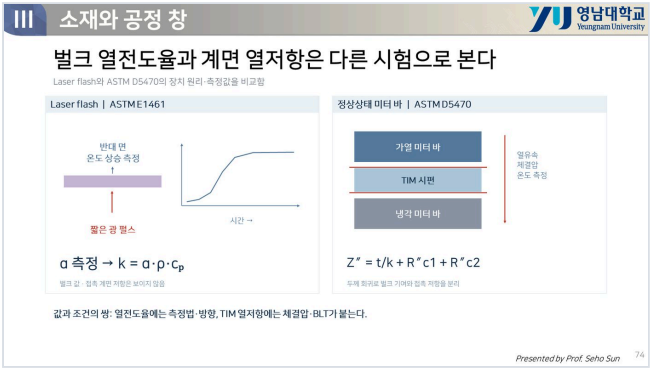
71쪽 · TIM1·TIM1.5·TIM2는 서로 다른 계면이다 · 관련 절 5.5, 2.6, 5.6, 6.6



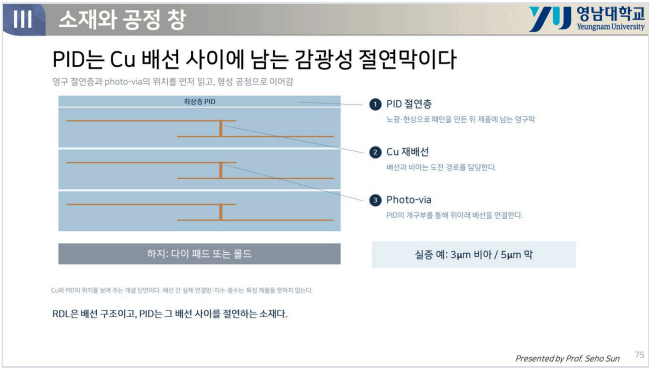
72쪽 · 폴리머 TIM은 순응성과 충전율을 함께 설계한다 · 관련 절 5.5, 6.6, 7.5



73쪽 · TIM의 열저항 · 관련 절 5.5, 5.6

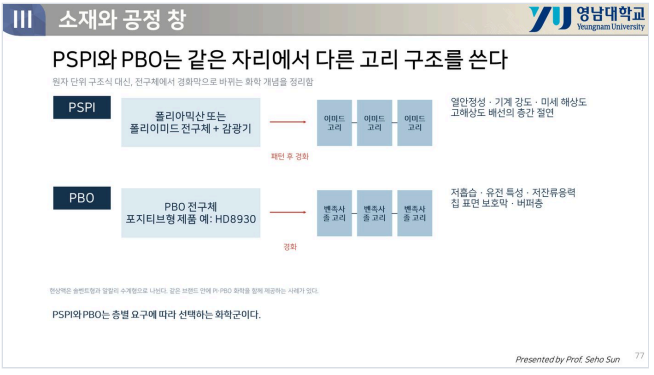


74쪽 · 벌크 열전도율과 계면 열저항은 다른 시험으로 본다 · 관련 절 5.6, 5.5, 8.2

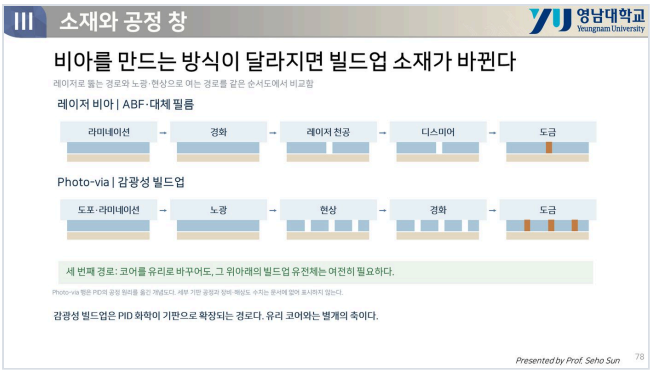


75쪽 · PID는 Cu 배선 사이에 남는 감광성 절연막이다 · 관련 절 6.1, 2.2, 3.1, 6.2, 7.1

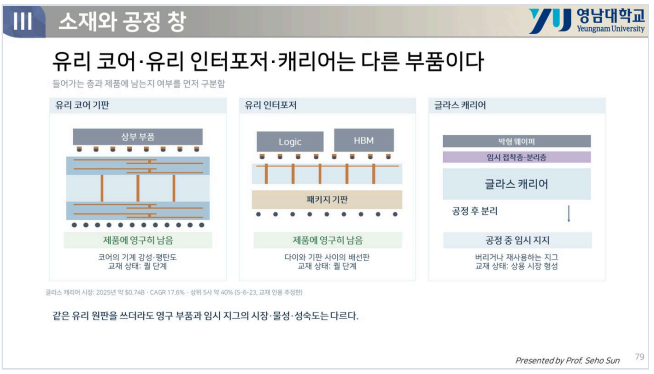
76쪽 · 도포·노광·현상 뒤에는 비아 바닥을 확인한다 · 관련 절 6.1, 2.2, 3.1, 6.2, 7.1



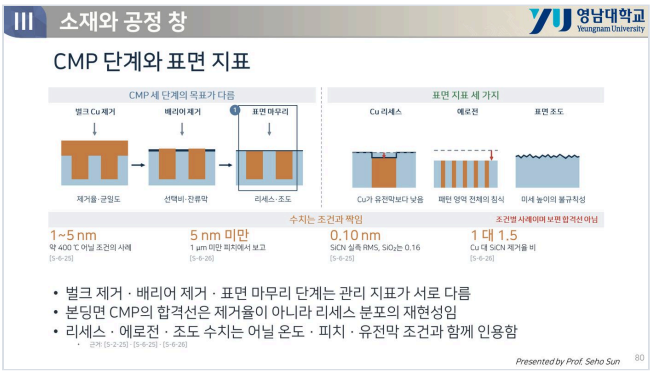
77쪽 · PSPI와 PBO는 같은 자리에서 다른 고리 구조를 쓴다 · 관련 절 6.1, 6.6, 7.5



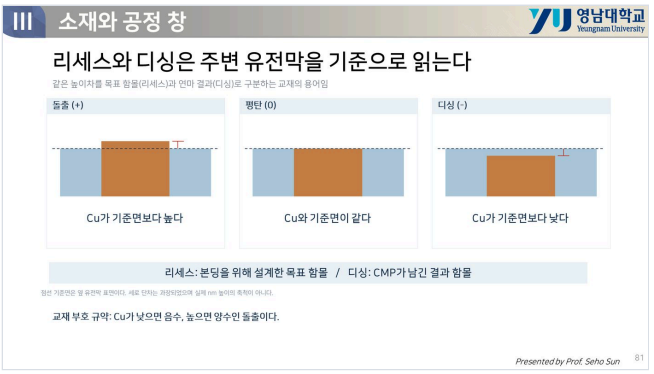
78쪽 · 비아를 만드는 방식이 달라지면 빌드업 소재가 바뀐다 · 관련 절 6.2, 6.1, 6.3, 7.5



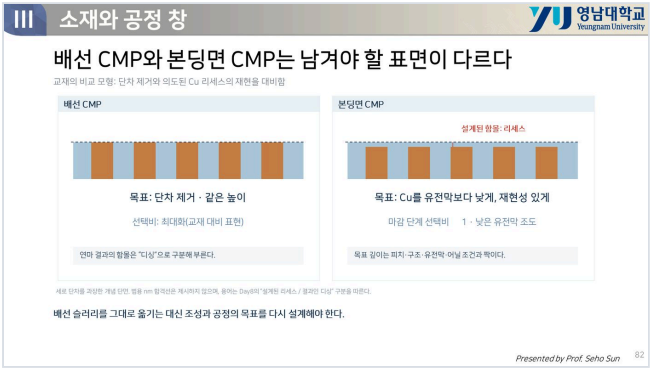
79쪽 · 유리 코어·유리 인터포저·캐리어는 다른 부품이다 · 관련 절 6.3, 3.3, 6.5, 5.1



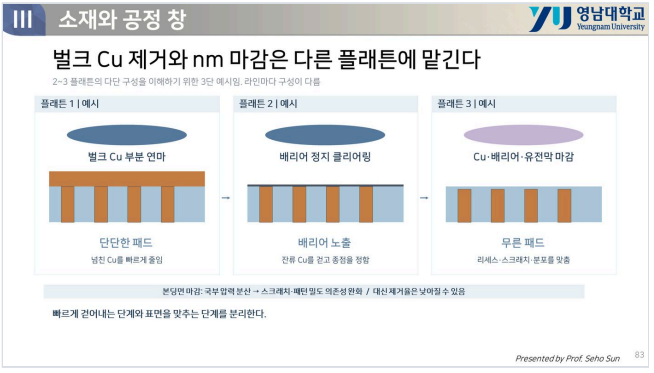
80쪽 · CMP 단계와 표면 지표 · 관련 절 6.4



81쪽 · 리세스와 디싱은 주변 유전막을 기준으로 읽는다 · 관련 절 6.4, 8.3, 8.2, 4.3

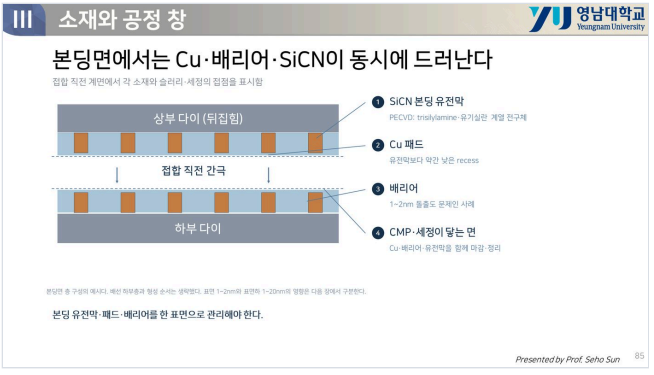


82쪽 · 배선 CMP와 본딩면 CMP는 남겨야 할 표면이 다르다 · 관련 절 7.3, 7.6, 7.9, 8.7, 8.8, 6.4

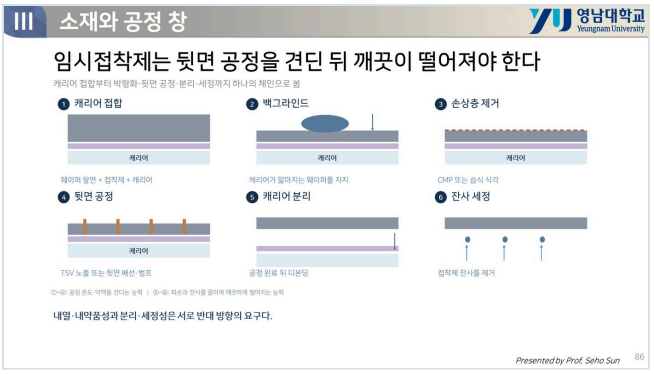


83쪽 · 벌크 Cu 제거와 nm 마감은 다른 플래튼에 맡긴다 · 관련 절 6.4, 4.3, 8.3, 8.5

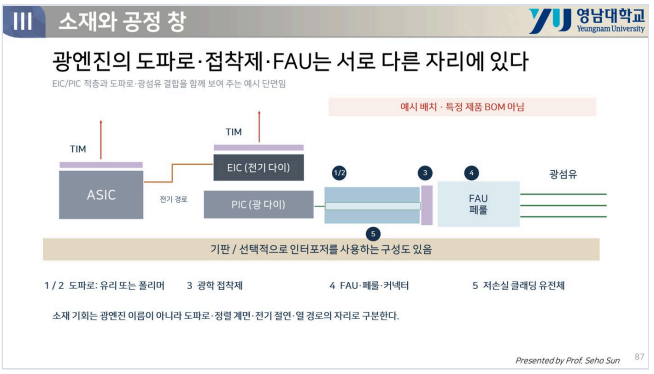
84쪽 · Cu CMP 슬러리는 네 성분과 pH로 기능을 나눈다 · 관련 절 6.4, 8.3, 7.1, 5.1



85쪽 · 본딩면에서는 Cu·배리어·SiCN이 동시에 드러난다 · 관련 절 6.4, 2.4, 4.3, 5.1



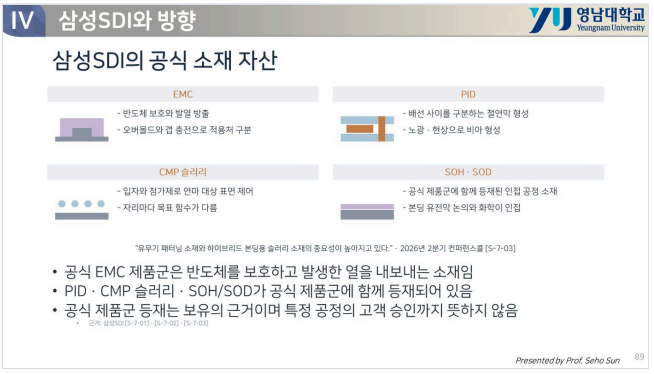
86쪽 · 임시접착제는 뒷면 공정을 견딘 뒤 깨끗이 떨어져야 한다 · 관련 절 6.5, 2.5, 4.3, 6.3



87쪽 · 광엔진의 도파로·접착제·FAU는 서로 다른 자리에 있다 · 관련 절 6.6, 3.2, 5.5, 7.5

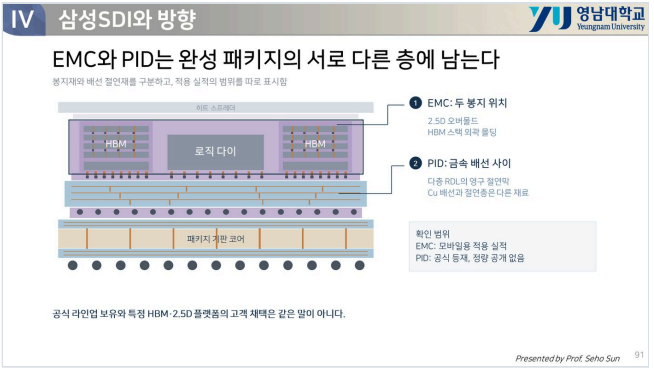
IV 삼성SDI 응용 확장 (88~107쪽)

88쪽 · IV 삼성SDI와 방향: 단면 위에 우리 소재를 놓아 보기 · 관련 절 7.0



89쪽 · 삼성SDI의 공식 소재 자산 · 관련 절 7.1, 6.4

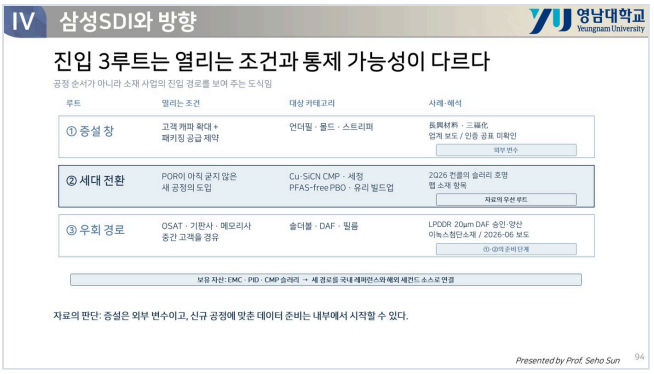
90쪽 · 보유 소재는 패키지의 네 공정 지점에 닿는다 · 관련 절 7.1, 7.8, 8.7, 6.4, 5.1



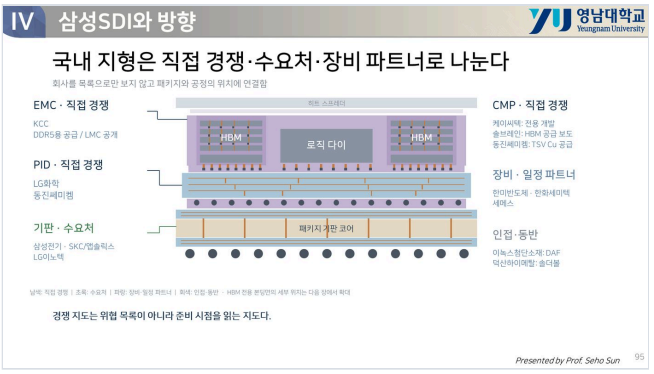
91쪽 · EMC와 PID는 완성 패키지의 서로 다른 층에 남는다 · 관련 절 7.1, 7.8, 8.7, 6.4, 5.1

92쪽 · 과점 지점마다 패키지에서 맡는 위치가 다르다 · 관련 절 7.2, 7.6, 8.7, 5.2

93쪽 · 소재를 바꾸면 공정 평가와 재인증이 이어진다 · 관련 절 7.2, 8.2, 8.7, 5.6

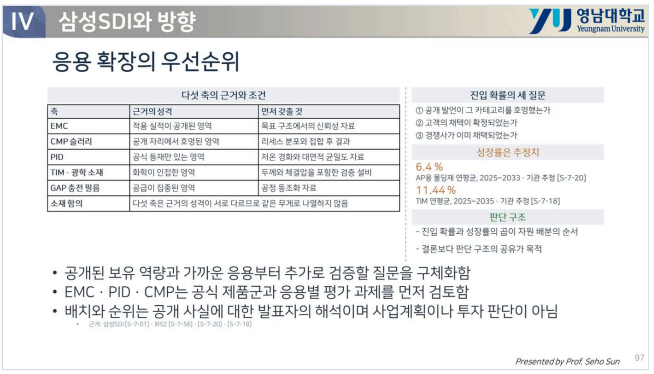


94쪽 · 진입 3루트는 열리는 조건과 통제 가능성이 다르다 · 관련 절 7.3, 7.6, 8.7



95쪽 · 국내 지형은 직접 경쟁·수요처·장비 파트너로 나눈다 · 관련 절 7.4, 7.7, 8.7

96쪽 · 다섯 기회 축은 패키지의 서로 다른 자리를 겨냥한다 · 관련 절 7.5, 7.6, 8.7, 6.6

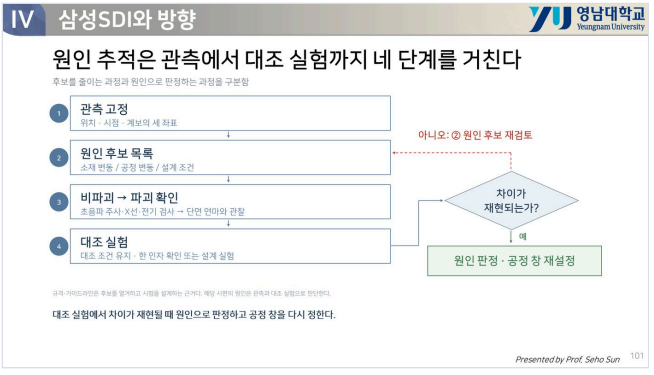


97쪽 · 응용 확장의 우선순위 · 관련 절 7.5

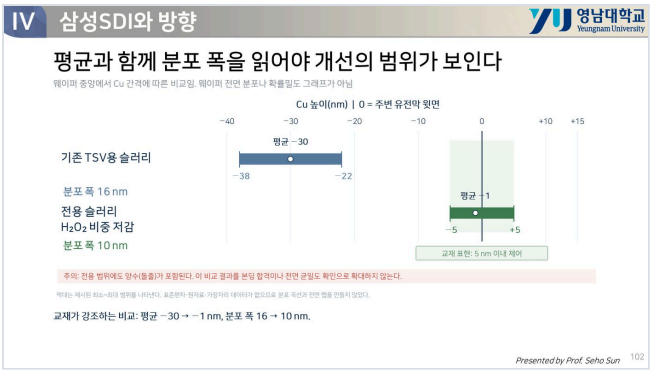
98쪽 · 2026~2030: 기술 변화와 자료의 행동 제안을 같은 축에 놓는다 · 관련 절 7.6, 7.8, 8.7, 4.2, 6.6

99쪽 · 여섯 제출 항목에서 규격과 관행을 구분한다 · 관련 절 8.2, 7.2, 8.7, 5.6

100쪽 · 불량 여섯 가지를 패키지의 서로 다른 자리에 표시한다 · 관련 절 8.4, 2.6, 5.5, 8.7

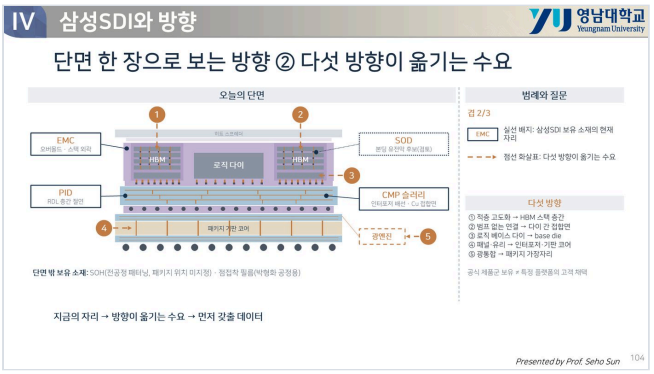


101쪽 · 원인 추적은 관측에서 대조 실험까지 네 단계를 거친다 · 관련 절 8.4, 8.5, 8.9, 2.6

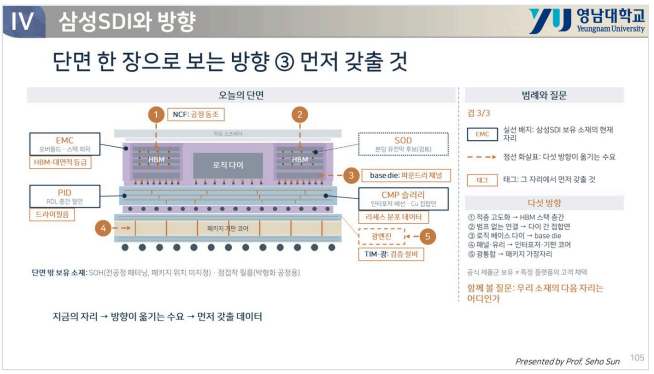


102쪽 · 평균과 함께 분포 폭을 읽어야 개선의 범위가 보인다 · 관련 절 8.3, 7.5, 8.2, 8.9, 6.4

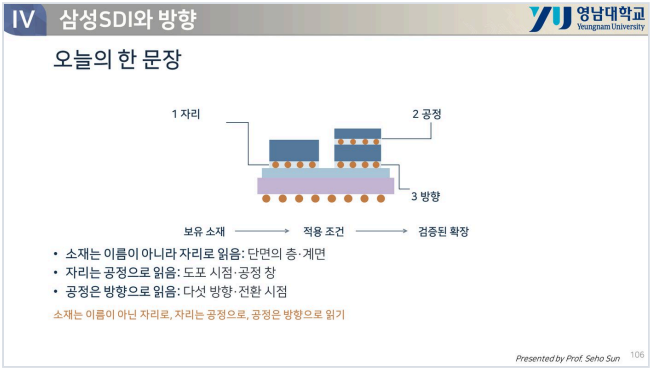
103쪽 · 단면 한 장으로 보는 방향 ① 지금의 자리 · 관련 절 7.1, 7.8, 8.7, 6.4, 5.1



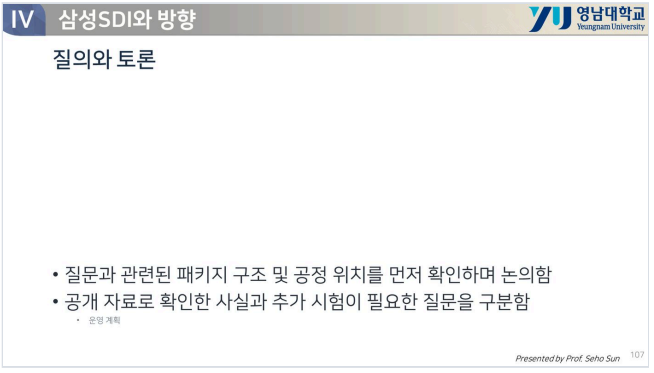
104쪽 · 단면 한 장으로 보는 방향 ② 다섯 방향이 옮기는 수요 · 관련 절 7.1, 7.8, 8.7, 6.4, 5.1



105쪽 · 단면 한 장으로 보는 방향 ③ 먼저 갖출 것 · 관련 절 7.1, 7.8, 8.7, 6.4, 5.1



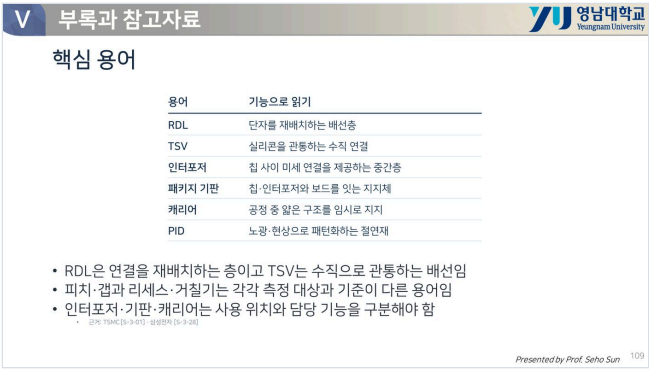
106쪽 · 오늘의 한 문장 · 관련 절 7.0



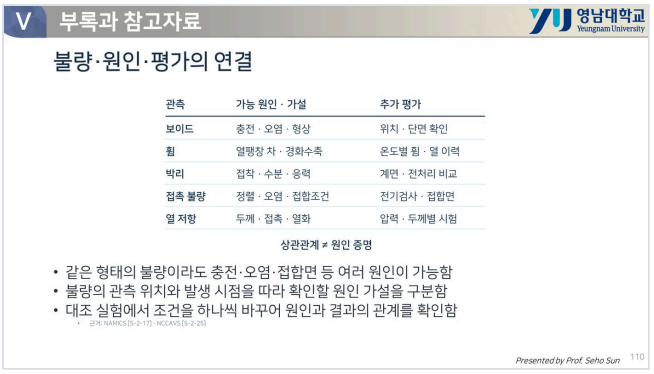
107쪽 · 질의와 토론

V 부록과 참고자료 (108~122쪽)

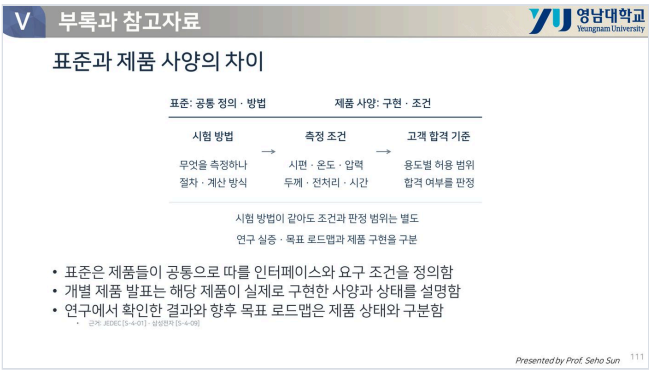
108쪽 · 백업 자료



109쪽 · 핵심 용어 · 관련 절 8.10



110쪽 · 불량·원인·평가의 연결 · 관련 절 2.6, 5.5, 8.4



111쪽 · 표준과 제품 사양의 차이 · 관련 절 4.2, 5.6, 7.2

112쪽 · 높이 한도는 확정값과 논의값을 구분한다 · 관련 절 4.3, 4.0, 4.1, 4.2, 4.7, 3.6, 3.7

113쪽 · CoWoS 대형화 로드맵: 발표 연도와 목표 연도 · 관련 절 3.2, 3.8, 6.3

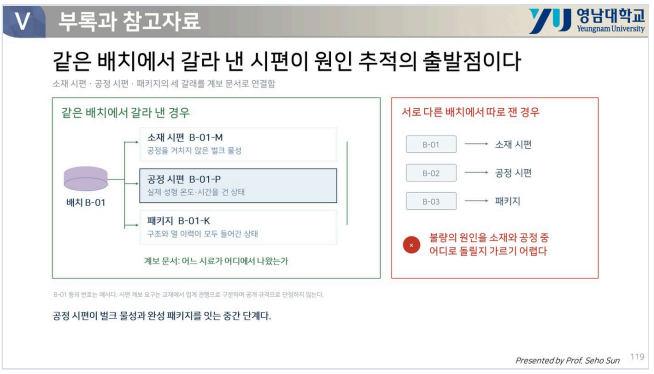
114쪽 · 캐리어 웨이퍼 장수 ≠ 완성 패키지 개수 · 관련 절 3.2, 3.8, 6.3

115쪽 · 두 시장은 분모가 다르다 · 관련 절 1.6, 1.9, 7.5

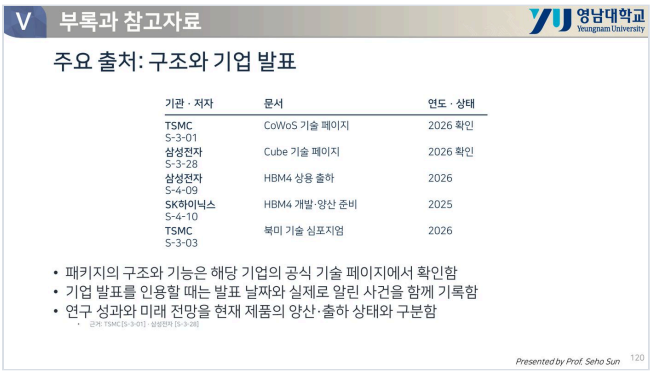
116쪽 · 본딩면의 합격 조건은 nm와 오염의 조합이다 · 관련 절 2.4, 6.4, 4.3, 8.3

117쪽 · 솔더는 세 층위에 남아 있다 · 관련 절 5.4, 2.4, 4.3, 6.4

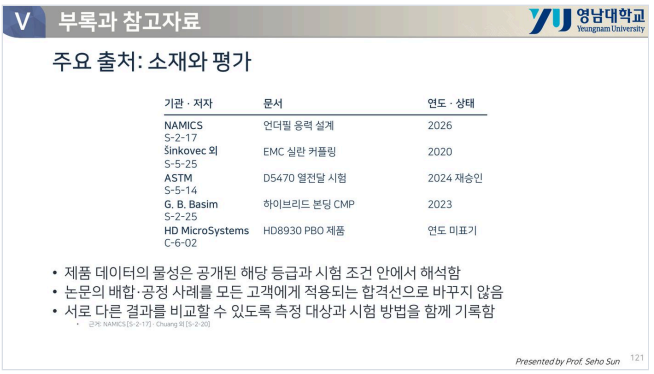
118쪽 · 평가 자료는 다섯 시점에 걸쳐 완성된다 · 관련 절 8.2, 7.2, 8.7, 5.6



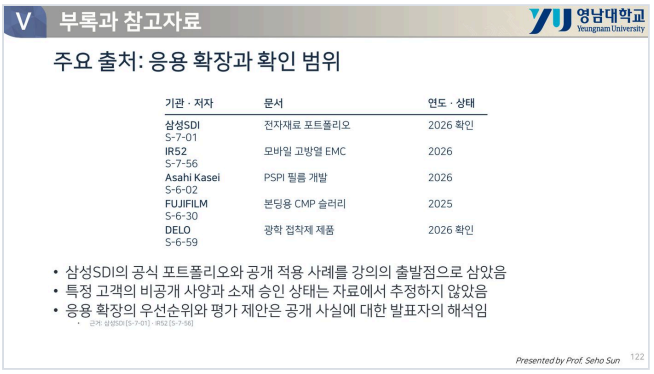
119쪽 · 같은 배치에서 갈라 낸 시편이 원인 추적의 출발점이다 · 관련 절 8.2, 8.5, 8.7, 8.9, 5.6



120쪽 · 주요 출처: 구조와 기업 발표



121쪽 · 주요 출처: 소재와 평가



122쪽 · 주요 출처: 응용 확장과 확인 범위

도해 목록 (232장)

본문에 실은 도해 232장의 목록이다. 대표 절은 도해를 그림으로 실은 절이고, 관련 절에는 절 제목 아래에 도해 번호와 제목만 적었다. PDF에서는 도해 번호를 누르면 본문의 그 도해로 넘어간다.

Day 1 (21장)

ID	제목	대표 절	관련 절
F-1-01	네 가지 제약이 패키징으로 모인다	1.0	1.8, 7.1
F-1-02	무어의 세 약속, 남은 것과 깨진 것	1.1	5.5
F-1-03	필요한 블록에만 선단 노드를 쓴다	1.1	1.3, 3.3
F-1-04	한 번의 노광: 858 mm²와 429 mm²	1.2	2.3, 1.9, 2.9
F-1-05A	die는 쪼개고, 인터포저는 이어 붙인다	1.2	1.5, 2.3, 3.2
F-1-05B	인터포저 크기의 사다리	1.2	1.5, 2.3, 3.2
F-1-06A	결함 하나가 버리는 면적은 같지 않다	1.3	1.9
F-1-06B	수율 이득과 제조비 절감은 다른 숫자다	1.3	1.9
F-1-07	칩렛 비용 역전은 하나의 문턱이 아니다	1.3	1.9
F-1-08	연산은 메모리보다 빠르게 성장했다	1.4	4.0, 4.2
F-1-09	HBM의 넓은 인터페이스가 2.5D를 부른다	1.4	2.3, 4.1
F-1-10	Rubin: 공식 수치와 보도를 갈라 그린다	1.4	1.9, 3.2
F-1-12A	Lau 분류 ①: die를 받치는 중간층	1.5	3.1, 3.3
F-1-12B	Lau 분류 ②: 능동 die와 직접 적층	1.5	3.1, 3.3
F-1-13A	피치가 줄면 연결 수는 자릿수가 바뀐다	1.5	2.4
F-1-13B	피치 표를 읽을 때는 측정면부터 확인한다	1.5	2.4
F-1-11A	접속 밀도를 따라 읽는 AP 계보	1.5	2.0, 7.1
F-1-11B	계보는 소재가 바뀌는 지도이기도 하다	1.5	2.0, 7.1
F-1-14A	AP 시장 규모: Yole 2026년 7월판	1.6	1.9, 7.5
F-1-14B	응용처의 규모와 성장: Yole 2025년 9월판	1.6	1.9, 7.5
F-1-14C	두 시장은 분모가 다르다	1.6	1.9, 7.5

Day 2 (32장)

ID	제목	대표 절	관련 절
F-2-01A	FC-BGA: 유기 기판이 배선을 맡는다	2.1	2.0, 1.5, 3.1, 4.1, 5.1
F-2-01B	CoWoS-S: 두 접합부와 두 언더필	2.1	2.0, 1.5, 3.1, 4.1, 5.1
F-2-01C	HBM 12H: 스택을 층 단위로 해부한다	2.1	2.0, 1.5, 3.1, 4.1, 5.1
F-2-01D	FO-WLP: 몰드와 RDL이 기능을 나눈다	2.1	2.0, 1.5, 3.1, 4.1, 5.1
F-2-01	네 단면을 같은 순서로 읽는다	2.1	2.0, 1.5, 3.1, 4.1, 5.1
F-2-02A	같은 EMC라도 들어가는 자리가 다르다	2.1	2.9, 5.1, 3.6, 7.1
F-2-02B	PID는 남는 층, CMP는 그 층을 만드는 공정이다	2.1	2.9, 5.1, 3.6, 7.1
F-2-03A	범프 3계급: 구조와 치수는 겹치는 분류다	2.2	1.5, 5.4
F-2-03B	범프 하나를 세우는 여섯 단계	2.2	1.5, 5.4
F-2-04A	RDL: 선택 도금과 매립 후 평탄화의 차이	2.2	2.3, 6.1, 6.4
F-2-05	TSV 충전: 입구를 막지 않고 바닥부터 채운다	2.2	
F-2-06A	TSV 리빌 ①: 캐리어 위에서 Cu 끝을 드러낸다	2.2	6.5, 6.4, 4.3
F-2-06B	TSV 리빌 ②: 절연하고 평탄화한 뒤 범프를 만든다	2.2	6.5, 6.4, 4.3
F-2-06C	리빌 디싱과 본딩면 리세스는 같은 목표가 아니다	2.2	6.5, 6.4, 4.3
F-2-04B	패널 다마신 CMP는 두 슬러리의 정합 문제다	2.3	6.1, 6.4
F-2-07	중간층 4종: 실리콘에 어디까지 맡길 것인가	2.3	1.5, 3.1, 3.3, 6.3
F-2-08A	접합 3방식: 무엇을 녹이고 무엇을 맞대는가	2.4	4.3, 5.4, 8.5
F-2-08B	피치 축소는 소재의 교체가 아니라 중첩을 만든다	2.4	4.3, 5.4, 8.5
F-2-09A	하이브리드 본딩: 표면 준비에서 영구 접합까지	2.4	6.4, 4.3, 8.3
F-2-09B	본딩면의 합격 조건은 nm와 오염의 조합이다	2.4	6.4, 4.3, 8.3
F-2-10	본딩 피치: 양산·제공 기술·실증을 같은 점으로 찍지 않는다	2.4	2.9, 1.5, 6.4
F-2-11A	언더필 4방식: 도포 시점이 구조와 공정을 가른다	2.5	2.9, 5.3, 4.3
F-2-11B	CUF와 MUF: 접합 뒤 채우는 두 경로	2.5	2.9, 5.3, 4.3
F-2-11C	NCP와 NCF: 먼저 깔고 열압착한다	2.5	2.9, 5.3, 4.3
F-2-13A	CTE 사다리: 필러로 수지를 Si 쪽으로 이동시킨다	2.6	2.5, 2.2, 5.2
F-2-13B	Tg를 넘으면 더 팽창하면서 동시에 물러진다	2.6	2.5, 2.2, 5.2
F-2-12A	휨은 냉각 중의 수축 차이가 고정된 결과다	2.6	1.2, 5.2, 5.6
F-2-12B	조립 창은 온도 대 휨 곡선으로 읽는다	2.6	1.2, 5.2, 5.6

ID	제목	대표 절	관련 절
F-2-12C	실측 휨과 가상 최적화 결과를 구분한다	2.6	1.2, 5.2, 5.6
F-2-14A	신뢰성 시험은 단면의 서로 다른 자리를 겨냥한다	2.6	5.6, 8.2, 8.4
F-2-14B	시험 → 가속하는 물리 → 관련 소재 물성	2.6	5.6, 8.2, 8.4
F-2-14C	보드 레벨 신뢰성과 비파괴 검사를 함께 본다	2.6	5.6, 8.2, 8.4

Day 3 (28장)

ID	제목	대표 절	관련 절
F-3-01	레티클 배수는 칩 개수가 아니라 면적이다	3.0	3.1, 3.2, 1.2
F-3-02	CoWoS-S · R · L: 바뀌는 것은 인터포저다	3.1	1.5, 3.6
F-3-04A	SoIC: 범프 대신 유전막과 Cu를 직접 붙인다	3.1	3.6, 4.3, 6.4
F-3-04B	SoIC 로드맵: 피치와 적층 노드를 함께 본다	3.1	3.6, 4.3, 6.4
F-3-05	InFO-PoP와 InFO-oS: 팬아웃이어도 기판은 다르다	3.1	3.4, 3.6
F-3-06	팬아웃 die shift: 배선 위치와 칩 위치가 어긋난다	3.1	3.6, 2.6, 5.2
F-3-03A	CoWoS-L 한 장을 아홉 개 층으로 나눈다	3.1	3.5, 3.6, 2.1, 5.1
F-3-03B	CoWoS-L 상부: 열 경로 · 몰드 · 접합면	3.1	3.5, 3.6, 2.1, 5.1
F-3-03C	CoWoS-L 하부: RDL · LSI · FC-BGA의 소재	3.1	3.5, 3.6, 2.1, 5.1
F-3-07A	CoWoS 대형화 로드맵: 발표 연도와 목표 연도	3.2	3.8, 6.3
F-3-07B	캐리어는 원형 웨이퍼 · 사각 패널 · 웨이퍼 규모로 갈린다	3.2	3.8, 6.3
F-3-07C	캐리어 웨이퍼 장수 ≠ 완성 패키지 개수	3.2	3.8, 6.3
F-3-08A	EMIB와 EMIB-T: 실리콘 브리지는 기판 안에 있다	3.3	3.6
F-3-08B	EMIB의 소재 과제는 브리지 주변으로 모인다	3.3	3.6
F-3-09A	Foveros S · R와 Direct는 같은 층 구조가 아니다	3.3	3.6, 4.3
F-3-09B	수직 Foveros Direct와 수평 EMIB를 조합한다	3.3	3.6, 4.3
F-3-09C	Foveros Direct 피치는 출처별로 따로 읽는다	3.3	3.6, 4.3
F-3-10A	삼성 Cube 5종: 수평 캐리어와 수직 접합을 나눈다	3.4	3.6, 3.7
F-3-10B	Cube-S · E · R: 전면 Si, 브리지, 유기 RDL	3.4	3.6, 3.7
F-3-10C	Cube-T와 Cube-H: 접합 방식이 소재를 바꾼다	3.4	3.6, 3.7
F-3-11	Cube-S의 qualified 구성과 ISC 확장형을 분리한다	3.4	3.8, 3.9
F-3-12	SAINT와 H-Cube는 Cube 5종과 별도 트랙이다	3.4	3.7, 4.7
F-3-13A	소재 위치 ①: 실리콘 인터포저와 유기 RDL	3.6	3.0, 3.1, 3.9
F-3-13B	소재 위치 ②: 기판 매립 브리지와 몰드 재구성	3.6	3.0, 3.1, 3.9
F-3-13C	소재 위치 ③: 마이크로범프 적층과 직접 접합	3.6	3.0, 3.1, 3.9

ID	제목	대표 절	관련 절
F-3-13D	몰드 · PID · CMP: 세 품목의 수요 이동은 다르다	3.6	3.0, 3.1, 3.9
F-3-14A	CoWoS 파괴 해석: 계면 박리가 먼저, 몰드 균열이 뒤따른다	3.6	3.2, 3.9, 5.2, 5.6, 2.6
F-3-14B	EMC는 인터포저 · 기판 · 스티프너와 함께 설계한다	3.6	3.2, 3.9, 5.2, 5.6, 2.6

Day 4 (28장)

ID	제목	대표 절	관련 절
F-4-02	HBM은 폭을 넓히고 전송 거리를 줄인다	4.1	1.4, 4.2
F-4-03A	TSV는 구멍을 만들고 채운 뒤 평탄화한다	4.1	2.2, 6.4
F-4-03B	TSV 끝의 범프 사이가 갭필의 자리다	4.1	2.2, 6.4
F-4-01A	HBM 스택을 일곱 층으로 읽는다	4.1	4.0, 1.4, 3.1
F-4-01B	소재의 자리는 스택 안에 세 곳이다	4.1	4.0, 1.4, 3.1
F-4-04A	본딩 세 방식은 다이 사이 재료가 다르다	4.3	4.0, 4.1, 3.6, 5.3, 6.4
F-4-04B	다이 간 갭필의 기능이 접합면으로 이동한다	4.3	4.0, 4.1, 3.6, 5.3, 6.4
F-4-05A	열 해석에서는 상부 몰드가 병목이었다	4.3	5.2, 5.5
F-4-05B	같은 모델에서 몰드를 바꾸면 온도가 달라진다	4.3	5.2, 5.5
F-4-06A	Advanced TC-NCF는 한 장씩 열압착한다	4.3	4.4, 4.5, 4.9, 5.3
F-4-06B	Advanced MR-MUF는 일괄 접합 뒤 채운다	4.3	4.4, 4.5, 4.9, 5.3
F-4-06C	개량 수치는 비교 대상을 붙여 읽는다	4.3	4.4, 4.5, 4.9, 5.3
F-4-07A	W2W는 통째로, D2W는 선별해서 붙인다	4.3	6.4
F-4-07B	D2W는 소재와 계측까지 묶인 공정 사슬이다	4.3	6.4
F-4-08A	Cu가 조밀한 곳의 SiCN erosion이 보이드로 이어진다	4.3	6.4
F-4-08B	디싱 목표는 슬러리 한 가지로 정해지지 않는다	4.3	6.4
F-4-09A	하이브리드 본딩은 표면 준비부터 검사까지다	4.3	4.0, 3.1, 3.6, 6.4
F-4-09B	활성화 가스가 정렬 오차에도 영향을 준다	4.3	4.0, 3.1, 3.6, 6.4
F-4-09C	어닐 온도와 Cu recess 목표는 한 쌍이다	4.3	4.0, 3.1, 3.6, 6.4
F-4-09D	접합 후 검사에는 보이지 않는 영역이 남는다	4.3	4.0, 3.1, 3.6, 6.4
F-4-10A	접합 피치는 제품·목표·실증을 나누어 놓는다	4.3	3.1, 3.3, 3.4, 2.4
F-4-10B	부등호 목표와 연구 실증은 별도로 읽는다	4.3	3.1, 3.3, 3.4, 2.4
F-4-11A	높이 한도는 확정값과 논의값을 구분한다	4.3	4.0, 4.1, 4.2, 4.7, 3.6, 3.7

ID	제목	대표 절	관련 절
F-4-11B	16단 × 50μm는 다이만으로 800μm다	4.3	4.0, 4.1, 4.2, 4.7, 3.6, 3.7
F-4-11C	한도를 올려도 단수가 늘면 층당 예산은 줄어든다	4.3	4.0, 4.1, 4.2, 4.7, 3.6, 3.7
F-4-12A	HBM은 서로 다른 웨이퍼 경로가 만나는 제품이다	4.6	4.1, 3.5, 7.3
F-4-12B	소재 승인 경로는 세 구성으로 나뉜다	4.6	4.1, 3.5, 7.3
F-4-12C	base die 제조 경로가 회사별로 다르다	4.6	4.1, 3.5, 7.3

Day 5 (36장)

ID	제목	대표 절	관련 절
F-5-01A	소재는 이름보다 들어가는 자리로 읽는다	5.1	2.1, 2.5, 3.6, 7.1
F-5-01B	HBM·팬아웃에서는 수지의 역할이 달라진다	5.1	2.1, 2.5, 3.6, 7.1
F-5-01C	소재의 소멸은 패키지가 아니라 전환된 층 기준이다	5.1	2.1, 2.5, 3.6, 7.1
F-5-02A	EMC는 고충전 필러와 가교 수지의 조합이다	5.2	2.5, 7.1, 5.3
F-5-02B	필러 함량은 봉지재마다 다르다	5.2	2.5, 7.1, 5.3
F-5-04A	과립 EMC는 압축 성형으로 대면적을 덮는다	5.2	2.5, 4.3, 6.6
F-5-04B	액상 주입과 성형 시험은 구분해서 읽는다	5.2	2.5, 4.3, 6.6
F-5-03A	구형의 충전과 판상의 연결을 결합한다	5.2	5.5, 5.3, 7.5
F-5-03B	입도 분포와 표면 처리는 서로 다른 설계 손잡이다	5.2	5.5, 5.3, 7.5
F-5-03C	필러 충전율을 높이면 점도 부담도 커진다	5.2	5.5, 5.3, 7.5
F-5-05A	갭 충전재는 도포 시점부터 다르다	5.3	2.5, 4.3
F-5-05B	CUF는 옆에서 스며들고, MR-MUF는 갭과 외곽을 채운다	5.3	2.5, 4.3
F-5-05C	NCF·NCP는 전기 접촉 전에 수지를 배치한다	5.3	2.5, 4.3
F-5-08A	NCF는 다섯 기능을 한 필름에 넣은 소재다	5.3	4.3, 7.4
F-5-08B	NCF 설계 지침과 1세대 실측값을 분리한다	5.3	4.3, 7.4
F-5-06A	라미네이션에서는 필름을 붙이고 경화는 억제한다	5.3	4.3, 8.6
F-5-06B	본드헤드 설정과 실제 다이 온도는 다르다	5.3	4.3, 8.6
F-5-06C	최소 점도 창과 경화 창을 함께 맞춘다	5.3	4.3, 8.6
F-5-07A	갭을 정하면 허용 필러 입경도 정해진다	5.3	4.1, 5.4, 2.5
F-5-07B	입경·갭·피치·검출 크기는 다른 기준량이다	5.3	4.1, 5.4, 2.5
F-5-09A	솔더는 세 층위에 남아 있다	5.4	2.4, 4.3, 6.4
F-5-09B	플럭스는 산화막을 없애지만 잔사가 남을 수 있다	5.4	2.4, 4.3, 6.4
F-5-09C	작은 솔더 접합부에서는 계면과 전류밀도가 중요해진다	5.4	2.4, 4.3, 6.4

ID	제목	대표 절	관련 절
F-5-10A	TIM1·TIM1.5·TIM2는 서로 다른 계면이다	5.5	2.6, 5.6, 6.6
F-5-10B	패키지 휨은 TIM 두께와 같은 자릿수다	5.5	2.6, 5.6, 6.6
F-5-11A	폴리머 TIM은 순응성과 충전율을 함께 설계한다	5.5	6.6, 7.5
F-5-11B	같은 인듐이라도 솔더와 압축 시트는 다르다	5.5	6.6, 7.5
F-5-11C	그래파이트의 방향과 냉각액 조합을 확인한다	5.5	6.6, 7.5
F-5-12A	벌크 열전도율과 계면 열저항은 다른 시험으로 본다	5.6	5.5, 8.2
F-5-12B	D5470의 기울기는 k가 아니라 1/k다	5.6	5.5, 8.2
F-5-13A	나선 유동은 유동성과 경화 속도를 함께 본다	5.6	5.2, 2.6, 8.2
F-5-13B	점도와 DSC는 같은 승온 조건과 함께 제출한다	5.6	5.2, 2.6, 8.2
F-5-13C	Tg 전후의 CTE와 모듈러스를 따로 기록한다	5.6	5.2, 2.6, 8.2
F-5-13D	Warpage는 온도 프로파일 위에서 측정한다	5.6	5.2, 2.6, 8.2
F-5-14A	같은 패키지 안에서도 결함의 자리는 다르다	5.6	2.6, 8.4
F-5-14B	관측한 결함과 가속할 물리를 연결한다	5.6	2.6, 8.4

Day 6 (37장)

ID	제목	대표 절	관련 절
F-6-01A	PID는 Cu 배선 사이에 남는 감광성 절연막이다	6.1	2.2, 3.1, 6.2, 7.1
F-6-01B	도포·노광·현상 뒤에는 비아 바닥을 확인한다	6.1	2.2, 3.1, 6.2, 7.1
F-6-01C	경화와 Cu 형성을 반복하면 다층 RDL이 된다	6.1	2.2, 3.1, 6.2, 7.1
F-6-01D	같은 PID라도 하지와 면적이 달라지면 요구가 바뀐다	6.1	2.2, 3.1, 6.2, 7.1
F-6-02A	PSPI와 PBO는 같은 자리에서 다른 고리 구조를 쓴다	6.1	6.6, 7.5
F-6-02B	분자 설계는 저온 경화·접착·저유전을 함께 조정한다	6.1	6.6, 7.5
F-6-02C	제품 조건과 유전 물성의 측정 주파수를 같이 읽는다	6.1	6.6, 7.5
F-6-03A	PID 평가는 패턴·계면·신뢰성의 세 단계를 잇는다	6.1	8.2, 7.2, 5.6
F-6-03B	신뢰성 값에는 시험 조건과 재측정 항목을 붙인다	6.1	8.2, 7.2, 5.6
F-6-04A	ABF는 코어가 아니라 빌드업층의 절연 필름이다	6.2	2.5, 3.5, 6.3
F-6-04B	ABF 한 층은 라미네이션부터 도금까지 반복된다	6.2	2.5, 3.5, 6.3
F-6-05A	비아를 만드는 방식이 달라지면 빌드업 소재가 바뀐다	6.2	6.1, 6.3, 7.5
F-6-06A	유리 코어·유리 인터포저·캐리어는 다른 부품이다	6.3	3.3, 6.5, 5.1
F-6-07A	TGV와 빌드업을 차례로 만들어 유리 코어 기판을 완성한다	6.3	3.3, 3.5, 6.6
F-6-07B	TGV 측벽과 균열은 유리·Cu·열사이클의 조합으로 읽는다	6.3	3.3, 3.5, 6.6
F-6-07C	유리 원판부터 빌드업까지 공급 역할이 나뉜다	6.3	3.3, 3.5, 6.6

ID	제목	대표 절	관련 절
F-6-09A	리세스와 디싱은 주변 유전막을 기준으로 읽는다	6.4	8.3, 8.2, 4.3
F-6-09B	에로전은 패드가 아니라 패턴 영역 전체의 내려앉음이다	6.4	8.3, 8.2, 4.3
F-6-09C	척도가 달라지면 AFM·프로파일러·간섭계를 나누어 쓴다	6.4	8.3, 8.2, 4.3
F-6-09D	같은 CMP에서도 Cu 간격에 따라 돌출이 디싱으로 바뀐다	6.4	8.3, 8.2, 4.3
F-6-08A	CMP는 압반·패드·슬러리·온도를 함께 제어한다	6.4	4.3, 8.3, 8.5
F-6-08B	벌크 Cu 제거와 nm 마감은 다른 플래튼에 맡긴다	6.4	4.3, 8.3, 8.5
F-6-08C	산화제를 낮춘 사례에서는 디싱 분포와 부호가 달라졌다	6.4	4.3, 8.3, 8.5
F-6-10A	Cu CMP 슬러리는 네 성분과 pH로 기능을 나눈다	6.4	8.3, 7.1, 5.1
F-6-10B	BTA와 H_2O_2는 함량비만 아니라 전위 창으로 맞춘다	6.4	8.3, 7.1, 5.1
F-6-10C	본딩면에서는 선택비와 디싱을 함께 조정한다	6.4	8.3, 7.1, 5.1
F-6-11A	본딩면에서는 Cu·배리어·SiCN이 동시에 드러난다	6.4	2.4, 4.3, 5.1
F-6-11B	후세정은 입자뿐 아니라 잔사·금속·손상 상태를 다룬다	6.4	2.4, 4.3, 5.1
F-6-11C	세정이 끝난 뒤부터 접합까지의 시간도 공정 변수다	6.4	2.4, 4.3, 5.1
F-6-11D	리세스 목표는 어닐 온도와 한 쌍으로 정한다	6.4	2.4, 4.3, 5.1
F-6-12A	임시접착제는 뒷면 공정을 견딘 뒤 깨끗이 떨어져야 한다	6.5	2.5, 4.3, 6.3
F-6-12B	분리 방식에 따라 접착제와 캐리어를 함께 고른다	6.5	2.5, 4.3, 6.3
F-6-12C	레이저 디본딩에 필요한 것은 사용 파장에서의 투과성이다	6.5	2.5, 4.3, 6.3
F-6-13A	CPO는 광 변환을 ASIC 가까이 끌어들인다	6.6	3.2, 5.5, 7.5
F-6-13B	광엔진의 도파로·접착제·FAU는 서로 다른 자리에 있다	6.6	3.2, 5.5, 7.5
F-6-13C	CPO 소재는 다섯 카테고리의 검증 항목으로 나뉜다	6.6	3.2, 5.5, 7.5
F-6-13D	광통합에서는 열 안정화가 광학 특성의 일부가 된다	6.6	3.2, 5.5, 7.5

Day 7 (25장)

ID	제목	대표 절	관련 절
F-7-01A	보유 소재는 패키지의 네 공정 지점에 닿는다	7.1	7.8, 8.7, 6.4, 5.1
F-7-01B	EMC와 PID는 완성 패키지의 서로 다른 층에 남는다	7.1	7.8, 8.7, 6.4, 5.1
F-7-01C	접합면과 박형화는 완성 단면 밖의 공정으로 확대한다	7.1	7.8, 8.7, 6.4, 5.1
F-7-03A	소재를 바꾸면 공정 평가와 재인증이 이어진다	7.2	8.2, 8.7, 5.6
F-7-03B	퀄 기간을 정하는 것은 시험 묶음과 재시도다	7.2	8.2, 8.7, 5.6
F-7-03C	POR은 소재 이름이 아니라 소재와 공정 조건의 조합이다	7.2	8.2, 8.7, 5.6
F-7-02A	EMC 공급 사슬의 앞단에는 필러와 반제품이 있다	7.2	7.6, 8.7, 5.2
F-7-02B	과점 지점마다 패키지에서 맡는 위치가 다르다	7.2	7.6, 8.7, 5.2

ID	제목	대표 절	관련 절
F-7-04A	진입 3루트는 열리는 조건과 통제 가능성이 다르다	7.3	7.6, 8.7
F-7-04B	루트 ②에서는 새 표면 목표에 맞춘 데이터가 먼저다	7.3	7.6, 8.7
F-7-04C	우회 경로는 국내 레퍼런스를 다음 고객으로 잇는 준비 단계다	7.3	7.6, 8.7
F-7-05A	배선 CMP와 본딩면 CMP는 남겨야 할 표면이 다르다	7.3	7.6, 7.9, 8.7, 8.8, 6.4
F-7-05B	유전막이 먼저 닿고, 어닐에서 Cu 접촉이 완성된다	7.3	7.6, 7.9, 8.7, 8.8, 6.4
F-7-06A	국내 지형은 직접 경쟁·수요처·장비 파트너로 나눈다	7.4	7.7, 8.7
F-7-06B	직접 경쟁사의 "무엇을 공개했는가"를 소재별로 분리한다	7.4	7.7, 8.7
F-7-06C	기판사는 소재 수요처이고, 장비사는 일정의 선행 지표다	7.4	7.7, 8.7
F-7-07	유리 인터포저와 유리 코어는 교체하는 층이 다르다	7.4	7.6, 7.5, 8.7, 6.3
F-7-08A	다섯 기회 축은 패키지의 서로 다른 자리를 겨냥한다	7.5	7.6, 8.7, 6.6
F-7-08B	자료의 우선순위는 진입 확률과 성장 방향을 함께 본다	7.5	7.6, 8.7, 6.6
F-7-08C	세 확장 사다리는 출발 화학과 도착 계면이 다르다	7.5	7.6, 8.7, 6.6
F-7-09A	NCF와 MR-MUF는 수지의 공급 형태와 접합 순서가 다르다	7.5	7.6, 7.10, 4.3, 5.3
F-7-09B	NCF는 별도 평가하고, MR-MUF는 접근 가능한 수요처를 확인한다	7.5	7.6, 7.10, 4.3, 5.3
F-7-10A	2026~2030: 기술 변화와 자료의 행동 제안을 같은 축에 놓는다	7.6	7.8, 8.7, 4.2, 6.6
F-7-10B	본딩 전환의 "세대"와 "연도"는 다른 정보다	7.6	7.8, 8.7, 4.2, 6.6
F-7-10C	자료가 권고하는 준비 순서는 기존 실적과 신규 데이터를 나눈다	7.6	7.8, 8.7, 4.2, 6.6

Day 8 (25장)

ID	제목	대표 절	관련 절
F-8-01A	같은 배치에서 갈라 낸 시편이 원인 추적의 출발점이다	8.2	8.5, 8.7, 8.9, 5.6
F-8-01B	세 시편은 같은 소재를 서로 다른 상태에서 본다	8.2	8.5, 8.7, 8.9, 5.6
F-8-03	표본 조합에서 옮겨 갈 것은 숫자가 아니라 형식이다	8.2	7.2, 8.7
F-8-02A	평가 자료는 다섯 시점에 걸쳐 완성된다	8.2	7.2, 8.7, 5.6
F-8-02B	여섯 제출 항목에서 규격과 관행을 구분한다	8.2	7.2, 8.7, 5.6
F-8-02C	결과를 얻기 전에 비교의 기준부터 합의한다	8.2	7.2, 8.7, 5.6
F-8-04A	먼저 기준면을 정해야 마이너스 값의 뜻이 보인다	8.3	7.5, 6.4, 8.10
F-8-04B	에로전은 영역의 높이, 라운딩은 모서리의 형상이다	8.3	7.5, 6.4, 8.10
F-8-05A	이 실측은 웨이퍼 중앙의 평가용 패드에서 나왔다	8.3	7.5, 8.2, 8.9, 6.4
F-8-05B	평균과 함께 분포 폭을 읽어야 개선의 범위가 보인다	8.3	7.5, 8.2, 8.9, 6.4
F-8-05C	터치업은 돌출을 없애지만 과연마를 만들 수 있다	8.3	7.5, 8.2, 8.9, 6.4

ID	제목	대표 절	관련 절
F-8-06	같은 CMP 조건에서도 Cu 간격이 형상을 바꾼다	8.3	7.5, 6.4, 4.3
F-8-09A	원인 추적은 관측에서 대조 실험까지 네 단계를 거친다	8.4	8.5, 8.9, 2.6
F-8-09B	불량 보고는 위치 · 시점 · 계보의 세 좌표로 시작한다	8.4	8.5, 8.9, 2.6
F-8-09C	원인 후보는 떠오르는 추측이 아니라 목록으로 다룬다	8.4	8.5, 8.9, 2.6
F-8-09D	한 인자 확인과 설계 실험은 쓰는 시점이 다르다	8.4	8.5, 8.9, 2.6
F-8-09E	같이 변한 시점만으로는 원인이라고 말할 수 없다	8.4	8.5, 8.9, 2.6
F-8-07A	불량 여섯 가지를 패키지의 서로 다른 자리에 표시한다	8.4	2.6, 5.5, 8.7
F-8-07B	보이드·박리·균열은 이름보다 위치를 먼저 묻는다	8.4	2.6, 5.5, 8.7
F-8-07C	휨·접촉 불량·열저항 상승은 조건과 시점을 먼저 묻는다	8.4	2.6, 5.5, 8.7
F-8-10A	초음파와 X선으로 위치를 찾고 그 자리를 잘라 본다	8.4	5.6, 2.6
F-8-10B	초음파는 계면의 반사와 심도별 위치 정보를 읽는다	8.4	5.6, 2.6
F-8-10C	먼저 찾고, 같은 자리를 자르고, 경로를 확인한다	8.4	5.6, 2.6
F-8-08A	경계선을 따라가면 박리, 금속 조직을 가로지르면 균열이다	8.4	2.6, 5.2, 5.3
F-8-08B	관측한 파괴 경로에 맞추어 대조 인자를 고른다	8.4	2.6, 5.2, 5.3

용어 사전 (Day 1~8 통합)

Day 1~8 문서의 `N.10 용어 사전` 표를 Day 순서로 합친 것이다.

Day	용어	한 문장 정의	처음 나온 절
D1	**Advanced Packaging**	복수의 die를 고밀도 인터커넥트로 결합하여 패키지 수준에서 시스템 성능을 스케일링하는 기술의 총칭	1.5
D1	**이종집적(Heterogeneous Integration)**	서로 다른 공정노드·기능·파운드리에서 만든 die를 한 패키지에 결합하는 방식	1.5
D1	**레티클(Reticle)**	노광 장비가 웨이퍼에 패턴을 투영할 때 쓰는 마스크이며, 현행 표준은 6인치 사각이다	1.2
D1	**노광 필드(Exposure field)**	스캐너가 1샷으로 웨이퍼에 찍는 최대 면적이며 현행 26×33mm = 858mm²다	1.2
D1	**High-NA EUV**	개구수 0.55의 차세대 EUV로, anamorphic 광학 때문에 필드가 429mm²의 half-field로 줄어든다	1.2
D1	**스티칭(Stitching)**	half-field를 넘는 die를 만들기 위해 두 번 노광한 뒤 경계를 이어 붙이는 기법	1.2
D1	**chiplet**	큰 die를 기능 단위로 분할한 작은 die로, 패키지에서 재결합하여 하나의 시스템을 이룬다	1.3
D1	**음이항 수율 모델**	결함의 군집성을 반영한 수율식 Y = (1 + A·D0/α)^(-α)로, 면적 대비 수율 하락을 기술한다	1.3
D1	**known-good-die(KGD)**	패키지 조립 전에 양품임을 테스트로 보증한 die이며, chiplet 경제학의 전제 조건이다	1.3
D1	**UCIe**	이종 벤더 chiplet을 한 패키지에서 연결하는 사실상의 표준 인터페이스이며 3.0이 최신 판본이다	1.3
D1	**memory wall**	연산 성능 성장률이 메모리 대역폭 성장률을 지속적으로 앞질러 생기는 구조적 병목	1.4
D1	**autoregressive decode**	LLM이 토큰을 하나씩 생성하는 단계로, 읽어 온 데이터당 연산량이 적어 대역폭 병목이 된다	1.4
D1	**HBM(High Bandwidth Memory)**	DRAM die를 TSV로 수직 적층하고 초광폭 인터페이스로 연결하여 대역폭을 확보한 메모리	1.4
D1	**TSV(Through-Silicon Via)**	실리콘을 수직으로 관통하는 배선으로, 적층 die 사이의 전기적 연결 통로다	1.4
D1	**인터포저(Interposer)**	die와 기판 사이에 놓여 미세 배선을 제공하는 중간 기판이며 실리콘형과 RDL형이 있다	1.5
D1	**RDL(Redistribution Layer)**	폴리머 유전체와 구리 배선으로 I/O 위치를 재배치하는 재배선층	1.5
D1	**fan-out**	RDL로 die 면적 바깥까지 I/O를 확장하여 기판이나 인터포저를 생략할 수 있게 하는 패키징	1.5

Day	용어	한 문장 정의	처음 나온 절
D1	**CoWoS**	TSMC의 2.5D 플랫폼으로 실리콘 인터포저형 S, RDL형 R, 브리지 매립형 L로 나뉜다	1.5
D1	**EMIB**	유기기판에 소형 실리콘 브리지를 매립하여 국소 고밀도 배선을 구현하는 Intel의 방식	1.5
D1	**hybrid bonding**	구리 패드와 유전막을 동시에 직접 접합하는 무범프 접합. 약 10μm 이하 피치 영역의 해법으로, 로직 SoIC는 6μm를 양산하고 Foveros Direct는 1세대 약 10μm에서 2세대 5μm 미만으로 간다	1.5
D1	**CPO(Co-Packaged Optics)**	광엔진을 스위치나 GPU 패키지에 동봉하여 전기 배선의 거리 한계를 넘는 접근	1.5
D1	**warpage**	서로 다른 열팽창계수의 재료가 결합된 패키지가 온도 변화에서 휘는 현상	1.2
D1	**ASP 프리미엄**	전통 패키징 대비 Advanced Packaging 제품의 평균 판매가 배수	1.6
D2	**C4 범프(controlled-collapse chip connection)**	직경 75~200μm의 솔더 범프로 플립칩과 기판을 잇는 1세대 접합 구조	2.1
D2	**Cu pillar**	구리 기둥 위에 Ni 배리어와 SnAg 솔더캡을 올린 미세피치 범프 구조	2.1
D2	**마이크로범프(microbump)**	HBM 층간과 다이-인터포저 접합에 쓰이는 수십 μm 이하 피치의 Cu 범프	2.1
D2	**UBM(under-bump metallurgy)**	패드와 솔더 사이에서 접착과 확산 차단을 담당하는 금속 적층	2.2
D2	**RDL(redistribution layer)**	감광성 유전체와 Cu 배선으로 I/O 좌표를 재배치하는 층	2.1
D2	**PID·PSPI·PBO**	RDL 층간 절연과 패시베이션에 쓰이는 감광성 유전체 계열 재료	2.1
D2	**TSV(through-silicon via)**	실리콘을 수직 관통해 상하를 잇는 Cu 배선	2.1
D2	**via-middle**	트랜지스터 공정 뒤 배선 공정 전에 TSV를 형성하는 통합 방식	2.2
D2	**keep-out zone**	TSV 주변 응력장 때문에 트랜지스터를 배치하지 않는 금지 영역	2.2
D2	**인터포저(interposer)**	다이와 기판 사이에서 고밀도 배선을 담당하는 중간 기판	2.3
D2	**국소 실리콘 브리지(EMIB, LSI)**	고밀도 배선이 필요한 구간에만 묻는 작은 실리콘 배선 조각	2.3
D2	**mass reflow**	오븐에서 일괄 가열해 솔더를 녹여 붙이는 접합 방식	2.4
D2	**TCB(thermocompression bonding)**	다이를 정렬한 뒤 열과 압력을 동시에 가해 붙이는 접합 방식	2.4
D2	**hybrid bonding**	솔더 없이 Cu와 Cu를 직접 잇고 유전막끼리 융착시키는 접합 방식	2.4
D2	**W2W·D2W**	웨이퍼끼리 붙이는 방식과 양품 다이를 웨이퍼에 붙이는 방식의 구분	2.4
D2	**Cu 리세스(dishing)**	본딩면에서 Cu 패드가 유전막보다 낮게 파인 깊이	2.4
D2	**CUF·MUF·NCP·NCF**	도포 시점과 형태로 나눈 네 가지 언더필 방식	2.5
D2	**GMC·LMC**	과립형 몰딩 컴파운드와 액상 몰딩 컴파운드	2.5

Day	용어	한 문장 정의	처음 나온 절
D2	**ABF(Ajinomoto build-up film)**	FC-BGA 기판의 빌드업 절연층에 쓰이는 필름형 에폭시 소재	2.1
D2	**TBDB(temporary bonding and debonding)**	박형화 공정 동안 웨이퍼를 캐리어에 임시로 붙였다 떼는 기술	2.5
D2	**CTE(coefficient of thermal expansion)**	온도 1도 변화당 길이가 변하는 비율이며 warpage의 구동력	2.6
D2	**Tg(glass transition temperature)**	고분자가 유리 상태에서 고무 상태로 바뀌며 물성이 급변하는 온도	2.6
D2	**warpage**	재료별 수축량 차이로 패키지가 휘는 현상	2.6
D2	**shadow moiré**	격자 간섭으로 표면 높낮이를 전영역 측정하는 비접촉 휨 계측법	2.6
D2	**전기이동 (electromigration)**	높은 전류 밀도에서 전자가 금속 원자를 이동시켜 보이드를 만드는 고장 기구	2.6
D3	**3DFabric**	TSMC가 SoIC, CoWoS, InFO를 하나로 묶어 부르는 후공정 플랫폼 통칭이다	3.1
D3	**CoWoS (Chip-on-Wafer-on-Substrate)**	die를 캐리어 웨이퍼 위에 먼저 붙이고 그 조립체를 기판에 올리는 TSMC의 2.5D 플랫폼이다	3.1
D3	**LSI (Local Silicon Interconnect)**	유기 RDL 인터포저 안에 국부적으로 매립하여 고밀도 배선만 담당하게 하는 작은 실리콘 브리지다	3.1
D3	**SoIC (System on Integrated Chips)**	범프 없이 유전체와 구리 패드를 직접 접합해 die를 수직으로 쌓는 TSMC의 3D 플랫폼이다	3.1
D3	**InFO (Integrated Fan-Out)**	몰드로 재구성한 인조 웨이퍼 위에 RDL을 직접 그려 기판과 인터포저를 생략하는 팬아웃 패키징이다	3.1
D3	**SoW (System-on-Wafer)**	웨이퍼 한 장 규모로 통합하는 TSMC의 별도 트랙으로 40-reticle 초과 규모다	3.2
D3	**CoPoS (Chip-on-Panel-on-Substrate)**	원형 웨이퍼 대신 310×310mm 사각 패널을 캐리어로 쓰는 TSMC의 패널레벨 플랫폼이다	3.2
D3	**COUPE (Compact Universal Photonic Engine)**	전자 IC와 광 IC를 적층해 패키지 안에 넣는 TSMC의 실리콘 포토닉스 광엔진 플랫폼이다	3.2
D3	**EMIB (Embedded Multi-die Interconnect Bridge)**	유기 기판 안에 실리콘 브리지를 매립해 die 사이만 고밀도로 잇는 Intel의 2.5D 인터커넥트다	3.3
D3	**EMIB-T**	브리지에 TSV를 추가해 전력 전달과 신호 무결성을 개선한 EMIB의 후속 세대다	3.3
D3	**Foveros Direct**	솔더 범프를 제거하고 구리 대 구리 직접 접합으로 die를 수직 적층하는 Intel의 3D 기술이다	3.3
D3	**Cube-S / Cube-E / Cube-R**	삼성 파운드리의 수평 통합 플랫폼으로 각각 실리콘 인터포저, 브리지 매립형, 유기 RDL 인터포저를 쓴다	3.4
D3	**Cube-T / Cube-H**	삼성 파운드리의 수직 통합 플랫폼으로 각각 열압착본딩 마이크로범프와 hybrid Cu bonding을 쓴다	3.4

Day	용어	한 문장 정의	처음 나온 절
D3	**SAINT (Samsung Advanced Interconnect Technology)**	로직 위에 SRAM, 로직, DRAM을 각각 수직 적층하는 삼성의 3D 적층 브랜드다	3.4
D3	**ISC (Integrated Stack Capacitor)**	인터포저 안에 내장하여 전원 무결성을 보강하는 적층형 커패시터 구조다	3.4
D3	**H-Cube**	fine-pitch 기판 아래에 HDI 기판을 덧대어 대면적을 구현하는 삼성의 2.5D 기판 확장 트랙이다	3.4
D3	**FOWLP-HPB**	팬아웃 웨이퍼레벨 패키지에 열 경로 블록을 결합해 방열을 개선한 삼성의 모바일 AP 패키지 구조다	3.4
D3	**OSAT (Outsourced Semiconductor Assembly and Test)**	조립과 테스트를 전문으로 수탁하는 후공정 업체를 가리킨다	3.5
D3	**ABF (Ajinomoto Build-up Film)**	고급 FC-BGA 기판의 빌드업 절연층에 쓰이는 필름으로 사실상 단일 공급사 구조다	3.5
D3	**PID / PSPI**	노광으로 비아를 형성할 수 있는 감광성 유전체로 유기 RDL 인터포저의 핵심 소재다	3.6
D3	**LMC (Liquid Molding Compound)**	액상으로 공급되어 대면적 팬아웃과 인터포저 오버몰드에 쓰이는 몰딩 컴파운드다	3.6
D4	**base die (logic die)**	HBM 스택 최하단에서 호스트와의 물리계층(PHY)과 제어 로직을 담당하는 다이로, HBM4부터 로직 파운드리 공정으로 제조된다	4.1
D4	**core die**	HBM 스택에서 실제 DRAM 셀 어레이를 담는 다이로, 4단에서 16단까지 쌓인다	4.1
D4	**TSV (Through Silicon Via)**	실리콘 다이를 수직으로 관통하는 전극으로, 적층된 다이 사이의 신호와 전원을 잇는다	4.1
D4	**pseudo-channel**	하나의 물리 채널을 두 개의 준독립 영역으로 나누어 뱅크 충돌을 줄이고 유효 대역폭을 높이는 구조	4.1
D4	**인터포저 (interposer)**	다이와 기판 사이에서 다이 간 고밀도 배선을 맡는 중간 기판. 실리콘형(TSV)과 유기 RDL형이 있으며 HBM 문맥에서는 주로 실리콘형	4.1
D4	**JESD270-4**	JEDEC이 2025년 4월 16일 발간한 HBM4 표준 문서 번호	4.2
D4	**DRFM (Directed Refresh Management)**	JESD270-4가 도입한 row hammer 완화 기능으로, 특정 행을 지정해 재생(refresh)을 유도한다	4.2
D4	**TC-NCF**	칩마다 비전도성 접착 필름을 끼우고 열압착으로 순차 접합하는 적층 방식	4.3
D4	**NCF (Non-Conductive Film)**	TC-NCF에서 접착과 갭필을 동시에 맡는 필름형 비전도성 접착 소재	4.3
D4	**MR-MUF**	전체 스택을 일괄 리플로우로 접합한 뒤 액상 EMC로 갭필과 몰딩을 동시에 수행하는 방식	4.3
D4	**Advanced MR-MUF**	방열 1.6배 개선 EMC와 chip control 기술을 더한 MR-MUF 개량형으로 HBM3 12단부터 적용되었다	4.3
D4	**chip control**	적층 중 각 칩에 순간적 고열을 가해 박형화된 칩의 warpage를 억제하는 기법	4.3

Day	용어	한 문장 정의	처음 나온 절
D4	**hybrid bonding**	구리 패드와 유전막을 동시에 직접 접합하는 무범프 접합. 약 10μm 이하 피치 영역의 해법(로직 SoIC 6μm 양산, Foveros Direct 1세대 약 10μm에서 2세대 5μm 미만)	4.3
D4	**HCB (hybrid copper bonding)**	삼성전자가 자사 hybrid bonding 기술에 붙인 명칭	4.3
D4	**Cu recess (디싱)**	hybrid bonding 접합면에서 구리 패드가 유전막보다 낮게 내려앉은 깊이. 약 400°C 어닐 조건의 사례값이 1~5nm이며, 목표치는 피치·패드 구조·유전막·어닐 조건별로 정한다	4.3
D4	**fluxless bonding**	플라즈마 활성화로 플럭스를 대체하는 열압착 접합으로, hybrid bonding 이전의 과도기 기술로 평가된다	4.3
D4	**iHBM**	SK하이닉스가 실리콘계 냉각요소를 D2D PHY 바로 위에 내장하여 패키지 내 열저항을 30% 이상 낮춘 구조	4.3
D4	**Heat Path Block (HPB)**	삼성전자가 스택 내부에 추가 열경로를 만들어 열 배출을 개선한 구조	4.3
D4	**custom HBM**	GPU·ASIC이 수행하던 연산·제어 일부를 HBM base die로 옮겨 고객별로 설계하는 HBM	4.6
D4	**zHBM**	삼성전자가 메모리를 프로세서 위에 직접 적층하는 구조로 제시한 차차세대 개념	4.7
D5	**EMC(Epoxy Molding Compound)**	에폭시 수지에 무기 필러를 고충전하여 칩을 봉지·고정·방열하는 열경화성 복합재	5.1
D5	**GMC(Granular Molding Compound)**	compression molding 장비에 투입하는 과립형 EMC로 대면적 몰딩과 HBM 오버몰드에 쓰인다	5.1
D5	**LMC(Liquid Molding Compound)**	미세 갭 침투와 패널 봉지에 쓰이는 액상 EMC이며 MR-MUF용 언더필이 이 계열의 특수 등급이다	5.1
D5	**CUF(Capillary UnderFill)**	칩 접합 후 옆면에 디스펜싱하여 모세관력으로 갭을 채우는 액상 언더필	5.3
D5	**MUF·MR-MUF(Molded UnderFill)**	갭필과 몰딩을 한 번의 액상 소재 주입으로 동시에 수행하는 방식	5.3
D5	**NCF(Non-Conductive Film)**	웨이퍼에 미리 라미네이션한 뒤 열압착으로 접합하는 필름형 비전도성 언더필	5.3
D5	**NCP(Non-Conductive Paste)**	NCF와 같은 기능을 페이스트로 선도포하는 소재	5.3
D5	**Film-forming resin**	NCF가 필름 형태를 유지하도록 넣는 고분자량 수지 성분	5.3
D5	**잠재성 경화제(latent curing agent)**	보관 중에는 반응하지 않다가 압착 온도에서 활성화되는 경화제	5.3
D5	**실란 커플링제(silane coupling agent)**	무기 필러와 유기 수지의 계면을 결합시켜 강도·유동·경화속도를 조절하는 첨가제	5.2
D5	**나선 유동(spiral flow)**	나선형 금형에서 흘러간 길이로 EMC의 유동성과 경화 속도를 평가하는 시험	5.2
D5	**CTE α1·α2**	TMA로 측정한 Tg 이하와 Tg 이상 구간의 열팽창계수로 warpage 해석에 둘 다 필요하다	5.6

Day	용어	한 문장 정의	처음 나온 절
D5	**Shadow moiré**	기준 격자와 그림자 격자의 간섭 무늬로 패키지 면외 변위를 측정하는 warpage 표준 측정법	5.6
D5	**Laser flash(ASTM E1461)**	광 펄스로 열확산도를 구해 밀도와 비열을 곱해 벌크 열전도율을 환산하는 방법	5.6
D5	**ASTM D5470**	정상상태 열유속으로 면적 정규화 열임피던스를 재고, 두께 회귀에서 기울기의 역수로 겉보기 열전도율을 절편으로 양면 접촉 저항을 얻는 TIM 표준 시험법	5.6
D5	**TIM1 / TIM1.5 / TIM2**	다이와 lid 사이, lidless에서 다이와 콜드플레이트 직결, lid와 히트싱크 사이의 세 열계면 층위	5.5
D5	**BLT(Bond Line Thickness)**	TIM이 실제로 형성하는 접착층 두께로 20~100μm가 목표 범위다	5.5
D5	**sTIM(solder TIM)**	인듐 등 금속 솔더로 다이와 스프레더를 야금학적으로 접합하는 고성능 TIM1	5.5
D5	**PCM(Phase Change Material)**	특정 온도에서 연화하여 계면을 메우는 상변화형 TIM	5.5
D5	**D2C(Direct-to-Chip)**	콜드플레이트를 칩 패키지에 직접 접촉시키는 액체냉각 방식	5.5
D5	**Pump-out**	반복 열사이클에서 폴리머 TIM이 계면 밖으로 밀려나 열성능이 저하되는 현상	5.5
D5	**Cu pillar**	마이크로범프에서 솔더 캡을 떠받치는 구리 기둥 구조	5.4
D5	**IMC(Intermetallic Compound)**	Sn과 Cu의 반응으로 접합 계면에 생기는 취성 금속간화합물	5.4
D5	**iHBM / HPB(Heat Path Block)**	스택 내부 발열 지점에 열전도·절연 소재나 전용 열경로를 두는 SK하이닉스와 삼성전자의 방열 구조	5.5
D5	**Fluxless bonding**	플라즈마 활성화 등으로 산화막을 제거하여 플럭스 잔사 없이 접합하는 방식	5.4
D6	**PID (Photo Imageable Dielectric)**	노광과 현상만으로 비아를 형성할 수 있는 감광성 영구 절연막의 총칭	6.0
D6	**PSPI (Photosensitive Polyimide)**	폴리이미드 화학을 쓰는 감광성 절연재로 고온 안정성과 미세 해상도가 강점인 계열	6.1
D6	**PBO (Polybenzoxazole)**	폴리이미드 대비 흡습과 응력이 낮아 보호막·버퍼층에 많이 쓰이는 감광성 절연 고분자	6.1
D6	**이미드화 (imidization)**	폴리아믹산 전구체가 열을 받아 고리 구조의 폴리이미드로 전환되는 경화 반응	6.1
D6	**네거티브형·포지티브형**	노광부가 남는 방식과 노광부가 제거되는 방식으로 나눈 감광 소재의 두 유형	6.1
D6	**RDL (Redistribution Layer)**	다이의 미세 패드 배치를 패키지 배선 피치로 재배치하는 박막 배선층	6.1
D6	**ABF (Ajinomoto Build-up Film)**	FC-BGA 기판의 절연층으로 쓰이는 빌드업 필름으로 아지노모토가 사실상 독점한다	6.2
D6	**FC-BGA**	플립칩으로 다이를 붙이고 하면에 BGA 볼을 배열하는 고성능 패키지 기판 형식	6.2
D6	**L/S (Line/Space)**	배선의 선폭과 배선 사이 간격을 함께 나타내는 미세화 지표	6.2
D6	**솔더레지스트 (PSR)**	기판 최외곽에서 솔더가 젖는 영역을 한정하고 배선을 보호하는 감광성 절연막	6.2

Day	용어	한 문장 정의	처음 나온 절
D6	**TGV (Through Glass Via)**	유리 기판을 수직으로 관통하여 상하 배선을 연결하는 구리 충전 전극	6.3
D6	**유리 코어 기판 (Glass Core Substrate)**	기판 코어를 유기 수지 대신 유리로 대체하여 평탄도와 CTE를 개선한 기판	6.3
D6	**글라스 캐리어 (Glass Carrier)**	웨이퍼 박형화와 재구성 공정에서 웨이퍼를 임시로 떠받치는 유리 지지체	6.3
D6	**CTE (Coefficient of Thermal Expansion)**	온도 변화에 따른 치수 변화율로 이종 소재 접합의 휨을 지배하는 물성	6.3
D6	**hybrid bonding**	유전막끼리 융착시키고 구리 패드끼리 직접 확산 접합시키는 무범프 접합 방식	6.4
D6	**recess (dishing)**	CMP 후 구리 패드가 주변 유전막보다 낮아진 함몰 깊이	6.4
D6	**CMP (Chemical Mechanical Planarization)**	화학 반응과 기계적 연마를 함께 써서 표면을 평탄화하는 공정	6.4
D6	**SiCN**	탄소와 질소를 포함한 실리콘 질화막 계열로 거칠기가 낮고 본드 에너지가 높은 본딩 유전막	6.4
D6	**본드 에너지 (bond energy)**	접합된 두 표면을 다시 떼어 내는 데 필요한 단위 면적당 에너지	6.4
D6	**TBDB (Temporary Bonding and Debonding)**	박형 웨이퍼를 캐리어에 임시로 붙였다가 공정 후 분리하는 소재·공정 체계	6.5
D6	**레이저 릴리즈 (laser release)**	투명 캐리어를 투과한 레이저가 분리층만 분해하도록 하여 웨이퍼를 떼어 내는 방식	6.5
D6	**CPO (Co-Packaged Optics)**	광 인터페이스를 착탈식 모듈이 아니라 스위치 ASIC과 같은 패키지 안에 통합하는 방식	6.6
D6	**COUPE**	TSMC의 실리콘 포토닉스 광엔진 플랫폼으로 전기 다이와 광 다이를 적층한다	6.6
D6	**FAU (Fiber Array Unit)**	광섬유를 정밀한 피치로 배열해 광 칩에 결합시키는 부품	6.6
D6	**POR (Process of Record)**	양산에서 공식 채택되어 변경이 어려워진 표준 공정·소재 조합	6.3
D7	**EMC (Epoxy Molding Compound)**	수분과 충격 등 외부 환경으로부터 반도체 칩을 보호하는 에폭시 계열 몰딩 소재	7.1
D7	**PID (Photo Imageable Dielectric)**	금속 배선층 사이의 절연막을 구성하는 감광성 패터닝 절연재	7.1
D7	**PSPI (Photosensitive Polyimide)**	감광성 폴리이미드로, 재배선층 절연막에 쓰이는 PID의 대표적 화학 계열	7.2
D7	**MMB (Master Batch)**	EMC를 제조할 때 쓰이는 반제품 형태의 배합 원료	7.1
D7	**LMC (Liquid Molding Compound)**	액상 형태의 봉지재로, 미세 갭 충전과 대면적 성형에 쓰인다	7.4
D7	**MR-MUF (Mass Reflow Molded Underfill)**	칩을 일괄 리플로우로 접합한 뒤 액상 EMC로 갭필과 몰딩을 동시에 수행하는 HBM 적층 방식	7.2

Day	용어	한 문장 정의	처음 나온 절
D7	**TC-NCF (Thermo-Compression Non-Conductive Film)**	비전도성 접착필름을 미리 붙인 뒤 열압착으로 접합하는 HBM 적층 방식	7.2
D7	**hybrid bonding**	구리 패드와 유전막을 동시에 직접 접합하는 무범프 접합으로, 약 10㎛ 이하 피치 영역의 해법이다(로직 SoIC 6㎛ 양산, Foveros Direct 1세대 약 10㎛에서 2세대 5㎛ 미만)	7.2
D7	**Cu recess**	hybrid bonding 접합면에서 구리를 유전막보다 의도적으로 낮게 남긴 단차	7.3
D7	**dishing**	CMP 과정에서 넓은 금속 패턴 중앙이 과도하게 깎여 오목해지는 현상	7.3
D7	**POR (Process of Record)**	고객이 양산 공정에 공식 등재한 소재와 조건의 조합	7.2
D7	**세컨드 소스 (second source)**	동일 소재에 대해 기존 공급사와 병행하여 인증한 두 번째 공급사	7.2
D7	**ABF (Ajinomoto Build-up Film)**	반도체 기판의 절연 빌드업층에 쓰이는 필름으로 Ajinomoto가 대부분을 공급한다	7.2
D7	**TBDB (Temporary Bonding and Debonding)**	얇은 웨이퍼를 캐리어에 임시로 붙였다가 떼어 내는 공정과 그 접착·박리 소재	7.2
D7	**RDL (Redistribution Layer)**	칩 패드를 재배치하여 외부와 연결하는 배선층으로, 폴리머 유전체와 구리로 구성된다	7.5
D7	**FOPLP (Fan-Out Panel Level Packaging)**	웨이퍼가 아니라 사각 패널 단위로 fan-out 패키징을 수행하는 방식	7.5
D7	**TIM (Thermal Interface Material)**	칩과 방열 부품 사이의 열저항을 낮추는 계면 소재	7.5
D7	**CPO (Co-Packaged Optics)**	광엔진을 스위치나 연산 칩과 같은 패키지에 통합하는 기술	7.5
D7	**BLT (Bond Line Thickness)**	TIM이 실제로 압착되어 형성하는 접착층 두께로, 열저항을 좌우한다	7.5
D7	**JESD47**	신규 제품이나 공정 변경을 인증할 때 통과해야 하는 JEDEC 스트레스 시험 규격	7.2
D7	**J-STD-020**	표면실장 소자의 흡습·리플로우 민감도를 분류하는 IPC·JEDEC 공동 표준	7.2
D7	**IPC-4104**	HDI와 마이크로비아용 재료를 다루며 감광성 유전체 드라이필름과 액상의 인증 요구를 규정하는 규격	7.2
D8	**리세스(recess)**	하이브리드 본딩에서 유전막이 먼저 닿도록 구리 패드를 유전막보다 의도적으로 낮게 남긴 설계된 함몰이다	8.3
D8	**디싱(dishing)**	연마 과정에서 넓은 금속 패드의 중앙이 주변보다 더 깎여 접시 모양으로 파이는 현상이며 리세스와 달리 의도된 형상이 아니다	8.3
D8	**에로전(erosion)**	패턴이 조밀한 영역 전체가 패턴 없는 영역보다 더 깎여 내려앉는 현상으로 기준면은 패턴이 없는 인접 영역이다	8.5
D8	**돌출(protrusion)**	구리 패드가 유전막보다 위로 솟은 상태이며 하이브리드 본딩에서는 허용되지 않는다	8.3

Day	용어	한 문장 정의	처음 나온 절
D8	**라운딩(rounding)**	배리어 연마 후 유전체 표면 모서리가 둥글게 말려 접합 접촉 면적을 줄이는 현상이다	8.3
D8	**터치업 CMP(touch-up CMP)**	돌출이나 잔류물을 없애기 위해 추가로 돌리는 짧은 연마이며 제거율이 높으면 과연마를 부른다	8.3
D8	**큐 타임(queue time)**	한 공정을 마친 뒤 다음 공정까지 허용되는 대기 시간이며 후세정과 접합 사이에서 표면 상태를 좌우한다	8.5
D8	**선택비(selectivity)**	서로 다른 재료의 제거율 비이며 본딩면 마감 단계에서는 거의 1에 가깝게 맞추는 것이 목표다	8.6
D8	**제곱평균제곱근 거칠기(RMS roughness)**	표면 높이 편차의 제곱평균제곱근으로 정의되는 미세 거칠기 지표이며 접합 강도와 직결된다	8.6
D8	**본드라인 두께(BLT, bond line thickness)**	조립이 끝난 뒤 두 면 사이에 실제로 남은 계면 소재의 두께이며 설계값이 아니라 조립 결과다	8.6
D8	**스터드풀(stud pull)**	시편 표면에 금속 스터드를 접착한 뒤 수직으로 잡아당겨 접착 강도를 재는 시험이다	8.7
D8	**습열 가속 시험(HAST, BHAST, uHAST)**	온도와 습도를 높여 수분 침투와 이온 이동을 가속하는 시험이며 전압을 거는 바이어스형과 걸지 않는 무바이어스형으로 나뉜다	8.2
D8	**흡습 민감도 등급(MSL, moisture sensitivity level)**	포장을 뜯은 뒤 리플로우까지 허용되는 시간을 등급화한 것이며 폴리머 소재가 바뀌면 다시 매겨야 한다	8.2
D8	**그림자 무아레(shadow moire)**	기준 격자와 시편 표면의 그림자 격자가 만드는 간섭 무늬로 면외 변위를 전면에서 재는 휨 측정법이다	8.2
D8	**열임피던스(thermal impedance)**	면적으로 정규화한 계면 열저항이며 두께에 대해 회귀하면 기울기의 역수가 겉보기 열전도율이고 절편이 양면 접촉 열저항의 합이다	8.6
D8	**나선 유동(spiral flow)**	나선형 금형에 정해진 온도와 압력으로 컴파운드를 흘려 넣고 길이를 재는 시험이며 유동성과 경화 속도의 종합 지표다	Day5 §5.2
D8	**겔 타임(gel time)**	수지가 흐르는 상태에서 겔 상태로 넘어가기까지 걸리는 시간이며 갭을 채울 수 있는 시간의 상한을 정한다	8.5
D8	**시편 계보(specimen lineage)**	소재 시편과 공정 시편과 패키지를 같은 배치에서 갈라 내어 어느 시료가 어느 시료에서 나왔는지를 기록한 이력이다	8.2
D8	**대조 조건(control condition)**	비교의 기준으로 남겨 두어 바꾸지 않는 조건이며 이것이 없으면 차이가 생겨도 원인을 지목할 수 없다	8.4
D8	**분포 꼬리(distribution tail)**	평균에서 멀리 떨어진 극단값 구간이며 접합 수율처럼 최악값이 결과를 정하는 항목에서는 평균보다 중요하다	8.2
D8	**POR(Process of Record)**	고객이 양산 공정에 공식 등재한 소재와 조건의 조합이며 등재 전에는 평가 단계다	8.7
D8	**초음파 주사 현미경(SAM, C-SAM)**	초음파의 반사로 패키지 내부의 박리와 보이드를 비파괴로 찾는 검사이며 계면의 공기층에서 강한 반사가 나온다	8.4
D8	**단면 분석(cross-section)**	시편을 잘라 연마하고 관찰하여 결함의 위치와 형상을 직접 확인하는 파괴 분석이며 원인 경로를 가르는 최종 근거가 된다	8.4

Day	용어	한 문장 정의	처음 나온 절
D8	**한 번에 한 인자(one factor at a time)**	대조 조건을 유지한 채 한 번에 하나의 변수만 바꾸어 결과 차이를 그 변수에 귀속시키는 실험 설계다	8.4

부록 D · 587건

출처 원장 (Day1~Day8 통합)

각 Day 문서의 출처를 ID 순으로 합친 원장이다. 본문 인용 ID `S-N-xx`로 이 표에서 원문을 찾는다. 접근성은 OA(공개), 구독, 무료등록(계정 등록 후 열람), 유료(구매 필요, 목록 표기만)로 구분하였고, 열람 열은 이 자료를 쓸 때 원문을 전문까지 확인했는지, 초록만 확인했는지, 서지만 등록했는지를 나타낸다. 유료 보고서는 목록에만 올렸고 그 내용을 전제로 서술하지 않았다.

집계

Day	출처 수
Day 1	69
Day 2	55
Day 3	92
Day 4	59
Day 5	67
Day 6	84
Day 7	81
Day 8	18
합계	525

같은 주제를 독립적으로 다시 조사한 교차 조사에서 가져와 본문에 직접 인용한 출처(C-N-xx)는 각 Day 표 아래에 따로 두었으며, 그 수는 62건이다.

유형	건수
뉴스	148
기업발표	107
분석기관	94
논문	78
기술블로그	43
표준·로드맵	34
학회	9
데이터셋	6
표준	4
학회 보도	2

접근성	건수
OA	406
무료등록	49
구독	42
유료	26
무료(요약)	1
미확인	1

Day 1

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-1-01	분석기관	Advanced packaging market to top $120B	Advanced Packaging News (Yole 인용)	2026-07-23	https://advancedpackaging.news/article/124770/Advanced_packaging_market_to_top_120B	Yole 2026년판 $55B(2025) → $120B 초과(2031), 2031년 AP가 전체 패키징 매출 과반. 병목으로 CoWoS·ABF·T-glass 지목
S-1-02	분석기관	Advanced packaging market to hit $120bn by 2031	Electronics Weekly	2026-07-24	https://www.electronicsweekly.com/news/business/advanced-packaging-market-to-hit-120bn-by-2031-2026-07/	같은 Yole 2026년판 수치의 영국 전재본. 도입부 단일 수치의 공개 근거
S-1-03	분석기관	Advanced packaging market growing at 9.5% to reach $79.4bn in 2030	Electronics Weekly	2025-09	https://www.electronicsweekly.com/news/business/advanced-packaging-market-growing-at-9-5-to-reach-79-4bn-in-2030-2025-09/	Yole 2025년 9월판. 2024년 $46B, CAGR 9.5%, Mobile & Consumer 약 70%(2024 매출 기준), Telecom & Infra CAGR 14.9%
S-1-04	분석기관	Advanced packaging market set to reach $79.4 billion by 2030	Yole Group	2025-09-02	https://www.yolegroup.com/press-release/advanced-packaging-market-set-to-reach-79-4-billion-by-2030/	2025년 9월판 원 보도자료. 세그먼트 구성의 1차 출처
S-1-05	분석기관	5 Expectations for the Advanced Packaging Market in 2026	TechInsights	2025-12-02	https://www.techinsights.com/outlook-summit-series-2026/advanced-packaging-market	2026년 AP 5대 전망(CPO 주류화, HBM 스케일링, 패널·유리기판, 3D 열관리, 모바일 chiplet). 정량 수치 없음
S-1-06	분석기관	Worldwide Semiconductor Advanced Packaging Forecast and Analysis, 2025–2030 (US53340426)	IDC	2026	https://my.idc.com/getdoc.jsp?containerId=US53340426	TSMC CoWoS 연간 108만 장(2026, +64.0%) → 147만 장(2027) 전망
S-1-07	뉴스	TSMC Reportedly Targets 22% 2nm, 16%+ 3nm Capacity Boost by Mid-2027; CoWoS to Double by 2028	TrendForce	2026-09-14	https://www.trendforce.com/news/2026/09/14/news-tsmc-reportedly-targets-22-2nm-16-3nm-capacity-boost-by-mid-2027-cowos-to-double-by-2028	CoWoS 월 13만 장(2026년말) → 26만 장(2028년말). 증설 축은 AP7과 애리조나. 經濟日報·工商時報 인용 보도
S-1-08	기술블로그	ASE, Amkor top OSAT rankings but China is rising	Mark Lapedus, Semiecosystem	2025	https://marklapedus.substack.com/p/ase-amkor-top-osat-rankings-but-china	AP의 ASP 프리미엄 3~10배 관측. 개인 뉴스레터 단일 출처이므로 업계 관측 수준으로만 인용
S-1-09	기업발표	Global semiconductor materials market revenue reaches record $73.2 billion in 2025	SEMI	2026	https://www.semi.org/en/semi-press-release/global-semiconductor-materials-market-revenue-reaches-record-73.2-billion-dollars-in-2025-semi-reports	2025년 반도체 소재 $73.2B, 그중 패키징 소재 $27.4B(+9.3%)
S-1-10	기술블로그	Intel Starts Shipping High-NA EUV Silicon	More Than Moore (Ian Cutress)	2026-07-16	https://morethanmoore.substack.com/p/intel-starts-shipping-high-na-euv	858mm²(26×33mm) 대 High-NA half-field 429mm²(26×16.5mm), anamorphic 광학과 스티칭 설명의 원출처
S-1-11	뉴스	Intel's High-NA EUV Enters Production, but Stitching Still Has Something to Prove	EE Times	2026-09-18	https://www.eetimes.com/intel-puts-high-na-euv-into-production-but-stitching-still-has-something-to-prove/	429mm² 필드 재확인, 스티칭 3전략(회피·블록앤라우트·지그재그), 6×12인치 마스크는 데모 5년·양산 7년 전망

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-1-12	기업발표	Intel Foundry and ASML Accelerate Industry Readiness for High-NA EUV	Intel Newsroom	2026-09-07	https://www.intel.com/content/www/us/en/newsroom/news/intel-foundry/intel-foundry-asml-accelerate-industry-readiness-for-high-na-euv.html	High-NA 누적 100만 장 초과 처리, Panther Lake 일부 층 적용, 6인치 마스크 기반 스티칭 후 6×12인치 전환 계획
S-1-13	기업발표	Intel Foundry and ASML Collaborate to Accelerate Industry Readiness for High-NA EUV	ASML	2026-09-08	https://www.asml.com/en/news/press-releases/2026/intel-foundry-and-asml-collaborate-to-accelerate-industry-readiness-for-high-na-euv	동일 발표의 ASML판. 2024년 첫 상용 EXE 설치, NXE(0.33NA) 동등 이상 성능 확인 문구 포함
S-1-14	뉴스	AMD EPYC Infinity Fabric Update and MCM Cost Savings (Hot Chips 29)	ServeTheHome	2017-08-22	https://www.servethehome.com/amd-epyc-infinity-fabric-update-mcm-cost-savings/	32코어 MCM 제조비 = 가상 monolithic die의 59%, MCM 부가 면적 오버헤드 약 10%
S-1-15	논문	Chiplet Actuary: A Quantitative Cost Model and Multi-Chiplet Architecture Exploration	Yinxiao Feng, Kaisheng Ma (DAC 2022, pp.121–126)	2022-07 (arXiv v4 2024-04)	DOI 10.1145/3489517.3530428 / arXiv:2203.12268	노드별 결함밀도(3nm 0.20 / 5nm 0.11 / 7nm 0.09 / 14nm 0.08, 인터포저 0.06, RDL 0.05 개/cm²)와 군집 계수 10, 음이항 수율 모델, RE·NRE 분리
S-1-16	논문	Pioneering Chiplet Technology and Design for the AMD EPYC and Ryzen Processor Families: Industrial Product	S. Naffziger 외 6인 (ISCA 2021, pp.57–70)	2021-06	DOI 10.1109/ISCA52012.2021.00014	777mm² monolithic 대 213mm²×4=852mm², 면적 오버헤드 약 10%, 제조비 0.59배, IFOP 약 2pJ/bit, 메모리 지연 로컬 90ns 대 원격 141ns
S-1-17	기술블로그	Chiplets and the future of system	Chipstrat	2024	https://www.chipstrat.com/p/chiplets-and-the-future-of-system	die 면적 400~500mm² 이상에서 chiplet이 monolithic을 비용으로 역전한다는 경험칙
S-1-18	표준·로드맵	UCIe Specifications (1.0 / 1.1 / 2.0 / 3.0)	UCIe Consortium	2026-09 확인	https://www.uciexpress.org/specifications	4개 판본 모두 요청 기반 배포. 3.0은 48/64 GT/s로 2.0 대비 대역폭 2배, 전 판본 하위호환
S-1-19	기업발표	UCIe Consortium Introduces 3.0 Specification With 64 GT/s Performance and Enhanced Manageability	BusinessWire	2025-08-05	https://www.businesswire.com/news/home/20250805909613/en/UCIe-Consortium-Introduces-3.0-Specification-With-64-GTs-Performance-and-Enhanced-Manageability	UCIe 3.0 발표 원문. 48/64 GT/s, runtime recalibration, sideband 100mm 연장
S-1-20	기업발표	Chiplet Summit 2026: UCIe Momentum Across a Growing Ecosystem	UCIe Consortium	2026-03-05	https://www.uciexpress.org/post/chiplet-summit-2026-ucie-momentum-across-a-growing-ecosystem	Intel·Cadence의 업계 최초 UCIe-S 상호운용 실증(Cameron Creek 테스트칩), Alphawave 부스 시연
S-1-21	뉴스	Hot Chips 2026: Intel details cutting-edge tech in entry-level Wildcat Lake	Tom's Hardware	2026-08	https://www.tomshardware.com/pc-components/cpus/hot-chips-2026-intel-details-cutting-edge-tech-in-entry-level-wildcat-lake-value-focused-18a-chips-necessitated-ucie-integration	Intel 자사 프로세서 최초 UCIe 적용 (18A 컴퓨트 타일 + N6·N3E 타일, 유기기판). 링크는 8 GT/s 운용
S-1-22	논문	AI and Memory Wall	A. Gholami, Z. Yao, S. Kim, C. Hooper, M. W. Mahoney, K. Keutzer (IEEE Micro)	2024	arXiv:2403.14123 / DOI 10.48550/arXiv.2403.14123	20년간 서버 peak FLOPS 2년당 3.0배 대 DRAM 대역폭 1.6배·인터커넥트 1.4배. memory wall의 표준 인용 논문

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-1-23	논문	Challenges and Research Directions for Large Language Model Inference Hardware	Xiaoyu Ma, David Patterson	2026-02-06 (v3)	arXiv:2601.05047 / DOI 10.48550/arXiv.2601.05047	LLM 추론의 병목은 연산이 아니라 메모리·인터커넥트. HBF, PNM, 3D 메모리-로직 적층, 저지연 인터커넥트 4방향 제시
S-1-24	분석기관	Memory Wall (insight)	TrendForce	2025	https://www.trendforce.com/insights/memory-wall	HBM 수요 2025년 +130% 이상, 2026년 +70% 이상 전망의 근거 페이지
S-1-25	기업발표	Micron in High-Volume Production of HBM4 Designed for NVIDIA Vera Rubin, PCIe Gen6 SSD and SOCAMM2	Micron	2026-03-16	https://investors.micron.com/news-releases/news-release-details/micron-high-volume-production-hbm4-designed-nvidia-vera-rubin	HBM4 36GB 12-Hi 양산, 핀속도 11 Gb/s 초과, 스택당 2.8 TB/s 초과, HBM3E 대비 대역폭 2.3배·전력효율 20% 초과 개선. 48GB 16-Hi 샘플 출하
S-1-26	뉴스	SK hynix HBM Packaging at Hot Chips 2026	ServeTheHome	2026-08-23	https://www.servethehome.com/sk-hynix-hbm-packaging-at-hot-chips-2026/	Hot Chips 2026 SK하이닉스 패키징 발표 정리. HBM4 12.8×11mm, Z-height 775µm, TSV 2만 개 초과, base 마이크로범프 16,148개, CoWoS-S·L·EMIB 응력 비교
S-1-27	뉴스	NVIDIA Details the "Rubin" Architecture: Die Annotation, Vera CPU, HBM4, and Disaggregated Inference	TechPowerUp	2026	https://www.techpowerup.com/350947/nvidia-details-the-rubin-architecture-die-annotation-vera-cpu-hbm4-and-disaggregated-inference	Rubin 패키지 구성(컴퓨트 die 2 + I/O die 2, 4x 레티클 CoWoS-L, HBM4 8스택) 보도
S-1-28	뉴스	NVIDIA's "Rubin Ultra" Reportedly Faces Issues With CoWoS-L Packaging	TechPowerUp	2026	https://www.techpowerup.com/347889/nvidias-rubin-ultra-reportedly-faces-issues-with-cowos-l-packaging	Rubin Ultra 4-die 구성의 CoWoS-L 제약 보도. 확정 발표 아님
S-1-29	뉴스	Nvidia's Vera Rubin platform in depth	Tom's Hardware	2026	https://www.tomshardware.com/pc-components/gpus/nvidias-vera-rubin-platform-in-depth-inside-nvidias-most-complex-ai-and-hpc-platform-to-date	VR200 288GB HBM4, 22 TB/s, 4x 레티클 CoWoS-L 인터포저 위 8 HBM4 스택
S-1-30	표준·로드맵	Heterogeneous Integration Roadmap, 2025 Edition (25 chapters, Rev 0.9)	IEEE Electronics Packaging Society	2026-05~06 게시	https://eps.ieee.org/technology/heterogeneous-integration-roadmap/2025-edition/	25개 챕터 전량 Rev 0.9로 무료 공개. 응용 주도 챕터(HPC·IoT·의료·자동차·항공우주·모바일·5G6G)와 요소기술 챕터(소재·인터커넥트·전력·열·테스트·공급망 등) 이원 구조
S-1-31	표준·로드맵	HIR 2025 Rev 0.9 Chapter 1: Overview (PDF)	IEEE EPS	2026-05	https://eps.ieee.org/wp-content/uploads/2026/05/HIR_1_Overview_0.9-3.pdf	로드맵 전체 개요 챕터. 무료 PDF 직링크
S-1-32	논문	Current Advances and Outlook of Advanced Packaging	John H. Lau, ASME Journal of Electronic Packaging, 148(3):031010	2026-09 (온라인 2026-02-11)	DOI 10.1115/1.4070106	2D~3.5D 일곱 등급을 '다중 die를 무엇이 받치는가'로 판별. CoWoS-S에서 L로 넘어가는 문턱 인터포저 2,500mm², 접합 피치 사다리, 유리기판 변형률 역설
S-1-33	기업발표	CoWoS (3DFabric 기술 페이지)	TSMC	미표기, 2026-09 열람	https://3dfabric.tsmc.com/english/dedicatedFoundry/technology/cowos.htm	CoWoS-S·R·L 3분류 공식 정의와 인터포저 면적 상한
S-1-34	기업발표	TSMC Debuts A13 Technology at 2026 North America Technology Symposium	TSMC	2026-04-22	https://pr.tsmc.com/english/news/3302	2026년 심포지엄 공식 발표문. CoWoS·SoW 로드맵의 1차 출처

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-1-35	기술블로그	TSMC Technology Symposium 2026 Overview	SemiWiki	2026-04	https://semiwiki.com/semiconductor-manufacturers/tsmc/368690-tsmc-technology-symposium-2026-overview/	인터포저 3.3 레티클 → 2029년 14 레티클 초과, HBM 최대 24스택, SoW는 40 레티클 초과
S-1-36	표준·로드맵	JEDEC and Industry Leaders Collaborate to Release JESD270-4 HBM4 Standard	JEDEC	2025-04-16	https://www.jedec.org/news/pressreleases/jedec%C2%AE-and-industry-leaders-collaborate-release-jesd270-4-hbm4-standard-advancing	HBM4 표준: 2048-bit, 핀속도 8 Gb/s, 스택당 2 TB/s, 32채널, 최대 64GB
S-1-37	기업발표	Samsung Ships Industry-First Commercial HBM4 With Ultimate Performance for AI Computing	삼성전자 뉴스룸	2026-02-12	https://news.samsungsemiconductor.com/global/samsung-ships-industry-first-commercial-hbm4-with-ultimate-performance-for-ai-computing/	업계 최초 HBM4 양산·상용 출하. 11.7 Gb/s(최대 13), 스택당 3.3 TB/s, 1c DRAM
S-1-38	기업발표	SK hynix Completes World's First HBM4 Development and Readies Mass Production	SK하이닉스	2025-09-11	https://www.prnewswire.com/news-releases/sk-hynix-completes-worlds-first-hbm4-development-and-readies-mass-production-302554538.html	세계 최초 HBM4 개발 완료·양산 체제 구축. 2,048 I/O, 10 Gb/s 초과, 전력효율 40% 개선
S-1-39	뉴스	Chips aren't getting cheaper to make: the cost per transistor stopped dropping a decade ago at 28nm	Tom's Hardware	2026	https://www.tomshardware.com/tech-industry/manufacturing/chips-arent-getting-cheaper-the-cost-per-transistor-stopped-dropping-a-decade-ago-at-28nm	28nm 이후 트랜지스터당 비용 스케일링(0.7배) 정체. Google 발표 인용
S-1-40	뉴스	TSMC 2nm Reportedly Up 10–20%, Far Below Rumored 50%; 3–7nm to Rise Single-Digit in 2026	TrendForce	2025-10-08	https://www.trendforce.com/news/2025/10/08/news-tsmc-2nm-reportedly-up-10-20-far-below-rumored-50-3-7nm-to-rise-single-digit-in-2026/	2nm 웨이퍼 가격 3nm 대비 10~20% 상승, sub-5nm 전반 2026년 인상. 업계 보도 기준
S-1-41	기술블로그	Scaling Bump Pitches In Advanced Packaging	Semiconductor Engineering (Mark LaPedus)	2021-10-25	https://semiengineering.com/scaling-bump-pitches-in-advanced-packaging/	C4 약 150μm → Cu pillar 40μm → TCB 10μm → hybrid bonding. 2021년 시점 기사이므로 마이크로범프 40~55μm 등 구세대 수치의 근거로만 쓴다
S-1-42	기업발표	Foveros Direct 3D Technology Brief (PDF)	Intel	2025-11	https://www.intel.com/content/dam/www/central-libraries/us/en/documents/2025-11/foveros-direct-3d-tech-brief.pdf	Cu-Cu 직접접합 피치 1세대 약 10μm → 2세대 5μm 미만. hybrid bonding 피치 공식 수치
S-1-43	기업발표	Inside NVIDIA Rubin GPU Architecture	NVIDIA	2026-07-21	https://developer.nvidia.com/blog/inside-nvidia-rubin-gpu-architecture-powering-the-era-of-agentic-ai/	Rubin은 레티클 한계급 컴퓨트 die 2개, 트랜지스터 336B, HBM4 288GB 12-Hi, 최대 22 TB/s. Rubin 패키지 공식 수치의 1차 출처
S-1-44	뉴스	삼성SDI 2025년 4분기 컨퍼런스콜 전문	디일렉(THE ELEC)	2026-02	https://www.thelec.kr/news/articleView.html?idxno=51750	차세대 그린 호스트와 고방열 EMC 소재의 고객 신제품 최초 적용, 2026년 고방열 EMC·메탈 슬러리 양산 진입 발언
S-1-45	기업발표	NVIDIA Vera Rubin NVL72 제품 사양	NVIDIA	미표기, 2026-09 열람	https://www.nvidia.com/en-eu/data-center/vera-rubin-nvl72/	상시 제품표는 GPU당 19.2 TB/s로 표기하여 기술글의 최대 22 TB/s와 병존
S-1-46	분석기관	End Market Demand for Advanced Packaging	TechInsights	2026-09-03	https://www.techinsights.com/blog/end-market-demand-advanced-packaging-0	2026-08-22 이후 신규 게시. 공개 요약에 시장 총액 수치 없음

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-1-47	분석기관	Global DRAM and HBM Market Share: Quarterly	Counterpoint Research	2026-09-02	https://counterpointresearch.com/en/insights/global-dram-and-hbm-market-share	2026-08-22 이후 갱신. 공개 본문에서 점유율·매출 수치 미확보
S-1-48	표준·로드맵	UCIe Draws Strong Interest at FMS 2026	UCIe Consortium	2026-08-25	https://www.uciexpress.org/post/ucie-draws-strong-interest-at-fms-2026	UCIe 3.0 세션과 회원사 시연 소개. 신규 규격 발표는 아님
S-1-49	기업발표	The real bottleneck: Data, not compute (AI Ecosystem Series Ep.2)	SK하이닉스 뉴스룸, KAIST 유회준 교수 기고	2026-09-03	https://news.skhynix.com/en/ai-ecosystem-series-ep2/	추론과 KV 캐시가 만드는 데이터 이동 병목 설명. memory wall 절의 최신 기업 공개 자료
S-1-50	분석기관	AI Chip Packaging Pushes Beyond Reticle Limits, with CoWoS-L Set to Remain the Mainstream Advanced Packaging Solution Through 2028	TrendForce	2026-09-18	https://www.trendforce.com/presscenter/news/20260918-13241.html	NVIDIA 하이엔드 GPU 출하량 2026년 약 30% 증가, CoWoS-L 2028년까지 주류 전망. 패키징 시장 성장률이 아님
S-1-51	기업발표	NVIDIA Ampere Architecture In-Depth	NVIDIA	2020-05-14	https://developer.nvidia.com/blog/nvidia-ampere-architecture-in-depth/	P100 SXM FP16 21.2 TFLOPS·0.72 TB/s, V100 SXM2 dense FP16 Tensor 125 TFLOPS·0.90 TB/s 비교표
S-1-52	기업발표	NVIDIA Blackwell Datasheet	NVIDIA	2025-10	https://dam-cdn.nvd.orangelogic.com/AssetLink/y441155802qub41q118b2852i557jem5.pdf	HGX B200 구성 GPU dense FP16 2,250 TFLOPS·7.7 TB/s, GB200 구성 8 TB/s. 세대 배수 계산의 공식 근거
S-1-53	뉴스	NVIDIA reportedly testing lower memory configs of Rubin Ultra	Tom's Hardware	2026-08-12	https://www.tomshardware.com/pc-components/gpus/nvidia-reportedly-testing-lower-memory-configs-of-rubin-ultra-as-memory-shortage-bites-back-designs-tested-include-as-little-as-192-gb-and-step-back-to-hbm4	192GB·256GB 축소 구성 시험 전언과 NVIDIA 답변. 설계 취소를 확인한 보도가 아님
S-1-54	뉴스	첨단 반도체 패키징 시장 5년 뒤 1000억달러 돌파	전자신문	2026-07-24	https://www.etnews.com/20260724000157	같은 Yole 2026년판을 2025년 $54B에서 2031년 $109B로 전함. 영문 전재값과 상충
S-1-55	논문	Cost-Aware Exploration for Chiplet-Based Architecture with Advanced Packaging Technologies	T. Tang, Y. Xie (HiPChips Workshop, ISCA 2022)	2022-06-15	arXiv:2206.07308 / DOI 10.48550/arXiv.2206.07308	노드·패키지별 chiplet 경제성 전환 면적. 7nm MCM 119mm²·유기 인터포저 178mm², 28nm 149mm²·479mm²
S-1-56	기술블로그	HBM4 Sticks With Microbumps, Postponing Hybrid Bonding	Semiconductor Engineering	2025	https://semiengineering.com/hbm4-sticks-with-microbumps-postponing-hybrid-bonding/	HBM3E 마이크로범프 20~30μm, HBM4 패드 피치 약 10μm 방향. 세대별 피치 축소의 보도 근거
S-1-57	뉴스	TSMC SoIC 3D stacking roadmap outlines path from 6-micron pitches today to 4.5-micron in 2029	Tom's Hardware	2025	https://www.tomshardware.com/tech-industry/semiconductors/tsmc-soic-3d-stacking-roadmap-outlines-path-from-6-micron-pitches-today-to-4-5-micron-in-2029-fujitsus-monaka-cpu-to-benefit-from-face-to-face-chiplet-stacking	SoIC 하이브리드 본딩 피치 현행 6μm 양산에서 2029년 4.5μm. hybrid bonding 피치 정의의 로직 측 근거
S-1-58	기업발표	Cerebras Systems Unveils the Industry's First Trillion Transistor Chip	Cerebras Systems	2019-08-19	https://www.cerebras.ai/press-release/cerebras-systems-unveils-the-industrys-first-trillion-transistor-chip	WSE 46,225mm², 1.2조 트랜지스터, 40만 코어, TSMC 16nm. cross-reticle 연결·수율·전력공급·패키징을 함께 해결했다고 명시. 노광 필드 한계의 예외 사례 근거

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-1-59	논문	CoWoS Architecture Evolution for Next Generation HPC on 2.5D System in Package	Y.-C. Hu, Y.-M. Liang, H.-P. Hu, C.-Y. Tan, C.-T. Shen, C.-H. Lee, S. Y. Hou (TSMC), IEEE ECTC 2023, pp.1022-1026	2023-05	DOI 10.1109/ECTC51909.2023.00174	대면적 Si 인터포저의 결함 기인 수율 손실을 해결하기 위해 CoWoS-L을 도입한다고 초록에 명시. Lau가 2,500mm² 문턱의 근거로 든 ECTC 2023 TSMC 논문 2편 중 확인된 1편
S-1-60	논문	2023 IEEE 73rd ECTC Proceedings 공식 목차 (Session 22 p.918 TSMC 대면적 2.5D 3DFabric 논문, Session 25 p.1022 CoWoS 논문 수록)	IEEE ECTC / proceedings.com	2023-05	https://www.proceedings.com/content/070/070125webtoc.pdf	S-1-59의 저자·페이지 확인과 Lau가 인용한 나머지 1편의 소재 확인에 사용. 나머지 1편의 DOI는 이번 조사에서 미특정
S-1-61	기업발표	SK hynix Presents 'New Spectrum' for AI Infrastructure at 'AI Infra Summit 2026'	SK하이닉스 뉴스룸	2026-09-17	https://news.skhynix.com/en/ai-infra-summit-2026/	AI Infra Summit 2026(9/15~17, 샌타클래라)에서 TSV 적용 NAND 기반 HBF 구조 모형, AiM·AiMX(PIM), KV 캐시를 HBM·DRAM·SSD에 배치하는 SALT-KV 시연. GPU-HBM 구조만으로 부족하다는 회사 진술
S-1-62	뉴스	Google reportedly weighs CoWoS backup for 2027 TPU as EMIB-T substrate yields lag	DIGITIMES	2026-09-17	https://www.digitimes.com/news/a20260917PD208/google-tpu-cowos-substrate-2027.html	Google Humufish TPU(2027년 말 양산 예정) EMIB-T 채택·MediaTek 협력, EMIB-T 기판 수율 지연으로 CoWoS 백업 검토. 전언 보도, 확인한 도입부에 Google·Intel 입장 없음. 본문 유료로 도입부만 확인
S-1-63	분석기관	NVIDIA Rubin出貨遞延，2027年始放量挑大梁	TrendForce	2026-09-21	https://www.trendforce.com.tw/research/download/RP260921DW	Rubin이 HBM4 수율·방열 설계 문제로 지연, 2027년 상반기 이후 점진 확대 전망. 2026년 하이엔드 GPU 출하 약 80% Blackwell, HBM4/4E 12-Hi→8-Hi 검토, Rubin Ultra 2028년. 공개 요약만 확인
S-1-64	분석기관	UBS Research Report Analysis: CoWoS Capacity Raised to 270 kwpm, ASIC and CPU Lead Next Wave of Expansion	TechFlow(UBS 리포트 전재)	2026-09-22	https://www.techflowpost.com/en-US/article/34199	업계 CoWoS 캐파 2026년 말 160kwpm → 2027년 말 270kwpm(종전 260). 2027년 말 TSMC 180·ASE 70(2026년 말 20)·Amkor 20kwpm, 증설분 OSAT 몫 12%→26%, NVIDIA 비중 65%(2025)→49%(2027), ASIC 30%→33%. 원 리포트 미열람
S-1-65	뉴스	[Breaking] Intel EMIB Substrate Yields Reportedly Hit 45%, Suppliers Eye 60% by 1Q27	TrendForce(天下雜誌·ZDNet 인용)	2026-09-23	https://www.trendforce.com/news/2026/09/23/breaking-intel-emib-substrate-yields-reportedly-hit-45-suppliers-eye-60-by-1q27/	EMIB 기판 수율 2Q26 약 30% → 약 45% → 목표 4Q26 50%·1Q27 60%. 원인 ABF 기판·실리콘 브리지 열팽창 부정합, NCF 기포. Lip-Bu Tan 기판 병목·선급금 발언. Intel 공식 확인은 기사에 없음
S-1-66	분석기관	High-end packaging market to hit $51bn	Advanced Packaging News (Yole 인용)	2026-09-24	https://advancedpackaging.news/article/125442/High-end_packaging_market_to_hit_51bn	Yole High End Performance Packaging 2026: 2031년 $51B 초과, 매출 CAGR 27%, 수량 CAGR 33%, 웨이퍼 CAGR 30%, Telecom & Infra 2031년 $36B 초과(약 70%), 상위 6사 2025년 약 97%, mold interposer CAGR 28.1%. AP 전체($120B+)와 다른 별도 보고서
S-1-67	분석기관	Advanced packaging to be a $51bn market by 2031	Electronics Weekly (David Manners)	2026-09-25	https://www.electronicsweekly.com/news/business/advanced-packaging-to-be-a-51bn-market-by-2031-2026-09/	같은 Yole High End Performance Packaging 2026 전재. 제목은 advanced packaging이나 본문은 high-end performance packaging. 상위 6사 Intel·TSMC·YMTC·SK하이닉스·삼성·Micron, 현재 최대 세그먼트 hybrid bonding 3D NAND(CAGR 22.2%)

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-1-68	뉴스	[News] 12-inch Wafer Price Hikes Loom for 2027 as AI Demand Tightens Supply, with LTAs Reportedly Up 15–40%+	TrendForce(工商時報 등 인용)	2026-09-25	https://www.trendforce.com/news/2026/09/25/news-12-inch-wafer-price-hikes-loom-for-2027-as-ai-demand-tightens-supply-with-ltas-reportedly-up-15-40/	2027년 12인치 웨이퍼 LTA 에피 15~25%, 폴리시드 40% 이상(일부 2차 고객 50% 초과) 인상 전망, GlobalWafers ASP $92(2026)→$122(2027), 실리콘 인터포저 수요 언급. CoWoS 70.9%는 工商時報 인용값
S-1-69	뉴스	Chip Industry Week In Review (#157)	Semiconductor Engineering	2026-09-25	https://semiengineering.com/chip-industry-week-in-review-157/	대만 가오슝 바이푸 산업단지 착공, 대만 최초의 첨단 반도체 장비·소재 전용 시험·검증 기지 포함. 착공일·면적·투자액 기재 없음

Day 2

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-2-01	표준·로드맵	JEDEC and Industry Leaders Collaborate to Release JESD270-4 HBM4 Standard	JEDEC	2025-04-16	https://www.jedec.org/news/pressreleases/jedec%C2%AE-and-industry-leaders-collaborate-release-jesd270-4-hbm4-standard-advancing	HBM4 규격 2048-bit, 핀당 8Gb/s, 스택당 2TB/s, 4/8/12/16-Hi, 최대 64GB
S-2-02	논문	Review of Cu–Cu direct bonding technology in advanced packaging	Z-H. Zhao, L-Y. Gao, Z-Q. Liu, Nanotechnology 36(26) 262001	2025-06-23	DOI 10.1088/1361-6528/addf54	기계연마 후 RMS 7.05nm(10×10μm²), 저온접합 100°C/60분 또는 200°C/5분, 기존 TCB 300~400°C 대비 250°C 이하로 저온화
S-2-03	논문	A State-of-the-Art Review of Through-Silicon Vias: Filling Materials, Filling Processes, Performance, and Integration	Q. Xia, X. Zhang, B. Ma, K. Tao, H. Zhang, W. Yuan, S. Ramakrishna, T. Ye, Advanced Engineering Materials 27(1)	2025	DOI 10.1002/adem.202401799	TSV 충전 소재·공정·통합 종합 리뷰. 첨가제 3분류(촉진제 SPS·MPS·DPS, 억제제 PEG·PPG, 평탄제 질소계), 억제제의 염화물 의존성(PEG-Cu-Cl 삼배위 착물), SPS 30ppm에서 298K 무보이드 대 313K 대형 보이드, 보이드 발생 4경로
S-2-04	논문	A Review of Through-Silicon Via Inspection and Metrology Technology for Advanced Semiconductor Packaging	J. Manuf. Sci. Eng. 147(12) 121005	2025-12	DOI 10.1115/1.4069965	TSV 계측·검사 기술 종합 리뷰
S-2-05	학회	2026 IEEE ECTC Technical Tipsheet (76th ECTC, Orlando)	IEEE ECTC	2026-05-20	https://ectc.net/wp-content/uploads/2023/03/2026-ECTC-REVISED-Technical-Tipsheet-with-images.pdf	논문 18.4(AMAT 450nm W2W 98% 수율, 2,000만 링크, 링크당 1.5Ω), 26.4(KIOXIA sub-800nm 패드, saddle warpage 보정), 31.2(ASML D2W overlay 80nm 미만), 21.7(CEA-Leti 인듐 범프 3μm 직경·5μm 피치), 29.1(Nopion, HBM 양산 20μm 피치·5μm 간격, 차세대 10μm·1μm), 14.2(Resonac 320×320mm 유리패널 L/S 2/2μm 다마신, post-CMP 단차 100nm 미만), 28.2(USHIO 510×515mm 유리, 1.5μm L/S, 18-reticle, 공정 마진 22μm), 6.3(TSMC CoWoS EMC/Si 계면 박리 파괴해석), 37.15(TSMC 3.3X-reticle CoWoS-R OCP OAM 보드레벨 신뢰성, TCT 지배·BGA 균열), 35.3(Renesas 마이크로 Cu pillar 25/28/45/50/58μm, 175°C 전기이동), 11.2(UF Cu/Co 메타컨덕터 0.065 dB/mm @37.5GHz)
S-2-06	학회	2026 IEEE ECTC Press Kit	IEEE ECTC	2026	https://ectc.net/press/	키노트 Tien Wu(ASE CEO), 논문 18.4·14.2 등 주요 발표 목록

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-2-07	기술블로그	ECTC Focuses on Challenges for AI Data Center Packaging and Energy Use	Circuits Assembly	2026-06	https://www.circuitsassembly.com/ca/features-itemid-fix/400-forefront/43401-ectc-focuses-on-challenges-for-ai-data-center-packaging-and-energy-use.html	참석 2,700명 초과, hybrid bonding·대안 기술 논문 100편 초과, CPO 약 30편, 피치 스펙트럼 Sony W2W 0.4μm~TEL 140nm 패드~imec 200nm, Rapidus 25μm 마이크로범프, 키노트 Tien Wu
S-2-08	기술블로그	CPO, Hybrid Bonding, PLP Featured At ECTC	Mark Lapedus, Semiecosystem	2026-05-21	https://marklapedus.substack.com/p/cpo-hybrid-bonding-plp-featured-at	AMAT 450nm/98%/20M, Resonac 320×320mm 2/2μm, USHIO 510×515mm 1.5μm 18-reticle, GF·Corning CPO 결합손실 1.5dB 미만
S-2-09	기술블로그	HBM4 Sticks With Microbumps, Postponing Hybrid Bonding	Bryon Moyer, Semiconductor Engineering	2026-01-13	https://semiengineering.com/hbm4-sticks-with-microbumps-postponing-hybrid-bonding/	JEDEC 높이 상한 720μm에서 775μm로 개정, 다이 두께 30~50μm, HBM4 패드 피치 약 10μm, 연기 사유는 층별 테스트 난이도와 가격
S-2-10	기술블로그	Scaling Bump Pitches In Advanced Packaging	Mark LaPedus, Semiconductor Engineering	2021-10-25	https://semiengineering.com/scaling-bump-pitches-in-advanced-packaging/	C4 직경 200~75μm, 마이크로범프 40μm 피치(범프 20~25μm·간격 15μm), 18μm 피치(직경 9μm·높이 20μm), 10μm 피치(직경 5μm·높이 10μm), Cu pillar 15μm+Ni 5μm+SnAg 캡, mass reflow 50~40μm 한계, TCB·hybrid bonding 10μm 이하
S-2-11	뉴스	Hybrid Bonding in 2026: TSMC Ships 6 µm While Its Newest Disclosed Customer Stacks at 9 µm	NineScrolls	2026-09-04	https://ninescrolls.com/news/hybrid-bonding-in-2026-tsmc-ships-6-m-while-its-newest-disclosed-customer/	양산 TSMC SoIC 6μm(2029년 4.5μm 로드맵)·Intel Foveros Direct 9μm(2세대 3μm), 실증 imec·EVG W2W 200nm(overlay 40nm 미만)·CEA-Leti D2W 1μm, HBM4는 10μm 패드 피치에서 마이크로범프 유지
S-2-12	뉴스	SK Hynix Unpacks Advanced Packaging Technologies, Including Intel EMIB, For Its Next-Gen HBM Memory (Hot Chips 2026)	Wccftech	2026-08	https://wccftech.com/sk-hynix-advanced-packaging-technologies-intel-emib-next-gen-hbm-memory/	HBM4 패키지 775μm·12.8×11mm², base 마이크로범프 16,148개, TSV 20,000개 초과, 12단 양산·16단 퀄, 칩 두께 0.9배·갭 0.5배·범프 피치 0.9배, hybrid bonding 시 코어다이 24% 두께 증가·TSV 피치 18μm 미만·열저항 35% 감소, I-HBM 열저항 30% 이상 감소
S-2-13	뉴스	Hot Chips 2026: SK hynix pushes hybrid bonding to HBM5 as AI memory hits 775-micron ceiling	Tom's Hardware	2026-08-24	https://www.tomshardware.com/tech-industry/semiconductors/sk-hynix-says-hybrid-bonding-wont-be-ready-for-hbm4e-as-ai-memory-runs-into-a-775-micron-ceiling	775μm는 300mm 로직 웨이퍼 표준 두께와 같은 상한, MR-MUF 비교 접합 피치 30μm와 hybrid bonding 비교값 18μm 미만, hybrid bonding은 HBM4E가 아니라 HBM5·2029~2030 전망(기자 추론으로 구분 필요, C-2-04와 동일 기사)
S-2-14	분석기관	JEDEC Reportedly Plans to Relax HBM Height Specs to ~900µm, Potentially Slowing Hybrid Bonding Adoption	TrendForce	2026-04-01	https://www.trendforce.com/news/2026/04/01/news-jedec-reportedly-plans-to-relax-hbm-height-specs-to-900%C2%B5m-potentially-slowing-hybrid-bonding-adoption/	HBM3E 약 720μm, HBM4 775μm, HBM4E 약 900μm 완화 논의(업계 취재 보도), 삼성 GTC 2026 hybrid bonding 열저항 20% 이상 개선 시연, SK하이닉스 이강욱 부사장 "20단 이상에서 필수" 발언
S-2-15	분석기관	Samsung, SK hynix Reportedly Reconsider Hybrid Bonding Timeline; 16-High HBM4E May Be Earliest Adoption	TrendForce	2026-07-07	https://www.trendforce.com/news/2026/07/07/news-samsung-sk-hynix-reportedly-reconsider-hybrid-bonding-timeline-16-high-hbm4e-may-be-earliest-adoption/	hybrid bonding 최초 채택 후보가 16단 HBM4E로 후퇴, 지연 사유 3가지

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-2-16	분석기관	SK hynix May Stick with MR-MUF for HBM4 16-High Despite ASMPT TC Bonder Orders	TrendForce	2026-01-13	https://www.trendforce.com/news/2026/01/13/news-sk-hynix-may-stick-with-mr-muf-for-hbm4-16-high-despite-asmpt-tc-bonder-orders/	CES 2026에서 웨이퍼 약 30μm 박형화로 16단 HBM4를 JEDEC 775μm 안에 구현, MR-MUF 잔류 결정. **Day 2의 코어 다이·웨이퍼 박형화 두께 대표값(약 30μm)의 근거이며 Day 4 원장의 S-4-22와 동일 출처다.** 별도 보도의 약 50μm는 16단 환산 시 800μm로 775μm를 초과해 같은 구조에 병기하지 않는다
S-2-17	기업발표	Understanding Stress in Underfills: Balancing Warpage, CTE, Tg, and Modulus in Advanced Semiconductor Packaging	NAMICS	2026	https://namics-corp.com/understanding-stress-in-underfills-balancing-warpage-cte-tg-and-modulus-in-advanced-semiconductor-packaging/	Si 다이 약 4 ppm/°C, 유기기판 17~18 ppm/°C, 조립 온도 200~220°C, 125°C 초과 응용은 고Tg, 저모듈러스·저Tg는 저warpage·고범프응력, 고모듈러스·고Tg는 그 반대
S-2-18	기술블로그	How Epoxy Molding Compounds Transition Across Temperature from Glassy to Rubbery	Krayden(구 CAPLINQ)	2026-04-27	https://blog.krayden.com/how-epoxy-molding-compounds-transition-across-temperature-from-glassy-to-rubbery_11134/	EMC CTE Tg 이하 10~20, Tg 초과 50 초과 ppm/°C, 상용 등급 Tg 113~236°C, 저장 모듈러스 유리상 10^4 MPa급에서 Tg 부근 1GPa, 고필러 89% 17GPa→1GPa 미만, 저필러 79% 12GPa→1.2GPa
S-2-19	논문	Underfill: A Review of Reliability Improvement Methods in Electronics Production	Z. Plachý, A. Pražanová, K. Dušek, A. Géczy, Polymers 17(16) 2206	2025	DOI 10.3390/polym17162206	CUF 필러 최대 70wt%·CTE 20~25 ppm/°C·예열 70~100°C·경화 약 160°C, MUF 필러 80wt% 초과·CTE 15~20·진공보조 50μm 갭 충전·칩 간격 0.8~1.0mm에서 0.3~0.4mm로 축소, WUF(NCF 계열) 필러 최대 60wt%·나노필러 20~150nm·CTE 15~20, 보드레벨 언더필로 낙하·충격 5~6배 개선
S-2-20	논문	Exploring the Influence of Material Properties of Epoxy Molding Compound on Wafer Warpage in Fan-Out Wafer-Level Packaging	W-C. Chuang, Y. Huang, P-E. Chen, Materials 16(9) 3482	2023	DOI 10.3390/ma16093482	**기준 입력 물성**(Table 3·6): Si CTE 2.8 ppm/°C·131GPa, Cu 16.5·120GPa, SiO2 0.56·66GPa, EMC α1 8·α2 25 ppm/°C·Tg 170°C·E 22.75GPa(25~35°C)/1.99GPa(235~260°C). **실측**: 디캐리어 휨 7.33±0.3mm(시뮬레이션 오차 0.15%). **해석상 최적화**(Table 10): CTE 0.8 ppm/K·저온 탄성계수 28.50 GPa라는 가상 물성 조합에서 휨 0.545mm로 예측(제조·측정된 배합이 아님). α1 1% 감소 시 휨 약 1.2% 감소
S-2-21	논문	Structural characterization and bonding energy analysis for plasma-activated bonding of SiCN films: A reactive molecular dynamics study	J. Kim, M. Jang, J. Park, B. Kim, H. Chung	2025-11-05	arXiv:2511.03476	SiCN 조성과 O2 플라즈마 조건이 계면 Si-O-Si 밀도를 바꾸고 결합 강도와 양의 상관을 보임
S-2-22	논문	Designing High-Performance and Thermally Feasible Multi-Chiplet Architectures enabled by Non-bendable Glass Interposer	arXiv 프리프린트	2025-07	arXiv:2507.18040	유리 인터포저 기반 멀티칩렛 구조의 성능·열 타당성 설계 연구
S-2-23	표준·로드맵	Heterogeneous Integration Roadmap 2025 Rev 0.9, Chapter 1 Overview	IEEE EPS	2026-05	https://eps.ieee.org/wp-content/uploads/2026/05/HIR_1_Overview_0.9-3.pdf	25개 챕터로 갱신된 이종집적 로드맵의 개요
S-2-24	기술블로그	Choosing The Right Interconnect	Semiconductor Engineering	연도 미상	https://semiengineering.com/choosing-the-right-interconnect/	Si 인터포저는 복잡 제품에서 한 장 $100 수준, 레티클 스티칭 필요, 유기 인터포저는 warpage가 난제, 유리는 대면적 휨 거동 우위

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-2-25	학회	A Review on CMP Challenges in Hybrid Wafer Bonding and Wafer Level Packaging (NCCAVS CMPUG 발표)	G. B. Basim(Intel NSG), NCCAVS CMP User Group	2023-09-13	https://nccavs-usergroups.avs.org/wp-content/uploads/2023/09/JointUG923-5-BasimGB.pdf	Cu recess 1~5nm는 약 400°C 어닐을 동반한 사례값이며 같은 자료에 1패스 후 5~25nm 사례도 병존(범용 규격 아님), post-CMP RMS SiCN 0.10nm·SiO2 0.16nm·SiOxNy 0.23nm는 달성 가능치로 제시, 금속오염 5×10¹⁰ atoms/cm² 수준 관리, 2-스텝 CMP
S-2-26	기업발표	3DFabric CoWoS 기술 페이지	TSMC	연도 미상	https://3dfabric.tsmc.com/english/dedicatedFoundry/technology/cowos.htm	CoWoS-S/R/L 정의, CoWoS-S 최대 3.3배 레티클, CoWoS-R 폴리머+Cu RDL 인터포저
S-2-27	기술블로그	Intel Starts Shipping High-NA EUV Silicon	More Than Moore	2026-07-16	https://morethanmoore.substack.com/p/intel-starts-shipping-high-na-euv	표준 노광 필드 26×33mm = 858mm², High-NA EUV half-field 26×16.5mm = 429mm², 대형 다이는 스티칭 필요
S-2-28	뉴스	The state of ABF substrates in data center silicon in 2026	Tom's Hardware	2026	https://www.tomshardware.com/tech-industry/semiconductors/the-state-of-abf-substrates-in-data-center-silicon-in-2026-solving-the-supply-crunch-and-material-wall-beneath-every-ai-accelerator	AI 가속기용 FC-BGA 기판의 코어 양면 10층 빌드업 구성과 8/8μm line/space가 2026년 목표로 보도됨
S-2-29	기술블로그	The Packaging Evolution Trilogy: Hybrid Bonding, Fluxless TCB, and 3D Stacking	TSPA Semiconductor	연도 미상	https://tspasemiconductor.substack.com/p/the-packaging-evolution-trilogy-hybrid	25μm 이하 피치에서 플럭스 잔사가 보이드·신뢰성 한계, fluxless TCB가 hybrid bonding 이전의 교량 기술
S-2-30	기술블로그	Next Gen Laser Assisted Bonding (LAB) Technology	Semiconductor Engineering	연도 미상	https://semiengineering.com/next-gen-laser-assisted-bonding-lab-technology/	LAB는 국소 가열과 짧은 접합 시간으로 휨이 큰 얇은 다이 접합에 유리
S-2-31	기업발표	Debonding Technologies / BrewerBOND 소재군	Brewer Science	연도 미상	https://www.brewerscience.com/products/debonding-technologies/	디본딩 4방식(열슬라이드·상온 기계식·레이저·배치 화학), 기계식과 레이저가 박형화 한계 확장에 유리, 적층 응용에서 TTV 5% 초과 시 정렬 불량 위험
S-2-32	뉴스	30μm 미만 웨이퍼에서 기계식 분리 한계, 레이저 디본딩 전환	전자신문	2024-07-08	https://www.etnews.com/20240708000086	삼성·SK와 공급사의 레이저 디본딩 공동 개발 동향
S-2-33	기업발표	고열전도 과립 EMC 기술칼럼	Resonac	연도 미상	https://www.resonac.com/solution/column/005.html	과립 EMC에서 열전도 3.0 W/(m·K) 달성, 미세 갭 침투로 보이드 억제
S-2-34	기업발표	전자재료 사업 소개 (EMC·CMP 슬러리 ·SOH·SOD)	삼성SDI	연도 미상	https://www.samsungsdi.co.kr/business/electronic-materials.html	삼성SDI가 보유한 반도체 소재 포트폴리오의 공식 목록
S-2-35	뉴스	케이씨텍, hybrid bonding 전용 Cu 슬러리 개발	디일렉	2026-04-28	https://www.thelec.kr/news/articleView.html?idxno=55764	국내 슬러리사가 Cu 높이 균일화용 전용 슬러리로 hybrid bonding 대응
S-2-36	논문	Cu 전기도금 첨가제와 고종횡비 TSV 충전 리뷰	ACS Omega	2024	DOI 10.1021/acsomega.4c01707	가속제·억제제·평탄화제 조합에 의한 bottom-up 보이드 프리 Cu 충전
S-2-37	분석기관	HBM4 TSV pitch density targets and SI/PI trade-offs	PatSnap Eureka	연도 미상	https://eureka.patsnap.com/report-hbm4-tsv-pitch-density-targets-and-si-pi-trade-offs	HBM TSV 피치 추세를 HBM1 약 50μm에서 HBM4 목표 20~25μm로 정리(분석기관 추정)
S-2-38	기술블로그	Gearing Up For Hybrid Bonding / Making Hybrid Bonding Better	Semiconductor Engineering	연도 미상	https://semiengineering.com/gearing-up-for-hybrid-bonding/	W2W는 compound yield 문제, D2W는 KGD 선별 후 접합으로 로직·HBM 본류

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-2-39	기업발표	Liquid Molding Compound (LMC) 제품 페이지	NAGASE	연도 미상	https://nagase.eu/products/liquid-molding-compound-lmc/	과립형 GMC와 액상 LMC의 용도 구분, 미세 갭 침투와 패널 레벨 적용
S-2-40	표준·로드맵	JEP154 Guideline for Characterizing Solder Bump Electromigration under Constant Current and Temperature Stress	JEDEC	연도 미상	https://www.jedec.org/standards-documents/docs/jep-154	솔더 범프와 솔더캡 Cu pillar의 전기이동 민감도 평가 가이드라인
S-2-41	기술블로그	What is HBM (High Bandwidth Memory): Deep Dive into Architecture, Packaging and Applications	Wevolver	연도 미상	https://www.wevolver.com/article/what-is-hbm-high-bandwidth-memory-deep-dive-into-architecture-packaging-and-applications	HBM 표준 마이크로범프 피치 40~55μm, 범프 직경 20~25μm, HBM3E 범프 20~30μm
S-2-42	논문	Automotive Reliability of Micro-Cu Pillar Bumps for 2.5D Chiplet Integration	K. Ando, Y. Yamada, H. Tsuchiya, H. Shibuya(Renesas), IEEE ECTC 2026, pp.1514-1519, 논문 35.3	2026-05	DOI 10.1109/ECTC51846.2026.00248	직경 25·28·45·50·58μm 마이크로범프를 175°C에서 비교. 25μm에서는 무전류에서도 저항 증가가 같은 속도로 일어나 지배 기구가 전기이동에서 IMC 형성으로 전환, 포화 저항 증가율의 직경 양대수 기울기 약 -1.37, Ni이 침상 $(Cu,Ni)_6Sn_5$ 성장을 가속. 175°C는 SnAg 용융점(약 221°C) 아래의 고상 시효이므로 보이드는 Sn 소모와 IMC 성장으로 설명하며, 논문의 모세관 배수 설명은 저자들이 밝힌 정성적 가설이므로 본문에서는 채택하지 않았다. MSL3와 -55~125°C 1,000 사이클 무고장(차량용 등급)
S-2-47	학회	TSV Reveal Using Low-Selectivity CMP (AVS Joint Meeting 발표)	R. L. Rhoades, P. Lenkersdorfer, D. Malta (Entrepix)	2011-06	https://nccavs-usergroups.avs.org/wp-content/uploads/Joint2012/2012_6rhoades.pdf	리빌 공정 순서(캐리어 마운트 → 백그라인드로 TSV 바닥 약 5~15μm 앞에서 정지 → 리빌 CMP가 그라인딩 손상층 제거와 Cu 노출을 겸함), 리빌면에 Si·산화막(선택적 질화막)·Cu 3종 동시 노출, CMP 목표는 높은 Si 제거율과 Cu·산화막 제거율을 맞춘 저선택비이며 표면 요구는 CMOS 배선만큼 엄격하지 않음, 직경 80μm TSV 전형 디싱 250nm 미만, 앞면 Cu CMP 디싱 0.5~1μm
S-2-45	논문	Handbook of Wafer Bonding	P. Ramm, J. J.-Q. Lu, M. M. V. Taklo (편), Wiley-VCH	2012	DOI 10.1002/9783527644223 (ISBN 9783527326464)	접착·양극·직접·금속·하이브리드 접합을 4분류로 정리한 표준 참고서. 직접 접합이 상온 예비 접합과 어닐의 2단계로 이루어진다는 기술 체계의 근거
S-2-46	기업발표	Scanning Acoustic Microscopy 기술·제품 페이지	PVA TePla	날짜 미표기	https://www.pvatepla.com/products-technologies/wafer-inspection/scanning-acoustic-microscopy/	SAM 주파수 최대 1,000MHz, 분해능 최대 0.8μm(재료·밀도 의존), 주파수를 올리면 분해능은 좋아지고 투과 깊이는 줄어드는 교환 관계, 결합 매질 감쇠는 주파수 제곱에 비례
S-2-44	기업발표	TSMC-InFO 기술 페이지	TSMC	날짜 미표기	https://3dfabric.tsmc.com/english/dedicatedFoundry/technology/InFO.htm	InFO 계열의 변형 구분. InFO-PoP 등은 유기 기판을 생략하지만 InFO-oS는 fan-out 모듈을 기판에 실장

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-2-43	논문	Panel CMP Co-planarization of Heterogeneous Interfaces for Damascene Organic Interposers (L/S = 2/2 μm)	K. To, M. Minami, S. Katoh(Resonac), IEEE ECTC 2026, pp.594-598, 논문 14.2	2026-05	DOI 10.1109/ECTC51846.2026.00100	9.5 레티클 인터포저는 300mm 웨이퍼에서 4개만 취득되어 320×320mm·515×510mm 패널로 이행. L/S 2/2μm 이하에서 SAP 한계로 다마신 전환, 유전체 슬러리가 Ti를 깎지 못해 배리어메탈 슬러리가 별도로 필요하며 H_2O_2 농도 2배로 Cu와 유전체 제거율 정합. 잔류 단차 100nm 미만, 폴리머면 RMS 0.776nm, Ti 잔류 없음, φ5μm 비아 층간 정렬 최대 2.6μm
S-2-48	기업발표	Kulicke & Soffa Advances AI Infrastructure Through Co-Packaged Optics (CPO) and Advanced Packaging Leadership	Kulicke & Soffa	2026-09-01	https://investor.kns.com/2026-09-01-Kulicke-Soffa-Advances-AI-Infrastructure-Through-Co-Packaged-Optics-CPO-and-Advanced-Packaging-Leadership	"first commercially available Fluxless Thermo-Compression (FTC) solution", 산화막 제거는 통합 플라즈마·포름산·병용 중 선택, CPO로 적용 확대, 수치 없음
S-2-49	뉴스	TSMC, HBM 패키징 당분간 '마이크로범프'…협력사에 5μm 숙제	전자신문	2026-09-02	https://www.etnews.com/20260902000223	소재업계 전언: TSMC가 협력사에 5μm급 접합·언더필 개발 요청, 5μm는 범프 높이(HBM3E 15~25μm, HBM4 약 10μm), 5μm급 양산 "내후년 하반기"(2028년 하반기) 추정, TSMC는 HBM4 후반~HBM5 초입까지 마이크로범프 전망, HBM5·20단 이전 hybrid bonding 미도입은 SK하이닉스 Hot Chips 로드맵으로 귀속
S-2-50	뉴스	Hanwha Semitech Showcases Hybrid Bonder, FOPLP Equipment at SEMICON Taiwan	디일렉(영문판)	2026-09-02	https://www.thelec.net/news/articleView.html?idxno=13580	SEMICON Taiwan 2026에서 SHB2 Nano(2026년 2월 개발), SFM5 Expert(2025년 양산 진입 후 수주), SFM5 TnR, 600×600mm 사각 패널 FOPLP 장비 SFM5 Square(실물 첫 공개) 전시, 고객사 비공개
S-2-51	뉴스	한미반도체, 대만 파운드리 기업에 패키징 장비 대량 공급…양산 라인 확보	전자신문	2026-09-02	https://www.etnews.com/20260902000340	업계 전언: 대만 파운드리에 2.5D 본딩 장비 두 자릿수 이상 공급, 계약 상대·규모 비공개, 한국산 2.5D 장비의 대만 파운드리 양산 퀄 통과·배치는 처음
S-2-52	기업발표	Taiyo Holdings Launches Next-generation Semiconductor-packaging Material "FPIM Series," Achieving Its First Three-layer RDL Formation with 700-nm CD on 12-inch Wafers	Taiyo Holdings(PR Newswire 배포)	2026-09-10	https://en.prnasia.com/releases/apac/taiyo-holdings-launches-next-generation-semiconductor-packaging-material-fpim-series-achieving-its-first-three-layer-rdl-formation-with-700-nm-cd-on-12-inch-wafers-547339.shtml	imec 공동연구, 12인치 웨이퍼 3층 RDL, 배선·비아 700nm CD, 네거티브형 i-line 감광성 절연재, dual damascene·CMP 적합성, IEEE ESTC 2026(9월 9~11일) 발표, 2025년부터 R&D 샘플 출하, 다음 목표 500nm 이하 CD
S-2-53	뉴스	'HBM 더 높이' 속도전에도… SK하이닉스 "하이브리드 본딩 수율 90% 포기 못해" [칩칩팹팹]	헤럴드경제	2026-09-20	https://biz.heraldcorp.com/article/10878772	김지훈 SK하이닉스 아메리카 시니어 디렉터가 9월 9일 새너제이 SEMI "AI 컴퓨팅의 미래" 콘퍼런스 패널에서 "90~98%의 수율", "3~5년의 수명"을 타협 불가 기준으로 제시. "HBM4E 16단 또는 HBM5 20단부터 도입"은 업계 전망으로 서술
S-2-54	뉴스	한미반도체, AI 반도체 2.5D 패키징 장비 'FC 본더 75' 첫 출하	전자신문	2026-09-22	https://www.etnews.com/20260922000221	회사 발표(22일 밝힘): 75×75mm 대형 인터포저 지원 FC 본더 75 글로벌 고객사 첫 출하, 기존 범용 20×20mm 대비 대면적, 올해 FC 본더 3.5·2.5D TC 본더 40 C2S·C2W 출시, 2.5D TC 본더 120 출시 예정

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-2-55	기업발표	Brewer Science to Present High-Temperature-Stable Laser-Release Material and Join AI-Era Supply Chain Panel at IMAPS 2026	Brewer Science	2026-09-24	https://www.brewerscience.com/news-imaps-2026/	9월 30일 IMAPS 2026 발표 예고: BrewerBOND C1301 계열 접착제 조합으로 최대 350°C 공정에서 구조 유지, 308nm·355nm UV 레이저 분리, 고온 공정 후 용제 세정, Si·유리·에폭시 컴파운드 접착

Day 2 교차 조사 인용 출처 (C-2-xx)

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
C-2-04	뉴스	Hot Chips 2026: SK hynix pushes hybrid bonding to HBM5 as AI memory hits 775-micron ceiling	Tom's Hardware	2026-08-24	https://www.tomshardware.com/tech-industry/semiconductors/sk-hynix-says-hybrid-bonding-wont-be-ready-for-hbm4e-as-ai-memory-runs-into-a-775-micron-ceiling	S-2-13과 같은 기사이며, 제목의 HBM5 시점은 회사 확정이 아니라 기자의 추론으로 구분해야 한다는 교차 조사 판정의 근거
C-2-08	기업발표	TSMC-SoIC 기술 페이지	TSMC	날짜 미표기	https://3dfabric.tsmc.com/english/dedicatedFoundry/technology/SoIC.htm	공식 설명은 sub-10μm bonding rule이며 특정 고객 제품의 양산 피치는 명시하지 않음
C-2-12	논문	Development of face-to-face and face-to-back ultra-fine pitch Cu-Cu hybrid bonding	Sony, ECTC 2022	2022	https://www.sony.com/ja/SonyInfo/technology/publications/development-of-face-to-face-and-face-to-back-ultra-fine-pitch-cu-cu-hybrid-bonding/	Sony 공식 연구 결과는 F2F 1μm, F2B 1.4μm이며 CIS 양산 사양으로 일반화할 수 없음
C-2-18	뉴스	The current state of Hybrid Bonding in 2026	Tom's Hardware	2026-09-02	https://www.tomshardware.com/tech-industry/semiconductors/hybrid-bonding-roadmap-examined	새 원발표가 아니라 기존 정보를 재정리한 종합 보도이며 제공 기술과 출하 제품 피치를 구분
C-2-29	논문	Modeling, Design and Fabrication of Ultra-thin and Low CTE Organic Interposers at 40μm I/O Pitch	Georgia Tech·MGC·Ushio, ECTC 2015(2016-04 재수록)	2016-04	https://www.ushio.co.jp/jp/technology/lightedge/201604/content_file/file/102196_jp.pdf	해석 입력값으로 Si 2.6, Cu 17 ppm/K를 사용하며 저CTE 유기 코어의 반례도 제시

Day 3

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-3-01	기업발표	CoWoS 공식 기술 페이지	TSMC	2026-09-19 확인	https://3dfabric.tsmc.com/english/dedicatedFoundry/technology/cowos.htm	CoWoS-S/R/L의 인터포저 구조 구분 1차 출처. CoWoS-L 첫 양산 크기 3.5x와 CoWoS-S 최대 3.3x를 구분
S-3-02	기업발표	TSMC-SoIC 공식 기술 페이지	TSMC	2026-09-19 확인	https://3dfabric.tsmc.com/english/dedicatedFoundry/technology/SoIC.htm	범프리스 hybrid bonding 3D 적층 구조 1차 출처
S-3-03	기업발표	TSMC Debuts A13 Technology at 2026 North America Technology Symposium	TSMC	2026-04-22	https://pr.tsmc.com/english/news/3302	CoWoS 14 레티클 2028, SoW-X 40 레티클 2029, SoIC A14 2029, COUPE on substrate 2026 양산의 1차 발표문
S-3-04	기술블로그	TSMC Technology Symposium 2026 Overview	SemiWiki	2026-04	https://semiwiki.com/semiconductor-manufacturers/tsmc/368690-tsmc-technology-symposium-2026-overview/	인터포저 3.3에서 14 레티클 초과, HBM 24스택, SoW 40 레티클 초과 정리

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-3-05	기술블로그	TSMC Releases New Roadmap, Rolls Out...	Mark Lapedus Substack	2026-04-23	https://marklapedus.substack.com/p/tsmc-releases-new-roadmap-rolls-out	14 레티클 2028 양산, 14 레티클 초과 2029라는 연도 구분 원문
S-3-06	뉴스	TSMC details next-gen CoWoS roadmap: over 14-reticle packages and 48x leap in compute by 2029	Tom's Hardware	2026-04	https://www.tomshardware.com/tech-industry/semiconductors/tsmcs-details-next-gen-cowos-roadmap-over-14-reticle-packages-and-48x-leap-in-compute-power-expected-by-2029-massive-size-enables-24-hbm5e-stacks-and-additional-memory-bandwidth-jump	"2029년 연산 48배" 표현을 쓸 경우 특정해야 할 출처 기사
S-3-07	기업발표	TSMC 3DFabric Alliance 공식 파트너 페이지	TSMC	2026-09-19 확인	https://www.tsmc.com/english/dedicatedFoundry/oip/3dfabric_alliance	Substrate 파트너가 IBIDEN·Toppan·Unimicron 3사임을 직접 확인, 삼성전기·Shinko 미등재
S-3-08	뉴스	TSMC to establish advanced packaging hub in Kaohsiung industrial park	Focus Taiwan	2026-09-02	https://focustaiwan.tw/business/202609020006	가오슝 바이푸 3ha 공급사 캠퍼스, 검증효율 25~50% 개선, CoWoS 캐파 2027년까지 연평균 80% 이상 성장
S-3-09	분석기관	TSMC's CoWoS-L/S Reportedly Fully Booked, OSAT Partners Step Up with ASE's CoWoP	TrendForce	2025-12-08	https://www.trendforce.com/news/2025/12/08/news-tsmcs-cowos-l-s-reportedly-fully-booked-osat-partners-step-up-with-ases-cowop-in-focus/	월 75~80K에서 2026년 말 120~130K 목표, CoWoS OSAT 이전의 근거
S-3-10	분석기관	TSMC Reportedly Targets 22% 2nm, 16%+ 3nm Capacity Boost by Mid-2027; CoWoS to Double by 2028	TrendForce (경제일보 인용)	2026-09-14	https://www.trendforce.com/news/2026/09/14/news-tsmc-reportedly-targets-22-2nm-16-3nm-capacity-boost-by-mid-2027-cowos-to-double-by-2028	CoWoS 2026년 말 약 130K에서 2028년 말 260K 배증 전망
S-3-11	분석기관	Mizuho lifts TSMC CoWoS capacity forecasts as server CPU demand surges	Mizuho / Yahoo Finance	발행일 미확인	https://finance.yahoo.com/technology/articles/mizuho-lifts-tsmc-cowos-capacity-224423833.html	2027년 월 190~200K wpm 상향, 근거는 Vera CPU·서버 CPU 수요. 발행일을 확인하지 못해 날짜 인용은 S-3-63을 쓴다
S-3-12	분석기관	TSMC Advanced Packaging CapEx Projected to Grow 24% CAGR in 2025-27; AP7 Eyes WMCM, CoPoS	TrendForce	2026-01-21	https://www.trendforce.com/news/2026/01/21/news-tsmc-advanced-packaging-capex-projected-to-grow-24-cagr-in-2025-27-chiayi-ap7-targets-wmcm-and-copos/	자이 AP7의 WMCM·SoIC·CoPoS 계획과 타이난 AP8 가동 일정
S-3-13	분석기관	SCHMID Flags TSMC Panel-Level Packaging Push: 310x310mm Progress, Glass Integration Under Review	TrendForce	2026-05-19	https://www.trendforce.com/news/2026/05/19/news-equipment-maker-schmid-flags-tsmc-panel-level-packaging-push-310x310mm-progress-glass-integration-under-review/	CoPoS 패널 규격 310×310mm와 유리 통합 검토를 장비사가 확인
S-3-14	뉴스	TSMC targets 2029 for panel-level CoPoS packaging in AI chip push	DigiTimes / Yahoo Finance	2026	https://finance.yahoo.com/technology/ai/articles/tsmc-targets-2029-panel-level-195738716.html	CoPoS 양산 시점을 2029년으로 보는 전망, 2028년설과 병존

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-3-15	분석기관	Silicon Photonics Race Intensifies as TSMC Targets 2026 COUPE Production	TrendForce	2026-04-01	https://www.trendforce.com/news/2026/04/01/news-silicon-photonics-race-intensifies-as-tsmc-targets-2026-coupe-production-samsung-eyes-2029-cpo-turnkey/	COUPE 2026년 양산 진입의 근거
S-3-16	분석기관	TSMC Targets 2H26 COUPE on Substrate	TrendForce	2026-05-18	https://www.trendforce.com/news/2026/05/18/news-tsmc-targets-2h26-coupe-on-substrate-nvidia-could-eye-long-term-substrate-deals-amid-cpo-push/	"COUPE on Substrate 2026년 하반기 양산 목표" 원문
S-3-17	기업발표	Amkor and TSMC to Expand Partnership and Collaborate on Advanced Packaging in Arizona	Amkor IR	2024-10-03, 2026 갱신	https://ir.amkor.com/news-releases/news-release-details/amkor-and-tsmc-expand-partnership-and-collaborate-advanced	애리조나 피오리아에서 InFO·CoWoS 턴키, 10년 계약으로 확장
S-3-18	뉴스	TSMC SoIC 3D stacking roadmap outlines path from 6-micron pitches today to 4.5-micron in 2029	Tom's Hardware	2026-09-02	https://www.tomshardware.com/tech-industry/semiconductors/tsmc-soic-3d-stacking-roadmap-outlines-path-from-6-micron-pitches-today-to-4-5-micron-in-2029-fujitsus-monaka-cpu-to-benefit-from-face-to-face-chiplet-stacking	SoIC 피치 6μm에서 2029년 4.5μm, 노드 적층 N3P-on-N4에서 A14-on-A14
S-3-19	기술블로그	Hybrid Bonding in 2026: TSMC Ships 6μm While Its Newest Disclosed Customer Stacks at 9μm	NineScrolls	2026-09-04	https://ninescrolls.com/news/hybrid-bonding-in-2026-tsmc-ships-6-m-while-its-newest-disclosed-customer/	Intel Foveros Direct 현행 9μm·차세대 3μm, JEDEC 높이 상향으로 HBM hybrid bonding 지연
S-3-20	기업발표	Foveros Direct 3D Technology Brief	Intel	2025-11	https://www.intel.com/content/dam/www/central-libraries/us/en/documents/2025-11/foveros-direct-3d-tech-brief.pdf	Foveros S/R 36μm 마이크로범프, Foveros Direct 3D sub-10μm, EMIB 3.5D 정의의 공식 문서
S-3-21	뉴스	Intel Foundry Roadmap Update: 18A-PT enables 3D die stacking, 14A enablement	Tom's Hardware	2026	https://www.tomshardware.com/pc-components/cpus/intel-foundry-roadmap-update-new-18a-pt-variant-that-enables-3d-die-stacking-14a-process-node-enablement	18A-PT 상단 die 접합 피치 5μm 미만, Clearwater Forest의 Foveros Direct 3D 적용
S-3-22	뉴스	Intel's EMIB-T packaging technology set for fab rollout this year	Tom's Hardware	2026	https://www.tomshardware.com/tech-industry/semiconductors/intels-emib-t-heads-for-fab-rollout-this-year	EMIB-T의 2026년 팹 전개와 AI 가속기 대상 설계
S-3-23	기술블로그	Intel Envisions 16 Compute Dies and 24 HBM5 Modules in a Single Package	TechPowerUp	2026	https://www.techpowerup.com/344398/intel-envisions-16-compute-dies-and-24-hbm5-modules-in-a-single-package	EMIB-T 12 레티클 확장, 120×180mm 패키지, 브리지 38개 초과
S-3-24	기업발표	Amkor-Intel Partnership Expands US EMIB Packaging Capacity	Amkor	2025-12	https://amkor.com/blog/amkor-intel-partnership-expands-us-emib-packaging-capacity/	Intel EMIB 조립의 Amkor 송도·포르투갈·애리조나 외주 구도

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-3-25	뉴스	Intel reportedly in talks with Google and Amazon over advanced packaging	Tom's Hardware	2026	https://www.tomshardware.com/tech-industry/semiconductors/intel-reportedly-in-talks-with-google-and-amazon-over-advanced-packaging	Google·Amazon의 EMIB/EMIB-T 관심, 세 회사 확인 거부, Foveros-B/R 2027 HVM
S-3-26	기업발표	Intel's U.S. Advanced Packaging Enables Next-Generation AI Semiconductors	Intel Newsroom	2026	https://newsroom.intel.com/intel-foundry/intels-us-advanced-packaging-enables-next-generation-ai-semiconductors	뉴멕시코 Fab 9 등 미국 내 첨단 패키징 거점 소개
S-3-27	분석기관	Intel Reportedly Starts Glass Substrate Licensing	TrendForce	2025-08-22	https://www.trendforce.com/news/2025/08/22/news-intel-reportedly-starts-glass-substrate-licensing-offering-potential-boost-to-samsung-and-absolics/	Intel 유리기판 라이선싱 개시 보도
S-3-28	기업발표	Advanced Heterogeneous Integration (Cube-S/E/R/T/H)	삼성전자 파운드리	2026-09-19 확인	https://semiconductor.samsung.com/foundry/advanced-package/advanced-heterogeneous-integration/	3.3x 인터포저+HBM 8개 fully qualified 문구, ISC 3,000nF/mm² 귀속, Cube-T 양산 준비·Cube-H 6μm 미만 개발의 1차 출처
S-3-29	기술블로그	IFTLE 553: Samsung Foundry Update; Amkor/GlobalFoundries Venture	3DInCites	2023-04	https://www.3dincites.com/2023/04/iftle-553-samsung-foundry-update-amkor-globalfoundries-venture/	I-Cube S 8 구성과 25μm/4μm 피치 로드맵의 독립 교차 근거
S-3-30	기업발표	Going Beyond the Limits with Advanced Heterogeneous Integration	삼성 테크블로그	2025	https://semiconductor.samsung.com/news-events/tech-blog/going-beyond-the-limits-with-advanced-heterogeneous-integration/	4μm 피치 hybrid copper bonding을 2026년에 지원한다는 기술블로그 문구
S-3-31	기업발표	Samsung Announces Availability of H-Cube 2.5D Integration Solution	삼성반도체 뉴스룸	2021-11	https://semiconductor.samsung.com/news-events/news/samsung-announces-availability-of-its-leading-edge-2-5d-integration-h-cube-solution-for-high-performance-applications/	H-Cube 상용 발표, fine-pitch 기판+HDI 2단 하이브리드
S-3-32	기업발표	Samsung Electronics Partners with Amkor Technology on H-Cube	Amkor	2021-11	https://amkor.com/blog/samsung-electronics-partners-with-amkor-technology-on-the-development-of-leading-edge-h-cube-solution/	H-Cube가 삼성전기·Amkor 공동 개발임을 보여 주는 파트너 측 발표
S-3-33	뉴스	Samsung unveils SAINT 3D packaging trio	KED Global	2023-11	https://www.kedglobal.com/korean-chipmakers/newsView/ked202311120002	SAINT-S/L/D 3종 구성의 최초 공개 보도
S-3-34	기업발표	Samsung Presents Its Vision for Next-Generation AI Infrastructure with 3D Memory Architecture at FMS 2026	삼성 테크블로그	2026-08	https://semiconductor.samsung.com/news-events/tech-blog/samsung-presents-its-vision-for-next-generation-ai-infrastructure-with-3d-memory-architecture-at-fms-2026/	SAINT-D 진화형 zHBM과 zNAND-O 개념 공개
S-3-35	기업발표	삼성반도체 패키지 기술 페이지	삼성전자	2026-09-19 확인	https://semiconductor.samsung.com/kr/technologies/package/	팬아웃의 일반 효과(소형화 40%, 두께 30%, 열성능 15%) 공식 수치

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-3-36	뉴스	삼성전자, 온양캠퍼스 HBM 신규팹 다음달 착공: 6조원 규모	ZDNet Korea	2026-08-19	https://zdnet.co.kr/view/?no=20260819171714	온양 6조원, 38만 9,825㎡, 9월 착공 보도
S-3-37	뉴스	아산 삼성 HBM 공장 착공 협약, 생산유발 약 2.6조원	경향신문	2026-07-22	https://www.khan.co.kr/en/article/202607221318017	아산시-삼성 협약, 10월 착공 목표, 클린룸 31,000㎡, 2029년 5월 양산
S-3-38	기업발표	Synopsys Advances Power and Performance for AI and Multi-Die Designs at SAFE Forum 2026	Synopsys	2026-05-28	https://news.synopsys.com/2026-05-28-Synopsys-Advances-Power-and-Performance-for-AI-and-Multi-Die-Designs-on-Latest-Samsung-Foundry-Processes-at-SAFE-Forum-2026	삼성 HCB 3D 테스트칩 위 3DIC Compiler 멀티피직스 사인오프 검증
S-3-39	분석기관	Samsung May Announce New Gwangju Advanced Packaging Base by End-June	TrendForce	2026-06-10	https://www.trendforce.com/news/2026/06/10/news-samsung-may-announce-new-gwangju-advanced-packaging-base-by-end-june-as-capacity-expansion-continues/	광주 첨단 패키징 신규 거점 검토 보도
S-3-40	분석기관	Top 10 OSAT Companies of 2024 Revealed	TrendForce	2025-05-13	https://www.trendforce.com/presscenter/news/20250513-12577.html	ASE $18.54B(44.6%), Amkor $6.32B, JCET $5.0B(+19.3%), 상위 10사 $41.56B가 2024 회계연도 실적임을 확인
S-3-41	데이터셋	Amkor Technology (AMKR) Financials	stockanalysis.com	2026-09-19 확인	https://stockanalysis.com/stocks/amkr/financials/	Amkor 2024년 $6.318B, 2025년 $6.708B(+6.2%) 실적 대조용
S-3-42	데이터셋	ASE Technology (ASX) Financials	stockanalysis.com	2026-09-19 확인	https://stockanalysis.com/stocks/asx/financials/	ASE 2024년 NT$595.4B, 2025년 NT$645.4B 실적 대조용
S-3-43	기술블로그	The ABF Substrate Bottleneck	datagravity	2025	https://www.datagravity.dev/p/the-abf-substrate-bottleneck	Ibiden 약 35%, Shinko 약 18%, Unimicron 약 14%, AT&S 약 10%, Nan Ya 약 5% 추정 판본
S-3-44	뉴스	TSMC's 3D Fabric Alliance Brings Together Substrate Companies	아시아경제 (대만 經濟日報 인용)	2026-05-02	https://www.asiae.co.kr/en/article/2026043014033228020	삼성전기·Shinko·Nan Ya·Zhen Ding 신규 기판 파트너 포함설의 원 보도, 공식 명단 미반영
S-3-45	학회	2026 IEEE ECTC Technical Tipsheet (Revised, with images)	IEEE EPS / ECTC	2026	https://ectc.net/wp-content/uploads/2023/03/2026-ECTC-REVISED-Technical-Tipsheet-with-images.pdf	Paper 6.3 TSMC CoWoS 파괴역학, 18.4 Applied Materials 450nm hybrid bonding 98% 수율, 14.2 Resonac 패널 CMP L/S 2/2μm, 28.2 USHIO 18 레티클 무스티칭 노광, 37.15 TSMC CoWoS-R 보드레벨 신뢰성
S-3-46	논문	Warpage in wafer-level packaging: a review of causes, modelling, and mitigation strategies	Frontiers in Electronics	2025-02-03	https://doi.org/10.3389/felec.2024.1515860	FOWLP warpage의 원인·모델링·완화 전략 종합 리뷰
S-3-47	논문	Warpage prediction and optimization in ultra-thin fan-out panel-level packaging substrates via equivalent CTE correction and multi-layer shell element modeling	Yang 외, J Mater Sci: Mater Electron 36:2098	2025-11-19	https://doi.org/10.1007/s10854-025-16224-6	대상은 몰드가 아니라 Cu/BT 또는 PP/소다유리 FOPLP 적층 기판이다. 경화 수축을 등가 CTE로 보정하면 warpage 예측 오차가 27.6%에서 10.6%로 줄고, 중간층 CTE를 Cu에 맞추면 곡률이 48.2% 낮아진다
S-3-48	논문	Review on Fan-Out Packaging of Light-Emitting Diodes: Process Route, Manufacturing Reliability, and Performance Optimization	Li 외, ASME J. Electron. Packag. 148(1):010802	2026-03 (온라인 2025-10-23)	https://doi.org/10.1115/1.4069750	응용은 mini/micro-LED 팬아웃이다. die shift 원인을 고무상 구간의 높은 CTE와 낮은 탄성계수로 규정하고, 더미 배치 34.91%·교차 배치 45% 이상의 warpage 저감을 보고한다

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-3-49	논문	YAP+: Pad-Layout-Aware Yield Modeling and Simulation for Hybrid Bonding	arXiv (Z. Chen, P. Gupta)	2025-10-20	https://doi.org/10.48550/arXiv.2511.05506	오버레이·파티클·Cu 리세스·표면 조도·패드 밀도를 함께 다루는 hybrid bonding 수율 모델
S-3-50	논문	CMOS 2.0: Redefining the Future of Scaling	arXiv / ICCAD 2025 (M. Brunion et al.)	2025-10-06	https://doi.org/10.48550/arXiv.2510.04535	기하학적 스케일링에서 미세 3D 적층으로의 전환 논거
S-3-51	논문	Network Design for Wafer-Scale Systems with Wafer-on-Wafer Hybrid Bonding	arXiv (P. Iff et al.)	2026-03-05	https://doi.org/10.48550/arXiv.2603.05266	웨이퍼 대 웨이퍼 hybrid bonding으로 레티클 간 초고대역폭을 확보하는 웨이퍼 규모 통합 설계
S-3-52	표준·로드맵	HIR 2025 Rev 0.9 Chapter 15: Materials and Interfaces for Advanced Packaging	IEEE EPS Heterogeneous Integration Roadmap	2026-05 공개	https://eps.ieee.org/wp-content/uploads/2026/05/HIR_15_Materials-and-Interfaces-Rev0.9.pdf	첨단 패키징 소재·계면의 표준 로드맵 시각
S-3-53	기술블로그	Hybrid Bonding Process Flow: Advanced Packaging Part 5	SemiAnalysis	2024-02-09	https://semianalysis.com/2024/02/09/hybrid-bonding-process-flow-advanced/	SiO/SiCN 유전체와 Cu 패드 접합, 범프·언더필 소멸 구조 해설
S-3-54	기술블로그	2nm·先進封裝 TSMC 특용화학품 공급망 해설	vocus	2025	https://vocus.cc/article/69799d60fd89780001e0336d	三福化의 CoWoS·InFO 스트리퍼 진입 서술의 원출처, 시점·성장률·AP7/8 물량은 교차 확인 불가
S-3-55	분석기관	Who Will Divide Up the CoWoS Production Capacity in 2026?	36Kr	2026	https://eu.36kr.com/en/p/3580962946874242	2026년 CoWoS 캐파 배분 추정 (NVIDIA, AMD, Broadcom/Google TPU, Meta, OpenAI)
S-3-56	분석기관	Advanced Packaging Demand Soars: Nvidia Secures 60% of CoWoS Capacity	Astute Group	2026	https://www.astutegroup.com/news/industrial/advanced-packaging-demand-soars-nvidia-secures-60-of-cowos-capacity/	NVIDIA가 CoWoS 전체 약 60%, CoWoS-L 약 70% 선점 추정
S-3-57	기술블로그	AMD Positions Instinct MI400 Against NVIDIA Vera Rubin	TechPowerUp	2026	https://www.techpowerup.com/342826/amd-positions-instinct-mi400-against-nvidia-vera-rubin-mi500-coming-in-2027	AMD MI400 계열이 CoWoS-S에서 CoWoS-L로 전환
S-3-58	기업발표	Integrated Fan-Out (InFO) Wafer Level Packaging	TSMC	2026-09-19 확인	https://3dfabric.tsmc.com/english/dedicatedFoundry/technology/InFO.htm	InFO-PoP·InFO-oS 등 InFO 계열 변형의 공식 분류
S-3-59	분석기관	ABF Substrate Market, Trends, Business Strategies 2026-2033	Semiconductor Insight	2026	https://semiconductorinsight.com/report/abf-substrate-market/	상위 5사 합계 74%·개별 18% 미만 판본, Ibiden 피닉스 $1.2B·월 30,000패널·CHIPS $320M
S-3-60	기술블로그	Intel and Amkor Team Up to Scale EMIB Packaging Production	TechPowerUp	2026	https://www.techpowerup.com/343510/intel-and-amkor-team-up-to-scale-emib-packaging-production	Amkor 애리조나 1단계 월 25,000장, 2027년 중반 완공, 2028년 초 생산
S-3-61	기술블로그	SEMICON Taiwan 2026 하이라이트 6가지 (UBS·Citi·Nomura 리포트 인용 정리)	All Weather Finance (금융 블로그)	2026-09-07	https://allweatherfinance.com/this-years-semiconductor-highlights-advanced-packaging-evolves-towards-3d-system-integration-cpo-manufacturing-bottlenecks-lie-in-testing/	CoWoS의 OSAT 이전, 5.5 레티클 CoWoS 수율 98% 초과(UBS 인용), CPO 양산 가속. 증권사 리포트의 3차 전재이며 원 리포트 미열람
S-3-62	분석기관	TSMC CoWoS Supply-Demand Gap Reportedly Seen Narrowing from 20% to 10% by End-2026	TrendForce	2026-06-15	https://www.trendforce.com/news/2026/06/15/news-tsmc-cowos-supply-demand-gap-reportedly-seen-narrowing-from-20-to-10-by-end-2026-as-capacity-expands/	수급 격차 20→10% 원출처. TSMC 단독 캐파와 OSAT 포함 업계 총계를 구분해야 함

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-3-63	뉴스	外資瑞穗證券上修台積電先進製程與先進封裝產能 (Mizuho 개정 전망 전재)	TechNews	2026-07-01	https://finance.technews.tw/2026/07/01/foreign-firm-mizuho-securities-revised-its-forecast-for-tsmcs-advanced-process-and-packaging-capacity-upwards/	Mizuho 개정 전망: 2026년 140,000장, 2027년 190,000~200,000장. 연말·평균 정의는 불명확
S-3-64	기업발표	Samsung Electronics To Provide Turnkey Semiconductor Solutions with 2nm GAA Process and 2.5D Package to Preferred Networks	Samsung Newsroom	2024-07-09	https://news.samsung.com/global/samsung-electronics-to-provide-turnkey-semiconductor-solutions-with-2nm-gaa-process-and-2-5d-package-to-preferred-networks	Cube-S(구 I-Cube S)의 유일한 공개 외부 고객 사례, 가온칩스 설계 협력
S-3-65	분석기관	JEDEC Finalizes HBM4 Standard, Potentially Easing Pressure on Hybrid Bonding Adoption	TrendForce	2025-04-21	https://www.trendforce.com/news/2025/04/21/news-jedec-finalizes-hbm4-standard-potentially-easing-pressure-on-hybrid-bonding-adoption/	JESD270-4 HBM4 표준이 12단·16단 공칭 두께를 775μm로 완화 확정
S-3-66	분석기관	JEDEC Reportedly Plans to Relax HBM Height Specs to ~900µm, Potentially Slowing Hybrid Bonding Adoption	TrendForce	2026-04-01	https://www.trendforce.com/news/2026/04/01/news-jedec-reportedly-plans-to-relax-hbm-height-specs-to-900%C2%B5m-potentially-slowing-hybrid-bonding-adoption/	HBM4E부터 약 900μm 추가 완화가 검토 단계라는 보도
S-3-67	뉴스	Hot Chips 2026: SK hynix pushes hybrid bonding to HBM5 as AI memory hits 775-micron ceiling	Tom's Hardware	2026-08 (발표 2026-08-23)	https://www.tomshardware.com/tech-industry/semiconductors/sk-hynix-says-hybrid-bonding-wont-be-ready-for-hbm4e-as-ai-memory-runs-into-a-775-micron-ceiling	SK하이닉스 패키지 엔지니어링 임원 발언: HBM4E까지 Advanced MR-MUF, hybrid bonding은 빨라야 HBM5
S-3-68	기업발표	Amkor Technology Announces Phase 2 of Arizona Advanced Packaging Facility	Amkor IR	2026-09-08	https://ir.amkor.com/news-releases/news-release-details/amkor-technology-announces-phase-2-arizona-advanced-packaging	총 계획투자 $12B, 클린룸 약 93,000㎡, 2단계 2027년 말 착공·2029년 말 완공
S-3-69	분석기관	Samsung Electro-Mechanics, LG Innotek Ramp Up AI Substrate Capacity as 1H Utilization Reportedly Nears 90%	TrendForce	2026-08-27	https://www.trendforce.com/news/2026/08/27/news-samsung-electro-mechanics-lg-innotek-ramp-up-ai-substrate-capacity-as-1h-utilization-reportedly-nears-90/	삼성전기는 공급, LG이노텍은 협의 단계로 보도되어 사업 단계가 다름
S-3-70	뉴스	突破AI資料中心瓶頸 三星打造3D記憶體與儲存解決方案	CNA 중앙통신사	2026-09-01	https://www.cna.com.tw/news/afe/202609010167.aspx	삼성 SEMI Memory Executive Summit의 CUBE(Capacity·Utilization·Bandwidth·Efficiency) 전략과 zHBM. 파운드리 Cube 라인업과 별개
S-3-71	뉴스	CoWoS不減、CoPoS接力 台積電延後下單仍有其盤算	DIGITIMES	2026-09-01	https://www.digitimes.com.tw/tech/dt/n/shwnws.asp?CnlID=1&id=0000766912_6DQLTEI800ZEUF32HWJ8T	CoPoS 310×310mm, 2026년 하반기 장비·소재 검증, 초기 증산 2028H2~2029 공급망 전망
S-3-72	뉴스	Intel launches 288-core Clearwater Forest Xeon 6 on 18A process	The Register	2026-06-01	https://www.theregister.com/systems/2026/06/01/intel-launches-288-core-clearwater-forest-xeon-6-on-18a-process/5248150	Xeon 6+ 정식 출시, 18A 컴퓨트 12개·Intel 3 베이스 3개·Intel 7 I/O 2개 구성

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-3-73	기술블로그	JEDEC Agrees to Relax HBM4 Package Thickness	TechPowerUp	2024-03	https://www.techpowerup.com/320314/jedec-agrees-to-relax-hbm4-package-thickness	720μm에서 775μm로의 완화를 전한 2024년 3월 JEDEC 위원회 합의 보도로, 이 수치의 최초 출처 계열이다 (TweakTown·ZDNet Korea 동일 사건 보도)
S-3-74	분석기관	IT/전기전자 Meta Trend: EMIB이 끌고, Vera가 밀고	유진투자증권	2026-05-26	https://consensus.hankyung.com/analysis/downpdf?report_idx=649642	제품별 CoWoS 변형 분류(MI350은 S, MI450은 L)와 기판업체 지도, 캐파 전망
S-3-76	논문	Fracture Analysis for CoWoS Reliability Improvement	Yew 외(TSMC), 2026 IEEE 76th ECTC, Paper 6.3	2026	https://doi.org/10.1109/ECTC51846.2026.00045	EMC/Si 계면 박리가 먼저 시작되어 EMC 대각 균열을 유발하며 두 모드가 서로를 촉진한다. EMC 실패 위험은 CoWoS-S·L이 CoWoS-R보다 낮고 원인은 인터포저 강성이다. 완화책은 기판·스티프너 CTE 저감과 die 둘레 EMC 폭 축소
S-3-75	표준·로드맵	JEDEC and Industry Leaders Collaborate to Release JESD270-4 HBM4 Standard: Advancing Bandwidth, Efficiency, and Capacity for AI and HPC	JEDEC Solid State Technology Association	2025-04-16	https://www.jedec.org/news/pressreleases/jedec%C2%AE-and-industry-leaders-collaborate-release-jesd270-4-hbm4-standard-advancing	HBM4 표준 JESD270-4의 공식 발간 보도자료. 2,048비트 인터페이스, 핀당 8Gb/s, 스택당 최대 2TB/s, 채널 16→32. 헤드라인 스펙에 패키지 높이 조항은 없으므로 775μm의 근거로 쓰지 않는다
S-3-77	기업발표	삼성전기, 'KPCA Show 2026'서 AI·서버용 차세대 반도체 패키지기판 기술 선보여	삼성전기 뉴스룸	2026-09-10	https://samsungsem.co.kr/kr/newsroom/news/view.do?id=10521	KPCA Show 2026(09-09~11, 송도)에서 2.5D, 실리콘 인터포저 없는 2.1D, 유리기판, UTCSP, 차량용 FCBGA 등 5개 기판 기술 전시
S-3-78	기업발표	차세대 반도체 기술 총집합! 'KPCA Show 2026'에서 만난 LG이노텍	LG이노텍 뉴스룸	2026-09-21	https://news.lginnotek.com/1668	KPCA Show 2026 전시 후기. 휨을 줄이는 유리 코어 기판, 수동소자 코어 내장(embedding), Cu-Post, FC-BGA 전시. 신규 수주 발표 없음
S-3-79	분석기관	CSP ASIC Demand Fuels Advanced Packaging Evolution	TrendForce	2026-09-11	https://www.trendforce.com/research/download/RP260911JY3	공개 요약: CoWoS-L 2028년에도 주류, EMIB-T 대안 부상, 차세대 AI용 FOPLP 성숙은 2028년까지 기다려야 함
S-3-80	분석기관	AI Chip Packaging Pushes Beyond Reticle Limits, with CoWoS-L Set to Remain the Mainstream Advanced Packaging Solution Through 2028	TrendForce Press Center	2026-09-18	https://www.trendforce.com/presscenter/news/20260918-13241.html	CoWoS-L 성숙도·수율 우위로 2028년까지 주류 전망. NVIDIA·AMD·Meta MTIA 400은 CoWoS-L, Maia 200은 CoWoS-S, Google 2027년 EMIB-T 채택 예상, AWS EMIB 시험
S-3-81	뉴스	Samsung expands packaging R&D	Advanced Packaging News	2026-09-14	https://advancedpackaging.news/article/125355/Samsung_expands_packaging_RandD	요코하마 Advanced Package Lab 약 6,600㎡, 연구자 약 95명(2027년 100명 이상), 2024년 시작 5년 400억 엔 투자 계획의 일부, chiplet·접합·인터포저·기판 실장 연구, 협력사 50여 곳
S-3-82	뉴스	矽品傳亞利桑那州布局將定案 台廠在美先進封測受矚	중앙통신사 CNA	2026-09-14	https://www.cna.com.tw/news/afe/202609140202.aspx	SPIL 애리조나 계획 확정 단계라는 업계 소식통 전언, ASE는 시장 소문에 답하지 않음. ASE 2026년 capex 20억 달러 상향해 $10.5B
S-3-83	뉴스	ASE's SPIL Reportedly Nears Arizona Expansion as TSMC, Amkor Step Up U.S. Advanced Packaging Push	TrendForce News	2026-09-15	https://www.trendforce.com/news/2026/09/15/news-ases-spil-reportedly-nears-arizona-expansion-as-tsmc-amkor-step-up-u-s-advanced-packaging-push/	SPIL 애리조나 보도 후속, ASE capex $10.5B. 기관 투자자 추정 Intel EMIB-T 캐파 12인치 CoWoS 환산 2027년 월 15,000~20,000장, 2028년 월 40,000~45,000장(기관명 미상)
S-3-84	뉴스	[단독] 삼성전자, 천안서 엑시노스 패키징 접고 HBM 설비로 전환	시사저널e	2026-09-15	https://www.sisajournal-e.com/news/articleView.html?idxno=423699	업계 관계자 전언: 천안 Exynos 패키징 단계적 철수·HBM 전환, Exynos 2700부터 온양, FOWLP 대신 SbS 구조. 삼성 공식 확인 없음

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-3-85	기업발표	Samsung Foundry and Cadence Expand AI Design Ecosystem for Next-Generation AI Infrastructure and Physical AI	Samsung Foundry(ChipEstimate 재게재)	2026-09-17	https://chipestimate.tw/Samsung-Foundry-and-Cadence-Expand-AI-Design-Ecosystem-for-Next-Generation-AI-Infrastructure-and-Physical-AI/Samsung/blogs/4350	Cadence 협력 범위에 HCB 기반 3D Cube-H 명시, 양산·인증 언급 없음. 날짜는 재게재일이며 삼성 원문(semiconductor.samsung.com tech-blog)에는 발행일 표기 없음
S-3-86	뉴스	Google reportedly weighs CoWoS backup for 2027 TPU as EMIB-T substrate yields lag	DIGITIMES	2026-09-17	https://www.digitimes.com/news/a20260917PD208/google-tpu-cowos-substrate-2027.html	Google Humufish TPU, MediaTek ASIC 협력, Intel EMIB-T 채택·2027년 말 양산 예정, 기판 수율 지연으로 CoWoS 백업 검토. 본문 유료, 제목·도입부만 확인
S-3-87	뉴스	[Breaking] Intel EMIB Substrate Yields Reportedly Hit 45%, Suppliers Eye 60% by 1Q27	TrendForce News	2026-09-23	https://www.trendforce.com/news/2026/09/23/breaking-intel-emib-substrate-yields-reportedly-hit-45-suppliers-eye-60-by-1q27/	天下雜誌·ZDNet 인용: EMIB 기판 수율 2Q26 약 30%→최근 약 45%, 4Q26 50%·1Q27 60% 목표. 원인 ABF와 실리콘 브리지 CTE 차이, NCF 기포. 공급사 Ibiden·Shinko·Unimicron+삼성전기·LG이노텍 신규. Lip-Bu Tan 선급금 발언. Intel 미확인
S-3-88	뉴스	TSMC Plans Mini-Loop at Kaohsiung to Speed CoWoS Tool Validation; Reportedly Eyes AUO Site for CoPoS	TrendForce News	2026-09-21	https://www.trendforce.com/news/2026/09/21/news-tsmc-plans-mini-loop-at-kaohsiung-to-speed-cowos-tool-validation-reportedly-eyes-auo-site-for-copos/	바이푸 산업단지 2026-09-21 착공, CoWoS 투입 전 장비·공정 검증용 Mini-Loop, 검증 효율 25~50% 개선 목표, AUO 중부과학단지 부지·CoPoS 논의 보도. TSMC 공식 확인 없음
S-3-89	분석기관	UBS Research Report Analysis: CoWoS Capacity Raised to 270 kwpm	TechFlow(UBS Global IO Semiconductor Report 전재)	2026-09-22	https://www.techflowpost.com/en-US/article/34199	업계 CoWoS 캐파 2026년 말 160kwpm, 2027년 말 270kwpm(TSMC 180·ASE 70·Amkor 20). ASE 2026년 말 20kwpm. 증설분 OSAT 몫 12%→26%. 원 리포트 미열람
S-3-90	기업발표	Cadence Collaborates With TSMC to Deliver Certified Tool Solutions and Industry-Leading, Silicon-Proven UALink IP on TSMC Advanced Processes	Cadence	2026-09-23	https://newsroom.cadence.com/press-releases/press-release-details/2026/Cadence-Collaborates-With-TSMC-to-Deliver-Certified-Tool-Solutions-and-Industry-Leading-Silicon-Proven-UALink-IP-on-TSMC-Advanced-Processes/default.aspx	SoW-X 전체 설계 흐름(수백 개 chiplet, 수백만 범프), 5X 레티클 크기 CoWoS-L형 패키지 지원, COUPE와 224G SerDes IP 통합
S-3-91	기업발표	Synopsys and TSMC Partner to Accelerate AI Systems Innovation with Agentic AI and Advanced Design	Synopsys	2026-09-23	https://investor.synopsys.com/news/news-details/2026/Synopsys-and-TSMC-Partner-to-Accelerate-AI-Systems-Innovation-with-Agentic-AI-and-Advanced-Design/default.aspx	CoWoS IVR 지원, COUPE 광전 공동설계, 3DIC Compiler 기반 chiplet floorplanning 흐름
S-3-92	뉴스	TSMC's 5.5-Reticle CoWoS Reportedly Tops 99% Yield; Flags Memory, ABF as AI Bottlenecks	TrendForce News	2026-08-11	https://www.trendforce.com/news/2026/08/11/news-tsmcs-5-5-reticle-cowos-reportedly-tops-99-yield-flags-memory-abf-as-ai-bottlenecks/	TSMC 첨단 패키징 VP Jun He, OCP APAC Summit(2026-08-11): 5.5 레티클 CoWoS 양산 수율 98% 상회·일부 99%, 14 레티클 2028·14 초과 2029, SoIC 6μm→4.5μm(2029). TechNews·경제일보 인용 보도

Day 4

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-4-01	표준·로드맵	JEDEC and Industry Leaders Collaborate to Release JESD270-4 HBM4 Standard	JEDEC	2025-04-16	https://www.jedec.org/news/pressreleases/jedec%C2%AE-and-industry-leaders-collaborate-release-jesd270-4-hbm4-standard-advancing (표준 문서: https://www.jedec.org/standards-documents/docs/jesd270-4a)	HBM4 표준 헤드라인. 2048-bit, 핀당 8Gb/s, 스택당 2TB/s, 32채널·채널당 pseudo-channel 2개, 4/8/12/16단, 24/32Gb 다이, 최대 64GB, VDDQ 0.7~0.9V, VDDC 1.0/1.05V, DRFM, HBM3 컨트롤러 후방 호환
S-4-02	논문	Current Advances and Outlooks in Hybrid Bonding	J. H. Lau, IEEE Trans. CPMT 15(4), 651-681	2025-04	DOI 10.1109/TCPMT.2025.3533926	ECTC 2024 발표를 기업별로 묶은 31쪽 조사 리뷰(저자 자체 실험 데이터 없음). Sony 0.4μm 피치 W2W와 0.2μm Cu 패드, imec 2μm 패드 피치·Cu recess 수 nm, 플라즈마+DI 린스 상온 예비접합 후 어닐 2단 구조, W2W 대 D2W 장단 표
S-4-03	논문	Wafer to Wafer Hybrid Bonding for DRAM Applications	J. Park, B. Lee, H. Lee 외, ECTC 2022 (IEEE 72nd)	2022	DOI 10.1109/ECTC51906.2022.00030	상용 DRAM 웨이퍼에 W2W hybrid bonding을 적용한 실증(2단, 상부는 베어 Si). Cu 디싱 5nm 미만을 슬러리가 아니라 CMP 압력·회전수로 관리하고 AFM 검증. 접합 보이드는 Cu 패드 밀도에 의존(고밀도 영역의 SiCN erosion). 데이지체인 438~4,818링크 100% 통과, 기존 DRAM과 동등 수율. SiCN을 SiO2보다 높은 본드 강도로 선택
S-4-04	논문	Thermal Issues Related to Hybrid Bonding of 3D-Stacked High Bandwidth Memory: A Comprehensive Review	S.-H. Lee, S.-J. Kim, J.-S. Lee, S.-H. Rhi, Electronics 14(13), 2682	2025	DOI 10.3390/electronics14132682	HBM 3D 스택의 열 포집과 열기계 응력을 hybrid bonding 관점에서 종합한 OA 리뷰. 본딩 방식별 열저항 비교의 참조 틀
S-4-05	논문	3D Integrated Process and Hybrid Bonding of High Bandwidth Memory (HBM)	C. Y. Lee 외 9인, Electronic Materials Letters 21(3), 395-419	2025	DOI 10.1007/s13391-025-00557-9	HBM 3D 집적 공정을 TSV·박형화·접합면·갭필 축으로 정리한 소재 관점 리뷰(참고문헌 144편)
S-4-06	논문	Thermal Characterization of HBMs Integrated via Hybrid Bonding	H. Feng, Y. Han, G. Tang, L. Xie, V. Sekhar, ECTC 2025 (IEEE 75th), pp.1621-1627	2025-05	DOI 10.1109/ECTC51687.2025.00276	hybrid bonding HBM의 ANSYS Icepak 열해석(실측 아님, 검증 시험 예정). 칩 10×10mm·칩당 2.5W·콜드플레이트 25°C 조건의 12단 모델에서 상부 몰드 100μm일 때 최고 칩 온도 62.0°C, EMC 열전도율 8.7 W/m·K로 올리면 31.6°C. 몰딩 없는 흐름은 스택 온도 상승 3°C
S-4-07	논문	Effect of non-Fourier heat transport on temperature distribution in High Bandwidth Memory	Z. Zhou, Y. He, S. Liu, L. Yang, N. Yang, arXiv preprint	2025-10-09	arXiv:2510.07691 / DOI 10.48550/arXiv.2510.07691	포논 몬테카를로 해석 결과 HBM 접합 온도가 푸리에 법칙 예측보다 59.8K 높고, 계면 포논 투과율에 따라 층간 온도차가 최대 56.6K 발생
S-4-08	논문	A Review on CMP Challenges in Hybrid Wafer Bonding and Wafer Level Packaging	G. B. Basim (Intel NSG), NCCAVS CMPUG Joint UG Meeting	2023-09-13	https://nccavs-usergroups.avs.org/wp-content/uploads/2023/09/JointUG923-5-BasimGB.pdf	hybrid bonding 본딩면 CMP의 1차 기술자료. Cu recess 1~5nm는 약 400°C 어닐을 동반한 조건의 사례값이며 같은 자료에 1패스 후 5~25nm 사례도 있다. SiCN post-CMP RMS 0.10nm(SiO2 0.16, SiOxNy 0.23)는 달성 가능한 값으로 제시된다
S-4-09	기업발표	Samsung Ships Industry-First Commercial HBM4 With Ultimate Performance for AI Computing	삼성전자 반도체 뉴스룸	2026-02-12	https://news.samsungsemiconductor.com/global/samsung-ships-industry-first-commercial-hbm4-with-ultimate-performance-for-ai-computing/	11.7Gb/s(최대 13), 스택당 3.3TB/s(HBM3E 대비 2.7배), 전력효율 40%·열저항 10%·방열 30% 개선, I/O 1,024→2,048, 12단 24~36GB·16단 48GB 계획, 1c DRAM + 4nm base die, custom HBM 2027 샘플, 2026년 HBM 매출 3배 전망

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-4-10	기업발표	SK hynix Completes World's First HBM4 Development and Readies Mass Production	SK하이닉스 뉴스룸	2025-09-12	https://news.skhynix.com/sk-hynix-completes-worlds-first-hbm4-development-and-readies-mass-production/	2,048 I/O, 10Gb/s 초과(JEDEC 8Gb/s 상회), 대역폭 2배, 전력효율 40% 이상 개선, AI 서비스 성능 최대 69% 향상 기대, 1bnm DRAM, Advanced MR-MUF. "개발 완료·양산 준비 세계 최초" 한정어 원문
S-4-11	기업발표	Samsung Electronics Begins Shipment of Industry-First HBM4E Samples	삼성전자 반도체 뉴스룸	2026-05-29	https://news.samsungsemiconductor.com/global/samsung-electronics-begins-shipment-of-industry-first-hbm4e-samples/	12단 48GB, 14Gb/s(최대 16), 스택당 3.6TB/s, 1c DRAM + 4nm base die, HBM4 대비 속도 20%·에너지효율 16%·열저항 14% 이상 개선, 8단 32GB·16단 64GB 계획
S-4-12	기업발표	SK hynix Ships Samples of 12-Layer Next-Generation HBM4E	SK하이닉스 뉴스룸	2026-06-18	https://news.skhynix.com/en/sk-hynix-ships-samples-of-12-layer-next-gen-hbm4e-2/	12단 48GB, 최대 16Gb/s, 전력효율 20% 이상 개선, 열저항 약 17% 감소, Advanced MR-MUF 적용, 2027 양산 목표
S-4-13	기업발표	SK hynix 2Q 2026 Business Results	SK하이닉스 뉴스룸	2026-07-29	https://news.skhynix.com/en/q2-2026-business-results/	매출 79.3187조원, 영업이익 60.5426조원, 영업이익률 76%. HBM4 2분기 대량 출하 개시·하반기 램프업, HBM4E 상반기 샘플 완료, 약 10개 고객 LTA, P&T7 어드밴스드 패키징 팹과 M17 단계적 집행
S-4-14	기업발표	SK hynix Holds Groundbreaking Ceremony for HBM Production Base in Indiana	SK하이닉스 뉴스룸 (교차: Purdue University 뉴스룸 2026-08-27)	2026-08-28	https://news.skhynix.com/en/groundbreaking-ceremony-in-indiana/ (교차: https://www.purdue.edu/newsroom/2026/Q3/sk-hynix-breaks-ground-on-4-billion-advanced-packaging-production-facility-in-purdue-research-park/)	2026-08-27 퍼듀 리서치 파크 착공식. 총 투자 40억 달러 초과, 클린룸 2028년 10월, 차세대 HBM 양산 2029년 하반기, 약 1,000명 고용. 한국 생산 웨이퍼를 인디애나에서 패키징·테스트. 어드밴스드 패키징 R&D 테스트베드 병설, 퍼듀대와 협력 프레임워크 체결
S-4-15	기업발표	SK hynix Signs Investment Agreement of Advanced Chip Packaging with Indiana	SK하이닉스 뉴스룸	2024-04-03	https://news.skhynix.com/sk-hynix-signs-investment-agreement-of-advanced-chip-packaging-with-indiana/	투자협약 시점 기준 $3.87B 투자, 미국 첫 AI 메모리 어드밴스드 패키징·R&D 거점, 2028년 하반기 양산 목표, 1,000명 이상 고용. 착공식 시점 수치와 구분해 인용할 것
S-4-16	기업발표	Rulebreakers' Revolutions: MR-MUF Unlocks HBM Heat Control	SK하이닉스 뉴스룸 기술 해설	2024-07-30	https://news.skhynix.com/rulebreaker-revolutions-mr-muf-unlocks-hbm-heat-control/	MR-MUF 원리와 Advanced MR-MUF의 1차 출처. 방열 1.6배 개선 EMC, chip control로 40% 박형화 칩 warpage 억제, 열더미범프 TC-NCF 대비 최대 4배, HBM2E 방열 36% 개선, HBM3E 추가 10% 개선
S-4-17	기업발표	SK hynix Partners with TSMC to Strengthen HBM Technological Leadership	SK하이닉스 뉴스룸	2024-04-19	https://news.skhynix.com/sk-hynix-partners-with-tsmc-to-strengthen-hbm-technological-leadership/	HBM4 base die에 TSMC 로직 공정 채택, HBM과 CoWoS 통합 최적화, 고객·TSMC·SK 3자 "one team" MOU
S-4-18	기업발표	SK hynix Redefines Its Vision at SK AI Summit 2025: From AI Memory Provider to Creator	SK하이닉스 뉴스룸	2025-11-03	https://news.skhynix.com/sk-hynix-redefines-its-vision-at-sk-ai-summit-2025-from-ai-memory-provider-to-creator/	"Full Stack AI Memory Creator" 비전. custom HBM / AI-D / AI-N 3축, 2026-2028 HBM4 16단·HBM4E·custom HBM4E, 2029-2031 HBM5/HBM5E·custom HBM 로드맵
S-4-19	기업발표	Samsung Develops Industry-First 36GB HBM3E 12H DRAM	삼성전자 반도체 뉴스룸	2024-02-27	https://semiconductor.samsung.com/news-events/news/samsung-develops-industry-first-36gb-hbm3e-12h-dram/	Advanced TC-NCF의 1차 출처. NCF 박막화로 칩간 갭 업계 최소 7μm, 보이드 제거, 신호부 소형 범프·방열부 대형 범프 혼용, 대역폭 1,280GB/s

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-4-20	분석기관	Samsung, SK hynix Reportedly Reconsider Hybrid Bonding Timeline; 16-High HBM4E May Be Earliest Adoption	TrendForce	2026-07-07	https://www.trendforce.com/news/2026/07/07/news-samsung-sk-hynix-reportedly-reconsider-hybrid-bonding-timeline-16-high-hbm4e-may-be-earliest-adoption/	양사 도입 시점 재검토. 지연 요인 3가지(JEDEC 두께 완화, 16단 수요 미지근, 대체 방열 기술 삼성 Heat Path Block·SK하이닉스 iHBM)
S-4-21	분석기관	JEDEC Reportedly Plans to Relax HBM Height Specs to ~900µm, Potentially Slowing Hybrid Bonding Adoption	TrendForce	2026-04-01	https://www.trendforce.com/news/2026/04/01/news-jedec-reportedly-plans-to-relax-hbm-height-specs-to-900%C2%B5m-potentially-slowing-hybrid-bonding-adoption/	HBM4E 약 900µm, HBM5 최대 1,000µm 완화 논의. SK하이닉스 이강욱 부사장 "20단 이상에서 hybrid bonding 필수", 삼성 GTC 2026 hybrid bonding 시연(TC 대비 열저항 20% 이상 개선 주장)
S-4-22	분석기관	SK hynix May Stick with MR-MUF for HBM4 16-High Despite ASMPT TC Bonder Orders	TrendForce	2026-01-13	https://www.trendforce.com/news/2026/01/13/news-sk-hynix-may-stick-with-mr-muf-for-hbm4-16-high-despite-asmpt-tc-bonder-orders/	Namics 단독(100%) 언더필 공급과 계약 잔여기간 보도(단일 출처), 2025 4분기 fluxless bonding 평가 후 MR-MUF 유지 결정, CES 2026 16단 HBM4의 웨이퍼 약 30µm 박형화로 775µm 충족
S-4-23	뉴스	SK하이닉스 "HBM4 12단 양산·16단 인증 중"... 하이브리드 본딩으로 20단 이상도 준비	헤럴드경제	2026-08-24	https://biz.heraldcorp.com/article/10849575	Hot Chips 2026(2026-08-23, 실리콘밸리) 이재식 SK하이닉스 아메리카 패키지 엔지니어링 부사장 발언. HBM4 12단 양산·16단 인증 단계, 20단 이상 적층에 hybrid bonding, 범프 간격 18µm 이하 목표
S-4-24	기술블로그	SK Hynix: HBM4E remains with MR-MUF, HBM5 with Hybrid Bonding	igor'sLAB	2026-08-27	https://www.igorslab.de/en/sk-hynix-delays-hybrid-bonding-hbm4e-mr-muf-hbm5-turning-point/	같은 Hot Chips 발표의 영문 상세. HBM4E까지 MR-MUF 유지·고도화, HBM5가 최단 적용 세대, 양산 2029~2030, JEDEC 775µm는 300mm 로직 웨이퍼 두께 수준, 16단 HBM4의 메모리 다이 약 50µm
S-4-25	기술블로그	Besi faces longer wait as SK Hynix pushes hybrid bonding to HBM5	Bits&Chips	2026-08-26	https://bits-chips.com/article/besi-faces-longer-wait-as-sk-hynix-pushes-hybrid-bonding-to-hbm5/	JEDEC이 HBM 스택 높이 상한을 720µm에서 775µm로 상향한 것이 지연의 배경. 12단 양산·16단 고객 인증 상태, Applied Materials와 Besi 장비를 조합한 파일럿 hybrid bonding 라인 발주 보도
S-4-26	분석기관	Samsung Unveils Memory Roadmap at SEMICON: HBM5 Targets 2× HBM4E Performance, zHBM 8× Boost	TrendForce	2026-09-01	https://www.trendforce.com/news/2026/09/01/news-samsung-unveils-memory-roadmap-at-semicon-hbm5-targets-2x-hbm4e-performance-zhbm-8x-boost	SEMICON Taiwan 2026 발표. HBM5 성능 2배·와트당 성능 20%↑·열저항 20%↓·base die 자사 2nm·12/16/20단, 양산 2028년 전후. zHBM 성능 8배·와트당 3배·열저항 75~90%↓, 2029년 이후
S-4-27	뉴스	Samsung's HBM Market Share Jumps to 33%, Narrowing Gap With SK hynix	Seoul Economic Daily (영문판)	2026-09-03	https://en.sedaily.com/finance/2026/09/03/samsung-doubles-hbm-market-share-to-33-percent-narrowing	Counterpoint 집계 기준 삼성 HBM 매출 점유율 1Q26 21% → 2Q26 33%, SK하이닉스 50%, 격차 17%p로 축소
S-4-28	뉴스	SK Hynix 16-Layer HBM4: Where Micron, Samsung Stand	Benzinga	2026-09	https://www.benzinga.com/news/26/09/61800956/sk-hynix-16-layer-hbm4-nvidia-rubin-micron-samsung	공급망 추적 기준 SK하이닉스 48GB 16단 HBM4의 Vera Rubin향 출하(회사 공식 발표보다 앞선 내용), Vera Rubin 배분 추정치(SK 60~70%·삼성 25~30%·Micron 잔여), Micron 12단 대량생산·16단 샘플, 삼성 "16단 고객 수요 제한적" 입장

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-4-29	데이터셋	HBM Supply Race: SK hynix, Samsung and Micron from HBM3E to HBM4E - Timeline	whatledto	2026-09-18 갱신	https://whatledto.com/events/hbm-memory-supply	2026년 5~9월 3사 HBM 사건 타임라인과 출처 매핑. Micron 연말 월 6만장 캐파 확대 계획(전자신문 2026-09-04 보도 기준. 같은 보도의 "2Q26 양산" 표현은 회사 공식 발표(2026-03-16, 달력 1분기 대량 출하, S-4-45)와 어긋나므로 양산 개시 시점 근거로 쓰지 않는다), Micron HBM4E 1-gamma 2027 양산(2026-06-24), SK하이닉스-Intel 미국 생산 탐색 보도(로이터 2026-09-16, 회사는 확정 계획 없음)
S-4-30	분석기관	Tight DRAM Supply Gives Suppliers Greater Pricing Power in HBM, with HBM Contract Prices Expected to Surge Multiples Higher in 2027	TrendForce	2026-06-02	https://www.trendforce.com/presscenter/news/20260602-13074.html	상위 3사 HBM 웨이퍼 투입 비중 18%(2025 말)→22%(2026)→30%(2027), 비트 공급 비중 8%→9%→13%. 1Q26부터 HBM 웨이퍼 매출·수익성이 DDR5 64GB RDIMM에 역전. 2027년 공급 협상이 HBM4로 이동
S-4-31	분석기관	Higher DDR5 Profitability Intensifies Capacity Crowding, Strengthening HBM3e Pricing Momentum in 2026	TrendForce	2025-12-18	https://www.trendforce.com/presscenter/news/20251218-12843.html	HBM3E 대 서버 DDR5 가격 격차 4~5배 → 2026년 말 1~2배 축소 전망. 원문에 비교 단위 미명시. 원인은 DDR5 계약가 급등이며 HBM3E ASP는 2026년 소폭 상승 전망
S-4-32	뉴스	Counterpoint 2026년 HBM4 점유율 전망 보도(SK하이닉스 54%+·삼성 28%·Micron 18%)	파이낸셜뉴스	2026-07-30	https://www.fnnews.com/news/202607300531112467	2026년 HBM4 제품군 점유율 전망치. HBM 전체 매출 점유율 집계(S-4-27)와 구분해 인용할 것
S-4-33	뉴스	Nvidia Vera Rubin HBM4: Jensen Huang Confirms All Three Suppliers in Production for Q3 Ship	TechTimes	2026-06-05	https://www.techtimes.com/articles/317855/20260605/nvidia-vera-rubin-hbm4-jensen-huang-confirms-all-three-suppliers-production-q3-ship.htm	젠슨 황 방한 발언 "All three vendors have been qualified. All three vendors are in production". 3사 HBM4 인증 통과의 고객 측 공식 확인
S-4-34	분석기관	Samsung's HBM4 Yield Reportedly Hits 80% as Race to Supply Vera Rubin Heats Up; SK hynix Labor Talks Add a Twist	TrendForce	2026-08-10	https://www.trendforce.com/news/2026/08/10/news-samsungs-hbm4-yield-reportedly-hits-80-as-race-to-supply-vera-rubin-heats-up-sk-hynix-labor-talks-add-a-twist/	삼성 HBM4 수율 2026-02 양산 개시 시 60% 미만 → 2026-08 80% 도달 보도(TC-NCF 공정 개선·1c DRAM 수율 기여). SK하이닉스 노사 임금협상 5차 결렬로 생산 차질 리스크 부각. 모두 언론 보도 기준
S-4-35	뉴스	삼성전자, 온양캠퍼스 HBM 신규팹 다음달 착공…6조원 규모	ZDNet Korea	2026-08-19	https://zdnet.co.kr/view/?no=20260819171714	충남 아산 온양캠퍼스 38만 9,825㎡ 부지에 6조원 투자, HBM 등 고성능 AI 반도체 생산 신규 팹 2026년 9월 착공 예정
S-4-36	뉴스	Samsung Quantifies Hybrid-Bonding's Edge in Cooling Next-Gen HBM	TechTimes	2026-06-25	https://www.techtimes.com/articles/319056/20260625/samsung-quantifies-hybrid-bondings-edge-cooling-next-gen-hbm.htm	삼성 IEEE 논문 "System-Level Thermal Characterization of Hybrid Cu Bonding HBM with 2.5D Advanced Packaging" 보도. HCB가 TC 본딩 대비 스택 높이 15% 이상 감소·핫스팟 접합 온도 저감, 16단 HBM4E부터 TC 본딩과 병행하는 부분 채택, 전면 고수율 양산은 2029~2030년
S-4-37	기술블로그	Deep Dive on HBM	Nomad Semi	날짜 미표기(2024~2025 추정)	https://www.nomadsemi.com/p/deep-dive-on-hbm	MR-MUF가 TC-NCF 대비 평균 수율 약 20%p 우위라는 업계 분석, Namics 독점 계약, hybrid bonding 본더 가격 비교, 2028~2029 HBM5 전환 전망. 모두 업계 추정

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-4-38	뉴스	SK하이닉스 김종훈 TL "하이브리드 본딩 12단 HBM 검증 끝났다"	디일렉(The Elec)	2026-04-28	https://www.thelec.kr/news/articleView.html?idxno=55762	디일렉 컨퍼런스 발언 원문. "하이브리드 본딩으로 적층한 12단 HBM의 검증이 끝났다", "현재 양산에 적용하기 위해 수율을 높이고 있다". 구체적 수율 비공개, 경제성 문제로 MR-MUF 병행 유지
S-4-39	분석기관	SK hynix Reportedly Weighs TSMC 3nm for HBM4E Logic Dies to Gain Edge over Samsung	TrendForce	2026-03-20	https://www.trendforce.com/news/2026/03/20/news-sk-hynix-reportedly-weighs-tsmc-3nm-for-hbm4e-logic-dies-to-gain-edge-over-samsung/	HBM4는 1b DRAM core + TSMC 12nm 로직 다이, HBM4E 프리미엄(NVIDIA 플래그십·Google TPU향)은 TSMC 3nm 격상 검토. 주류 서버용은 12nm 유지
S-4-40	뉴스	Micron Hands TSMC the Keys to HBM4E	Tom's Hardware	날짜 미표기 (2025-09 이후)	https://www.tomshardware.com/micron-hands-tsmc-the-keys-to-hbm4e	Micron은 HBM4까지 base die를 in-house advanced CMOS로 생산하고, HBM4E(2027)부터 TSMC와 협력해 표준·커스텀 base die를 생산
S-4-41	뉴스	SK hynix Unveils iHBM Thermal Architecture That Cools AI Memory at the Source	Tom's Hardware	2026-05-26	https://www.tomshardware.com/tech-industry/semiconductors/sk-hynix-unveils-ihbm-thermal-architecture-that-cools-ai-memory-at-the-source-integrated-cooling-elements-inside-hbm-interface-cut-thermal-resistance-by-30-percent-target-next-gen-hbm5-accelerators-and-dense-ai-data-centers	열전도성·전기절연성을 갖춘 실리콘계 냉각요소(ICE)를 D2D PHY 직상에 내장하여 패키지 내 열저항 30% 이상 저감. 기존 MR-MUF 공정으로 구현 가능, HBM5(8세대)부터 적용 목표
S-4-42	분석기관	Samsung 12H HBM3E Reportedly Clears NVIDIA Tests After 18-Month Setback; HBM4 Reaches Final Phase	TrendForce	2025-09-22	https://www.trendforce.com/news/2025/09/22/news-samsung-12h-hbm3e-reportedly-clears-nvidia-tests-after-18-month-setback-hbm4-reaches-final-phase/	삼성 12단 HBM3E가 약 18개월 지연 끝에 NVIDIA 검증을 통과하고 세 번째 공급사로 합류했다는 보도. 회사 공식 발표가 아닌 언론 보도 기준
S-4-43	분석기관	SK hynix to Build Cheongju Advanced Packaging Fab, Boosting HBM Output by 2027	TrendForce	2026-01-13	https://www.trendforce.com/news/2026/01/13/news-sk-hynix-to-build-cheongju-advanced-packaging-fab-boosting-hbm-output-by-2027/	청주 테크노폴리스 P&T7 어드밴스드 패키징·테스트 전용 팹 19조원(약 $13B) 투자, 2026-04 착공·2027년 말 완공 목표 발표 보도
S-4-44	기업발표	CHIPS and Science Act: SK hynix Inc. (Indiana, West Lafayette)	NIST CHIPS Program Office	2024-12-19	https://www.nist.gov/chips/sk-hynix-indiana-west-lafayette	CHIPS법 직접보조금 최대 $458M과 대출 $500M 배정을 확정한 미국 정부 발표. 투자 계획 발표(2024-04-03, S-4-15)와 다른 문서·다른 날짜이므로 병기하여 인용
S-4-45	기업발표	Micron in High-Volume Production of HBM4 Designed for NVIDIA Vera Rubin, PCIe Gen6 SSD and SOCAMM2	Micron Technology	2026-03-16	https://micron.gcs-web.com/news-releases/news-release-details/micron-high-volume-production-hbm4-designed-nvidia-vera-rubin	Micron 36GB 12단 HBM4의 달력 기준 2026년 1분기 대량 출하를 회사가 공식 발표. 11Gb/s 초과 ·2.8TB/s 초과, HBM3E 대비 대역폭 2.3배·전력효율 20% 이상 개선
S-4-46	기술블로그	Gearing Up For Hybrid Bonding	L. Peters, Semiconductor Engineering	2023-10-23	https://semiengineering.com/gearing-up-for-hybrid-bonding/	활성화·정렬 조건의 1차 정리. 산소 플라즈마 기준 공정과 삼성의 Ar/N2 질소 플라즈마(산소 대비 약 2배 압력), 플라즈마로 끊어진 Si-O 결합 생성 후 DI 린스로 수산기 종단, 어닐 350°C 2시간과 나노결정 Cu 200°C 접합, 다이 배치 정밀도 100nm급, 주사음향단층촬영에서 보이드가 흰 점으로 관찰

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-4-47	기술블로그	Metrology Under Pressure: Detecting Defects in Fine-Pitch Hybrid Bonding	G. Haley, Semiconductor Engineering	2025-08-12	https://semiengineering.com/metrology-under-pressure-detecting-defects-in-fine-pitch-hybrid-bonding/	접합 후 검사의 한계. SAM·적외선·X선은 나노미터 보이드와 금속 접촉 불완전을 가릴 해상도·대비가 부족, 광학 프로파일로메트리는 묻힌 계면에 약함, AFM은 서브나노미터 수직 분해능이나 처리량 낮음. 6μm에서 5μm 이하 피치, 오버레이 오차 100nm 미만 요구
S-4-48	논문	Surface Chemistry Effects on Bond Wave Dynamics and Distortion-Induced Scaling Errors during Plasma-Activated Direct Bonding of SiCN	R. Sato, A. Nagata, R. Ogata, Y. Kim, H. Kim, J. H. Shin, A. Myalitsin, F. Inoue (요코하마국립대 외), ACS Applied Electronic Materials 8(9), 4294-4303	2026-05-12	DOI 10.1021/acsaelm.6c00446	PECVD SiCN의 플라즈마 활성화 조건과 접합 파동 전파·웨이퍼 왜곡·접합 강도의 관계. 질소 플라즈마 사용 시 접합 후 면내 변위가 커져 필드 단위 오버레이 오차와 계통적 스케일링 왜곡 위험 증가
S-4-49	뉴스	JEDEC chills on next-gen HBM4 thickness: 16-Hi stacks with current bonding tech allowed	TweakTown (ZDNet Korea 인용)	2024-03-13	https://www.tweaktown.com/news/96844/jedec-chills-on-next-gen-hbm4-thickness-16-hi-stacks-with-current-bonding-tech-allowed/index.html	HBM4 패키지 두께를 720μm에서 775μm로 완화하기로 한 JEDEC 위원회 합의(3차 협의)를 전한 보도. 12단·16단 모두 적용. 발간된 표준 조항이 아니라 위원회 합의 단계의 보도임
S-4-50	기업발표	NVIDIA NVLink Fusion Expands With NVHBM Custom High-Bandwidth Memory	NVIDIA 블로그	2026-08-26	https://blogs.nvidia.com/blog/nvlink-fusion-nvhbm/	NVIDIA 맞춤 메모리 컨트롤러를 HBM base die에 통합. HBM4E 대비 대역폭 최대 30%↑, HBM 전력 15%↓, XPU 연산 다이 면적 최대 25% 확보. 첫 협업사 Amazon Annapurna Labs
S-4-51	뉴스	삼성전자 커스텀 HBM base die 자사 4nm·TSMC 투트랙 검토 보도	글로벌이코노믹 (원출처 새미팬즈 Sammy Fans 2026-09-15 보도 인용)	2026-09-16	https://www.g-enews.com/article/Global-Biz/2026/09/202609160701121390fbbec65dfb_1	custom HBM base die를 자사 4nm와 TSMC 중 고객 요구로 선택하는 방안 검토, 커스텀 샘플 2027년 목표. 원출처가 최종 납품 계약 아닌 조건부 검토 단계라고 명시, 삼성전자 입장 없음(전언)
S-4-52	뉴스	'HBM 더 높이' 속도전에도... SK하이닉스 "하이브리드 본딩 수율 90% 포기 못해" [칩칩팹팹]	헤럴드경제	2026-09-20	https://biz.heraldcorp.com/article/10878772	2026-09-09 새너제이 SEMI "AI 컴퓨팅의 미래" 콘퍼런스 패널에서 김지훈 SK하이닉스 아메리카 시니어 디렉터가 "90~98% 수율", "3~5년 수명"을 도입 기준으로 제시(패널 발언 보도). HBM4E 16단·HBM5 20단 도입은 업계 전망 문장
S-4-53	뉴스	Samsung to Double HBM4 Output Next Year, Sources Say	서울경제(영문)	2026-09-20	https://en.sedaily.com/finance/2026/09/20/samsung-to-double-hbm4-output-next-year-sources-say	삼성 HBM 웨이퍼 투입 월 약 18만장→2027년 약 25만장, HBM4·HBM4E 비중 40%→약 80%, 유리 캐리어 외주 세정 월 2만→5만장(업계 소식통 전언)
S-4-54	뉴스	Samsung Hits 80% Yield on HBM4, Shifts Focus to Volume	서울경제(영문)	2026-09-20	https://en.sedaily.com/finance/2026/09/20/samsung-hits-80-percent-yield-on-hbm4-shifts-focus-to-volume	HBM4E 샘플 신뢰성 평가 단계 수율 70% 초과, 하반기 HBM 매출 중 HBM4 60% 초과 예상(전언)
S-4-55	분석기관	NVIDIA Rubin Ramp Delayed to 2027 on HBM Snag	TrendForce	2026-09-21	https://www.trendforce.com/research/download/RP260921NC3	HBM4 저수율이 칩 출하 제약, Rubin 본격 증산 2027년. 공급사가 12단→8단 HBM4·4e 구성 전환 평가(유료 보고서 공개 요약)
S-4-56	분석기관	HBM Market Bulletin - Sep. 22, 2026	TrendForce	2026-09-22	https://www.trendforce.com/research/download/RP260922FJ3	2027 HBM 가격 전망 상향, 8단이 2027년 출하 주류, Gb당 가격은 12단 대비 premium(유료 보고서 공개 요약)

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-4-57	뉴스	삼성전자, AMAT·베시와 하이브리드 본딩 '밀착'…HBM4E 타겟 유지	시사저널e(Daum 전재)	2026-09-23	https://v.daum.net/v/20260923103643521	Kinex 중심 HCB 장비 협력, HBM4E부터 HCB 적용 목표 유지. 내년 3월 개발 목표 시점, 화성 약 130명, HCB 수율 50%대(양산 전환 기준 60%)는 익명 전언
S-4-58	뉴스	삼성전자, 차세대 D램 'D0a' 로드맵 수정…하이브리드 본딩 앞당긴다	지디넷코리아	2026-09-23	https://zdnet.co.kr/view/?no=20260923090551	D0a를 VCT에서 셀·페리 별도 웨이퍼 후 W2W hybrid bonding하는 B1b로 전환, 양산 투자 결정 내년 중반, B1b의 HBM 적용 검토·2029년경 HBM5 목표(익명 관계자 전언)
S-4-60	뉴스	삼성·SK HBM 증설 본격화…후공정 생태계 수혜 주목	데일리한국	2026-09-27	https://daily.hankooki.com/news/articleView.html?idxno=1408496	"첫 사업인 온양 신규 팹(약 6조원)은 올해 8월 인허가를 마치고 9월 착공을 앞두고 있다". 착공식 개최 언급 없음

Day 4 교차 조사 인용 출처 (C-4-xx)

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
C-4-01	표준·로드맵	JEDEC and Industry Leaders Collaborate to Release JESD270-4 HBM4 Standard (Business Wire 전재)	JEDEC / Business Wire	2025-04-16	https://markets.financialcontent.com/stocks/article/bizwire-2025-4-16-jedec-and-industry-leaders-collaborate-to-release-jesd270-4-hbm4-standard-advancing-bandwidth-efficiency-and-capacity-for-ai-and-hpc	4.2 세대별 스펙표 주(표준 상한과 양산 제품 분리 원칙)
C-4-02	기술블로그	What Designers Need to Know About HBM3	Synopsys	날짜 미표기	https://www.synopsys.com/articles/hbm3-ip-dwtb.html	4.2 HBM2E·HBM3 행
C-4-03	기업발표	AMD Ushers in a New Era of PC Gaming With Radeon R9 and R7 300 Series (HBM 최초 채택)	AMD	2015-06-16	https://ir.amd.com/news-events/press-releases/detail/619/amd-ushers-in-a-new-era-of-pc-gaming-with-radeontm-r9-and-r7-300-series-graphics-line-up-including-worlds-first-graphics-family-with-revolutionary-hbm-technology	4.2 HBM 1세대 행
C-4-04	기업발표	Samsung Begins Mass Producing World's Fastest DRAM Based on Newest HBM Interface	삼성전자	2016-01-19	https://news.samsung.com/global/samsung-begins-mass-producing-worlds-fastest-dram-based-on-newest-high-bandwidth-memory-hbm-interface	4.2 HBM2 행
C-4-05	기업발표	SK hynix Starts Mass-Production of High-Speed DRAM, "HBM2E"	SK하이닉스	2020-07-02	https://news.skhynix.com/en/sk-hynix-starts-mass-production-of-high-speed-dram-hbm2e/	4.2 HBM2E 행
C-4-06	기업발표	Continuing to Make HBM History: The Story of SK hynix's HBM Development	SK하이닉스	2022-09-08	https://news.skhynix.com/en/the-story-of-sk-hynixs-hbm-development/	4.2 HBM·HBM3 행
C-4-07	기업발표	삼성전자, 업계 최초 36GB HBM3E 12H D램 개발	삼성전자	2024-02-27	https://news.samsung.com/kr/삼성전자-업계-최초-36gb-hbm3e-12h-d램-개발	4.2 HBM3E 행(발표 10Gb/s·1,280GB/s)
C-4-09	기업발표	Samsung Electronics Earnings Presentation, 1Q 2026	삼성전자 IR	2026-04	https://images.samsung.com/is/content/samsung/assets/global/ir/docs/2026_1Q_conference_eng.pdf	4.4 Vera Rubin용 HBM4 양산 판매 개시 문구(1차 자료)

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
C-4-14	뉴스	[모닝 리포트] "삼성전자 HBM4 수율 개선...목표가 45만원"	뉴스핌	2026-08-31	https://www.newspim.com/news/view/20260831000055	4.7 열째(LS증권 혼합 수율·믹스 추정)
C-4-23	뉴스	Hot Chips 2026: SK hynix pushes hybrid bonding to HBM5 as AI memory hits 775-micron ceiling	Tom's Hardware	2026-08-24	https://www.tomshardware.com/tech-industry/semiconductors/sk-hynix-says-hybrid-bonding-wont-be-ready-for-hbm4e-as-ai-memory-runs-into-a-775-micron-ceiling	4.3·4.7 첫째(발언의 성격이 2차 보도임을 단서로 부기)
C-4-24	기술블로그	Hybrid Bonding: Evolving into a Foundational Technology for Improving Semiconductor Performance	SK하이닉스 뉴스룸(외부 교수 기고)	2026-08-25	https://news.skhynix.com/en/tech-note-series-ep2/	4.7 아홉째(외부 기고 성격 명시)

Day 5

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-5-01	기업발표	삼성SDI, 2026년 2분기 실적 발표	삼성SDI 뉴스룸	2026-07-30	https://www.samsungsdi.co.kr/sdi-now/sdi-news/4941.html	전자재료 매출 2,498억원(+14.5% YoY)·영업이익 445억원(+34.8%), 하반기 반도체 신규 패키징 소재 중심 확대 계획
S-5-02	기업발표	삼성SDI 2026년 1분기 실적발표 컨퍼런스콜 전문	디일렉(THE ELEC)	2026-04-28	https://www.thelec.kr/news/articleView.html?idxno=55771	원문 문구는 "최근 글로벌 반도체사에 패키징 소재 신규 진입 등 해외 고객 다변화에 집중하고 있다"와 "메탈 슬러리(Metal Slurry), 고방열 패키징 소재의 매출 확대로 시장수요 이상의 성장을 추진하고 있다". 고객이 메모리사로 특정되어 있지 않으므로 IR52 자료의 해외 메모리 수출과 구분할 것
S-5-03	기업발표	삼성SDI 2025년 4분기 실적발표 컨퍼런스콜 전문	디일렉(THE ELEC)	2026-02	https://www.thelec.kr/news/articleView.html?idxno=51750	고방열 EMC 고객 신제품 최초 적용, 2026년 고방열 EMC·메탈 슬러리 주요 고객사 양산 진입은 전망으로 제시
S-5-04	기업발표	삼성SDI 2025년 3분기 실적 관련 보도	아시아타임즈	2025-10-28	https://www.asiatime.co.kr/article/20251028500304	"메탈 슬러리 포트폴리오 확대 및 AP용 고방열 EMC의 신규 고객 진입을 추진"
S-5-05	기업발표	삼성SDI 전자재료 공식 제품 페이지	삼성SDI	상시 (확인 2026-09-19)	https://www.samsungsdi.co.kr/business/electronic-materials.html	패키징 소재로 EMC·PID, 공정소재로 SOH·SOD·CMP 슬러리·EUV 소재 등재. 제품 등재 근거로만 사용하며 연혁 근거로는 쓰지 않음
S-5-06	기업발표	Materials Contributing to Thermal Management in Advanced Semiconductor Packaging (1)	Resonac 기술칼럼	발행일 미표기 (확인 2026-09-19)	https://www.resonac.com/solution/column/005.html	첨단 패키지용 과립 EMC 열전도율 3.0 W/(m·K), 좁은 갭 침투로 보이드 억제
S-5-07	기업발표	Expansion of Production Capacity for Semiconductor Encapsulation Materials at Sumitomo Bakelite (Suzhou)	Sumitomo Bakelite	2026-06(본문 표기 06-25, URL 경로 0619로 불일치)	https://www.sumibe.co.jp/english/topics/2026/it-materials/0619_01/index.html	SUMIKON EME 봉지재 생산능력 약 30% 증설, 2028년 12월경 가동, AI 데이터센터 수요 명시
S-5-08	기업발표	Resonac Increases Capacity to Produce Materials for AI Chips (NCF·TIM)	Resonac	2024-03-29	https://www.resonac.com/news/2024/03/29/3007.html	NCF·TIM에 150억엔 투자, 생산능력 3.5~5배 확대. 수직 배향 그래파이트 TIM 설명 포함
S-5-09	뉴스	반도체 지키고 열 다스린다, KCC 'AI·전기차 소재로 영토 확장'	브릿지경제	2026-09-10	https://www.viva100.com/article/20260910501184	KCC DDR5용 첨단 EMC 2025년 10월 양산 공급, 2026-09-07 국무총리 표창, PCIM 2026에서 LMC 신규 공개

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-5-10	뉴스	[특징주] 삼화페인트, 삼성SDI 반도체 패키징 소재 공급 소식	이투데이	2026-03-06	https://www.etoday.co.kr/news/view/2562532	EMC 제조용 핵심 반제품 MMB를 삼성SDI에 공급 결정, 모바일 AP 패키징 적용 후 D램·낸드 확대 기대
S-5-12	데이터셋	PTM7950 Phase Change TIM Technical Data Sheet	Honeywell	2022-12	https://www.honeywell.com.cn/content/dam/honcn/documents/advanced-materials/electrical-materials/thermal-interface-materials/ptm7000-series/PTM7950-TDS-EN%202022.12.7.pdf	열전도율 8.5 W/m·K, 열임피던스 0.04~0.08 °C·cm²/W, 150°C 1,000시간·1,000사이클 통과
S-5-13	학회	Thermal Interface Materials (TIM) Strategy for Thermal Management in AI and HPC Applications	IEEE EPS Newsletter / Jie Geng(Indium Corp.)	2026-03	https://eps.ieee.org/wp-content/uploads/2026/03/M-and-P-TC-Thermal-Interface-Materials-TIM-Strategy-for-Thermal-Management-in-AI-and-HPC-Applications-2026-IEEE-EPS-Newsletter_Final_YL2.pdf	TIM1/1.5/2 정의, 솔더 TIM 50~90 W/m·K, warpage 300~400μm 대 BLT 20~100μm, 액침 용해 실증. 공급사 저자의 기고문
S-5-14	표준·로드맵	ASTM D5470 Standard Test Methods for Thermal Transmission Properties of Thin Thermally Conductive Solid Electrical Insulation Materials	ASTM International	D5470-17(2024 재승인)	https://store.astm.org/standards/d5470	정상상태 열저항 측정, 두께 회귀로 겉보기 열전도율과 양면 접촉 저항 분리
S-5-15	표준·로드맵	ASTM E1461 Standard Test Method for Thermal Diffusivity by the Flash Method	ASTM International	E1461-13(2022)	https://www.astm.org/e1461-13r22.html	광 펄스 열확산도 α 측정, k = α·ρ·cp 환산. 벌크 전용이며 계면 저항 미포함
S-5-16	표준·로드맵	JESD22-B112 Package Warpage Measurement of Surface-Mount Integrated Circuits at Elevated Temperature	JEDEC	현행판	https://www.jedec.org/standards-documents/docs/jesd-22-b112	shadow moiré 또는 레이저 반사로 리플로우 온도 구간 warpage 측정, 측정점은 기판면, 승온 속도에 따라 값 변동
S-5-17	표준·로드맵	JESD270-4 HBM4 Standard	JEDEC	2025-04-16	https://www.jedec.org/news/pressreleases/jedec%C2%AE-and-industry-leaders-collaborate-release-jesd270-4-hbm4-standard-advancing	2,048-bit 인터페이스와 패키지 높이 규격의 1차 근거. 2026-09-19 WebFetch 시 403으로 원문 확인 실패
S-5-18	학회 보도	SK hynix HBM Packaging at Hot Chips 2026	ServeTheHome	2026-08-23	https://www.servethehome.com/sk-hynix-hbm-packaging-at-hot-chips-2026/	TC+NCF 대 MR+MUF 트레이드오프, HBM4 TSV 20,000개·베이스 범프 16,148개·12.8×11mm·775μm·48GB, iHBM 열저항 30%+. SK하이닉스 발표의 2차 보도
S-5-19	학회	Solder Thermal Interface Materials (sTIMs) for AI - ECTC 2026 정리	AtlasPCB / Priya Nair	2026-05-26	https://www.atlaspcb.com/blog/stims-ai-chip-thermal-interface-materials-ectc-2026/	인듐 sTIM 86 W/m·K·0.003~0.009 °C·cm²/W, BLT 25~75μm, 진공 포름산 리플로우로 보이드 2% 미만, 1,000사이클 통과. 2차 정리 자료
S-5-20	표준·로드맵	Material Compatibility in Immersion Cooling v1.0	Open Compute Project	2022-11-28	https://www.opencompute.org/documents/material-compatibility-in-immersion-cooling-document-version-1-0-nov-28-2022-1-pdf	단상 유전냉각액이 폴리머 TIM 매트릭스를 용해시켜 열성능 저하와 냉각액 오염을 유발
S-5-21	논문	Thermal Management and Reliability Engineering of Advanced HBM Packages: Materials, Interfaces, and Integrated Design Strategies	Micromachines 17(9) 1065	2026-09-08	DOI 10.3390/mi17091065	스택 단수 증가·피치 축소가 수직 열축적과 CTE 부정합 응력, warpage, 박리, Cu protrusion, 보이드를 동시에 심화. TIM 실효 열저항 = R_C1 + BLT/k + R_C2, 열전도 언더필 0.22→10.18 W/m·K(AlN/BN 75wt%). 수치 요구 사양표는 없음

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-5-22	논문	Thermal Issues Related to Hybrid Bonding of 3D-Stacked High Bandwidth Memory: A Comprehensive Review	Electronics 14(13) 2682	2025	DOI 10.3390/electronics14132682	MR-MUF 적용 시 메모리 칩 최대 접합 온도 14°C 저감을 보고. 자체 측정이 아니라 S-5-49의 재인용이며 기준량은 계면 열저항이 아님. 본딩 높이 절반이면 열저항 37% 감소, 유전체 k 2배는 6% 감소
S-5-23	논문	The development of thermal interface materials	Nature Electronics 8:1146-1155 / Dou, Lei, Wu, Yu	2025-12	DOI 10.1038/s41928-025-01543-7	열전도·기계적 순응성·두께·절연의 상충을 통합 엔지니어링 틀로 정리한 Perspective. BLT는 설계값이 아니라 조립 결과이며 실제가 목표의 3배를 넘는 경우가 흔하다고 지적
S-5-24	논문	Capillary Underfill Flow Simulation as a Design Tool for Flow-Optimized Encapsulation in Heterogenous Integration	Micromachines 14(10) 1885 / Stencel et al.	2023	DOI 10.3390/mi14101885	석영 필러 최대 1.5μm·67wt% 언더필, 갭 214~600μm, VOF 해석 편차 1.48~3.34%, 저전단 비뉴턴 점도 미반영 시 속도 2배 과대예측
S-5-25	논문	Effect of Organosilane Coupling Agents on Thermal, Rheological and Mechanical Properties of Silicate-Filled Epoxy Molding Compound	Materials 13(1) 177 / Šinkovec, Mušič	2020	DOI 10.3390/ma13010177	o-cresol novolac 에폭시(EEW 210)+페놀 노볼락(OHEW 105), 실란 3.7wt%에서 Tg 163.56~180.17°C, 나선유동 19.6~38.5 inch, 아미노실란이 가교시간 50% 단축·토크 2~3배
S-5-26	논문	Rheological Properties and Thermal Conductivity of Epoxy Resins Filled with a Mixture of Alumina and Boron Nitride	Polymers 11(4) 597 / Mai, Lee, Park, Lee	2019	DOI 10.3390/polym11040597	Al_2O_3 68.82 vol% + BN 5.32 vol%에서 4.44 W/m·K(BN 0일 때 2.77), BN 최적 5.3 vol%
S-5-27	논문	Preparation of Phenolic Epoxy-Based Electronic Packaging Materials with High Thermal Conductivity by Creating an Interfacial Heat Conduction Network	Polymers 17(11) 1507 / Ye et al.	2025-05	DOI 10.3390/polym17111507	순수 에폭시 0.36, Al_2O_3 90wt% 1.19, Si_3N_4 60wt%+CNT 2wt% 1.14 W/m·K로 무기 필러 30%p 절감
S-5-28	학회	Non-Conductive Film (NCF) Underfill: Materials, Performance, and Evolution to Next Generation Devices	IMAPS Device Packaging Conference	2016	https://imapsource.scholasticahq.com/api/v1/articles/67660-non-conductive-film-ncf-underfill-materials-performance-and-evolution-to-next-generation-devices.pdf	NCF 4성분(film-forming resin·에폭시·잠재성 경화제·산성 플럭스)과 평균 100nm급 나노 실리카 필러 설계
S-5-29	분석기관	Thermal Interface Materials Market	Precedence Research	2025	https://www.precedenceresearch.com/thermal-interface-materials-market	TIM 2025년 $4.62B → 2035년 $13.64B, CAGR 11.44%. 2025년 그리스·접착제류 40% 점유
S-5-30	분석기관	Thermal Interface Materials 2026-2036: Technologies, Markets and Forecasts	IDTechEx	2026	https://www.idtechex.com/en/research-report/thermal-interface-materials/1116	2036년 약 $7.5B 전망
S-5-31	분석기관	Advanced Semiconductor Packaging Materials Market - Global Forecast to 2036	Research and Markets(리셀러)	2026-09-15	https://www.globenewswire.com/news-release/2026/09/15/3361718/28124/en/advanced-semiconductor-packaging-materials-market-global-forecast-to-2036.html	AP 소재 전체 2026년 $13.9B → 2036년 $39.4B, CAGR 11.0%. 리셀러 보도자료 기반 2차 추정이며 원 조사기관·판본 미표기
S-5-32	분석기관	Epoxy Molding Compound (EMC) for Advanced Packaging Market	Market Report Analytics 외	2025~2026	https://www.marketreportanalytics.com/reports/epoxy-molding-compound-emc-for-advanced-packaging-179893	AP용 EMC 2025년 약 $654M, CAGR 6.4%. Sumitomo Bakelite 단독 약 18.2%(2025판)~20%(2026판), AP용 3사 합산 약 40%. 모두 추정치, 요약 페이지만 확인
S-5-33	분석기관	Liquid cooling to reach 53% of AI chip deployments in 2026	TrendForce 보도자료	2026-08-17	https://www.trendforce.com/presscenter/news/20260817-13183.html	AI 칩 액체냉각 침투율 2025년 약 33% → 2026년 53% → 2027년 60% 근접

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-5-34	분석기관	Non-Conductive Film for Semiconductor (HBM) - Global Market Share and Ranking	QYResearch	2024~2030 전망	https://www.qyresearch.com/reports/3152648/non-conductive-film-for-semiconductor--hbm	HBM용 NCF는 Resonac·Henkel·Namics 3사 약 99% 점유【단일 조사기관 추정, 원출처 미확인, 보류 대상】
S-5-35	분석기관	SK hynix May Stick With MR-MUF for HBM4 16-High amid Fluxless Bonding Evaluation	TrendForce	2026-01-13	https://www.trendforce.com/news/2026/01/13/news-sk-hynix-may-stick-with-mr-muf-for-hbm4-16-high-despite-asmpt-tc-bonder-orders/	Namics 독점 공급과 계약 만료 임박을 서술. "약 1년"과 "100%"는 이 기사에 없고 S-5-44에 있음. 웨이퍼 30μm 박형화 서술 포함
S-5-36	뉴스	TSMC to Keep Microbump for HBM Packaging for Now, Tasks Suppliers with 5μm Challenge	BigGo Finance(편집팀 명의, DIGITIMES와 동일 사안 보도)	2026-09-02	https://finance.biggo.com/news/b93d6948-619b-4de5-bc33-f1e7fe904d37	HBM4 범프 높이 약 10μm·HBM3E 15~25μm, 5μm급 양산 2027년 하반기 추정, 과제는 무보이드 언더필·플럭스 잔사·정렬. JEDEC 높이 상한 775μm 양산 시점의 연도는 전재 과정의 오역이며 전자신문 원보도(2026-09-02)는 "내후년 하반기", 즉 2028년 하반기다
S-5-37	기술블로그	HBM Leads The Way To Defect-Free Bumps	Semiconductor Engineering	2025-11-11	https://semiengineering.com/hbm-leads-the-way-to-defect-free-bumps/	HBM3E 범프 피치 30~20μm, HBM4 10μm급 전망, 웨이퍼 20μm 박형화 전망, 음향 검사 보이드 검출 한계 10μm
S-5-38	뉴스	덕산하이메탈 "AI서버·車전장 소재 공략해 위기 돌파"(대표 인터뷰)	한국경제	2025-11-17	https://www.hankyung.com/article/2025111789701	HBM에는 자사 솔더볼이 쓰이지 않고 내부 미세 접합은 직접 솔더 도금 방식이라고 회사 대표가 직접 설명
S-5-39	뉴스	덕산하이메탈 기업IR자료 분석	치킨스탁	2026-08-09	https://www.chickstockfi.com/analysis/15	2026년 1분기 별도 매출 426억원(+63% YoY)·별도 영업이익 23억원, 일반 솔더볼 254억·마이크로/코어드 104억. "일반 솔더볼 국내 점유율 70%로 국내 1위", 마이크로솔더볼은 "글로벌 최고 수준의 기술력", 초미세 30μm
S-5-40	분석기관	SK hynix Introduces iHBM Solution, Targets HBM5 Adoption with 30% Thermal Resistance Reduction	TrendForce	2026-05-26	https://www.trendforce.com/news/2026/05/26/news-sk-hynix-introduces-ihbm-solution-targets-hbm5-adoption-with-30-thermal-resistance-reduction/	실리콘계 냉각요소(ICE)를 D2D PHY 직상에 배치, 열저항 30% 이상 저감, HBM5 등 차세대 적용 계획
S-5-41	분석기관	Samsung, SK hynix Plan New Heat Dissipation Technologies Starting HBM5	TrendForce	2026-06-05	https://www.trendforce.com/news/2026/06/05/news-samsung-sk-hynix-plan-new-heat-dissipation-technologies-starting-hbm5-three-memory-makers-approaches-in-focus/	삼성 HPB 관련 보도. 열저항 최대 16%는 Exynos 적용 사례이며 HBM 적용 효과가 아님
S-5-42	뉴스	삼성전자, LG화학과 차세대 NCF 공동 개발	전자신문	2024-02-28	https://www.etnews.com/20240228000307	삼성전자가 Resonac 단독 의존을 줄이기 위해 LG화학과 차세대 NCF를 공동 개발
S-5-43	뉴스	TSMC reportedly asks suppliers to develop 5μm HBM microbumps	DIGITIMES	2026-09-02	https://www.digitimes.com/news/a20260902VL218/tsmc-hbm-materials-equipment-technology.html	TSMC가 소재·장비 공급사에 5μm급 마이크로범프 본딩과 언더필 기술 개발을 요구했다는 1차 보도. 유료 구간으로 본문 일부만 확인
S-5-44	뉴스	SK하이닉스, HBM4 플럭스리스 '시기상조'...MR-MUF 지속	딜사이트	2026-01-12	https://dealsite.co.kr/articles/154849	"나믹스와의 소재 독점 계약 기간이 1년가량 남은 것으로 알고 있다", "평가 결과가 기대치를 충족하지 못해 기존의 어드밴스드 MR-MUF 공정을 계속 쓰기로 했다". 모두 익명 "반도체 업계 한 관계자" 발언의 단일 출처

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-5-45	기업발표	삼성SDI, '고방열 EMC'로 IR52 장영실상 수상	삼성SDI 뉴스룸	2026-09-19	https://news.samsungsdi.com/ko/articleView?seq=496	고방열 EMC의 IR52 장영실상 37주차 수상. "모바일 AP 및 DRAM 등 초박형·고집적 반도체에 적용돼 우수한 품질과 신뢰성을 인정받고 있다". 뉴스룸 원문에는 국내 2사 양산 승인·단독 공급·해외 메모리 수출 문장이 없으며 해당 내용은 S-5-48에만 있음
S-5-46	뉴스	[속보] 덕산하이메탈, 2분기 영업이익 101억원…전년 동기대비 290%↑	CBC뉴스	2026-08-06	https://www.cbci.co.kr/news/articleView.html?idxno=595331	2026년 2분기 연결 잠정치 매출 907.5억원(+58.1% YoY, +32.1% QoQ), 영업이익 100.8억원(+290.6%), 순이익 124.4억원. 1분기 연결 영업손실에서 흑자 전환(원문 "전분기 6억6800만원 영업손실" = 약 6.7억원이며, 앞선 판에서 67억원으로 적은 것은 단위 오독이었음. 확정치는 S-5-50)
S-5-47	기업발표	삼성SDI 2025년 4분기 및 연간 실적 발표 자료	삼성SDI IR	2026-02-02	https://www.samsungsdi.co.kr/upload/download/ir/2025.4Q_IR_Final_Kr.pdf	고방열 EMC 최초 적용 대상을 Mobile AP/Memory로 명시. HBM용 소재는 개발 계획으로 기재되며 정량 물성·고객명 없음
S-5-48	뉴스	[iR52 장영실상] 스마트폰 '뜨거운 두뇌' 식힌다…방열 3배 높인 신소재	매일경제(네이트 전재)	2026-09-17	https://m.news.nate.com/view/20260917n33330	필러를 실리카에서 알루미나로 바꾼 세계 최초 성공. "지난해 상반기 국내 반도체 제조사 두 곳으로부터 양산 승인… 단독 공급", "올해부터는 해외 메모리 업체로도 수출". 회사 설명 기준 D램용 방열 15% 이상·AP용 3배 이상 우수(경쟁사 대비). 제목의 "방열 3배"는 기자 표현
S-5-49	논문	A Study on the Advanced Chip to Wafer Stack for Better Thermal Dissipation of High Bandwidth Memory	IEEE 73rd ECTC 2023, pp.878-882 / Lee, S.; Park, J.; Moon, J.-K.; Kim, M.; Lee, G.; Lee, K.	2023	DOI 10.1109/ECTC51909.2023.00151	MR-MUF를 HBM chip-to-wafer 적층에 적용해 8단 HBM을 실증한 연구. 동일 DRAM 동작 조건에서 메모리 칩 최대 접합 온도 14°C 저감의 원출처
S-5-50	기업발표	덕산하이메탈 2026년 1분기 IR Book	덕산하이메탈	2026-05	https://www.dshm.co.kr/IR_Reference/IR_Report/2026/DSHM_2026_1Q_IR_KR.pdf	1Q26 별도 매출 426억·영업이익 23억(OPM 5.4%), 연결 단순합산 매출 687억(+56% YoY)·연결 영업이익 -7억. 연결 적자는 자회사(덕산에테르씨티 -19억 등) 일회성 비용 영향이며 본업은 흑자. SB 국내 M/S 70%, MSB 글로벌 Top-tier로 표기
S-5-51	학회	Thermal Interface Material and Immersion Coolant Compatibility for Single-Phase Immersion Cooling	2025 MRS Fall Meeting / Purdue University 연구진	2025	https://www.mrs.org/meetings-events/annual-meetings/archive/meeting/presentations/view/2025-mrs-fall-meeting/2025-mrs-fall-meeting-4379106	TIM 4종과 냉각액 4종을 교차 비교. 실리콘계 TIM과 실리콘 오일 조합을 단상 액침의 유망 조합으로 평가하여 폴리머 TIM 전면 배제론을 반박. 장기 신뢰성 보증은 아님
S-5-52	논문	Enhanced Thermal Conductivity of Epoxy Composites Filled with Al2O3/Boron Nitride Hybrids for Underfill Encapsulation Materials	Polymers 13(1) 147 / Lee Sanchez 외 8인	2021	DOI 10.3390/polym13010147	필러 고유값(마이크로 Al_2O_3 29, BN 면내 220 W/m·K)과 컴파운드값(순수 에폭시 0.22 → Al_2O_3+BN 80wt% 1.72 W/m·K)을 한 논문에서 대비. 필러 고유값과 배합값의 자릿수 차이 근거
S-5-53	논문	High Thermal Conductivity of Submicrometer Aluminum Nitride Thin Films Sputter-Deposited at Low Temperature	ACS Nano / Perez 외	2023	DOI 10.1021/acsnano.3c05485	약 600nm AlN 박막의 열전도율이 반응성 스퍼터 조건에 따라 약 36~104 W/m·K로 3배 변동. AlN 박막 고유값 근거
S-5-54	논문	Thermal conductivity of aluminium nitride thin films prepared by reactive magnetron sputtering	J. Phys. D: Appl. Phys. 45(1) 015301	2012	DOI 10.1088/0022-3727/45/1/015301	결정 구조에 따라 AlN 막의 열전도율이 2~170 W/m·K로 갈리며, 치밀한 (002) 배향막에서 약 170 W/m·K 달성. AlN 벌크급 상한 근거

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-5-55	논문	Underfill: A Review of Reliability Improvement Methods in Electronics Production	Polymers 17(16) 2206 / Plachy, Prazanova, Dusek, Geczy	2025	DOI 10.3390/polym17162206	필러 최대 입경은 갭 높이의 1/3 이하(거칠기 고려 시 3:1 권고, 이상 조건 2.1배). MUF 진공 몰딩 무결함 최소 갭 50μm, 실리카 80wt% 초과 가능, 입도 최적화로 83.5wt% 유지하며 점도 최대 70% 저감. CUF 예열 70~100°C·최종 경화 최대 160°C
S-5-56	표준·로드맵	ASTM D3123 Standard Test Method for Spiral Flow of Low-Pressure Thermosetting Molding Compounds	ASTM International	D3123-09(2017), 최신판 D3123-25	https://www.astm.org/Standards/D3123.htm	6.9 MPa 미만 저압 성형 컴파운드의 나선 유동 측정법. 업계 관행 EMMI-1-66 기준 금형 175°C·이송 압력 6.9 MPa·경화 120초
S-5-57	논문	Epoxy molding compound encapsulation process in IC packaging: a review at wafer and component levels	Int. J. Adv. Manuf. Technol. 142:3281-3305 / Othman 외 4인	2026-01	DOI 10.1007/s00170-025-17196-x	warpage는 화학적 경화 수축과 CTE 부정합 열수축의 합. CTE 기준선 Si 약 4·Cu 약 17·EMC 약 7~9 ppm/°C, 40vol% 실리카계 필러가 CTE를 66~79% 저감. 표면개질 실리카 70wt%에서 k 0.787 W/m·K로 실리카 단독계의 1 W/m·K 문턱 확인
S-5-58	뉴스	TSMC, HBM 패키징 당분간 '마이크로범프'...협력사에 5μm 숙제	전자신문 / 이형두	2026-09-02	https://www.etnews.com/20260902000223	S-5-36의 원보도. "5μm급 범프 양산은 내후년 하반기로 추정된다"(= 2028년 하반기). HBM3E 범프 15~25μm·HBM4 약 10μm, 일본 소재사 15μm 이하 품질 보증 곤란. HBM5·20단 이전 하이브리드 본딩 미도입은 SK하이닉스 Hot Chips 2026 발언, TSMC는 HBM4 후반~HBM5 초입까지 더 미세한 마이크로범프 전망
S-5-59	분석기관	[News] TSMC Eyes Chip-Level Microchannel Cooling as AI System Power Could Rise 6× in Five Years	TrendForce	2026-09-02	https://www.trendforce.com/news/2026/09/02/news-tsmc-eyes-chip-level-microchannel-cooling-as-ai-system-power-could-rise-6x-in-five-years/	TSMC James Chen SEMICON Taiwan 2026 발표 정리. 시스템 전력 5년 약 6배, 패키지 전력 약 600W→4,100W, CoWoS 3.3배→14배 초과 레티클, 콜드플레이트+TIM → lid 내 마이크로채널 → 제트 충돌·2상 비등, 공동 최적화로 열저항 최대 약 40% 저감
S-5-60	기업발표	事業説明会 主な質疑応答議事録 (2026年9月8日)	Sumitomo Bakelite IR	2026-09-17	https://www.sumibe.co.jp/ir/library/presentation/files/2026/q_0908.pdf	고열전도 봉지재 채택 경쟁 "ほぼ全勝に近い成果", 과립재 매출 FY2026에 FY2025 대비 배증 전망, 수요 요인 위성통신·AI 관련 메모리, 2~3년 후 과립재 생산능력 최소 2배 필요, 중국 신공장 추가 라인 2028년 말 가동 예정. 게시일은 IR 목록 기준
S-5-61	기술블로그	Why Package Digital Twins Are So Hard To Build	Semiconductor Engineering / Gregory Haley	2026-09-17	https://semiengineering.com/why-package-digital-twins-are-so-hard-to-build/	Brewer Science Hanlin Chen: 데이터시트의 CTE·탄성률·접착력·점도는 한 조건·한 시점 값, 물성은 경화도에 따라 변하고 CTE는 Tg 부근에서 변해 고정값 취급 시 시뮬레이션-실리콘 격차 발생
S-5-62	기업발표	IR52 장영실상 2026년 37주차 수상제품: 삼성SDI 모바일용 고방열 EMC	IR52 장영실상	2026-W37(37주차 게시)	https://www.ir52.com/award/weekly.asp?jscd=087&smenu=award&stitle=weekly&wk=37&yy=2026	STARCOM 고방열 모델 3종, 알루미나 열전달 필러, 열전도도 DRAM용 3.5·AP용 2.5 W/m·K, 경화 시간 250초→110초(56% 단축), 독자 촉매. 측정법·온도·필러 함량 미공개. 날짜는 37주차 페이지 표시 기준
S-5-63	뉴스	삼성SDI, 반도체용 '고방열 EMC'로 장영실상 수상	디일렉	2026-09-21	https://www.thelec.kr/news/articleView.html?idxno=62558	실리카 대신 알루미나 적용, "독자 개발한 촉매 기술을 더해 방열 특성과 성형성, 고강도 물성을 동시에 확보", 2015년부터 고방열 소재 기술 개발, 적용처 모바일 AP·DRAM. 열저항 개선 비율 수치 없음

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-5-64	뉴스	"HBM 수율·수명 충족해야 하이브리드 본딩 도입"	헤럴드경제	2026-09-21	https://biz.heraldcorp.com/article/10880501	김지훈 SK하이닉스 아메리카 시니어 디렉터(9월 9일 SEMI 주최 행사, 새너제이): 하이브리드 본딩 도입 조건 수율 90~98%·수명 3~5년, 도입 시점 전망이 HBM4에서 HBM4E 16단 또는 HBM5 20단으로 이동
S-5-65	뉴스	[ET톡]한국산 HBM, 그사이 '한 줄'은 일본산	전자신문 / 이형두	2026-09-21	https://www.etnews.com/20260921000341	기자 칼럼. 언더필 양산 레시피의 일본 소재기업 비중 대다수, 국산의 소켓 오픈 봉쇄, 2019년 수출규제 때 2차 공급선 선례, 주력 옆 정규 창구 개방 제안. 수치 없음
S-5-66	분석기관	Thermal Interface Materials Market Advances as AI Data Centers and EVs Increase Demand for Efficient Thermal Management	SNS Insider (GlobeNewswire)	2026-09-22	https://www.globenewswire.com/news-release/2026/09/22/3366036/0/en/thermal-interface-materials-market-advances-as-ai-data-centers-and-evs-increase-demand-for-efficient-thermal-management.html	TIM 시장 2025년 $4.41B → 2035년 $12.13B, CAGR 10.65%(2026~2035). PCM 약 12.40%, 데이터센터·통신 약 13.10%, 2025년 아시아태평양 약 39.65%. 분석기관 추정
S-5-67	기업발표	Indium Corporation to Highlight Materials Solutions Powering the AI Revolution at IMAPS Symposium	Indium Corporation	2026-09-25	https://www.indium.com/press-releases/indium-corporation-to-highlight-materials-solutions-powering-the-ai-revolution-at-imaps-symposium/	IMAPS 2026(보스턴) 전시 예고, 전시 9월 29~30일. 1,000W 초과 기기용 sTIM, 가압 Cu 소결 InFORCE29, 무가압 배치 오븐 소결 InBAKE29
S-5-68	기업발표	Indium Corporation Experts to Present Advanced Packaging, AI, and High-Performance Computing Materials Solutions at IMAPS Symposium	Indium Corporation	2026-09-25	https://www.indium.com/zh/press-releases/indium-corporation-experts-to-present-advanced-packaging-ai-and-high-performance-computing-materials-solutions-at-imaps-symposium/	9월 30일 발표 예고. Bi-free·In 함유 저온 솔더 페이스트 피크 리플로 최저 210°C, 언더필·몰딩 컴파운드 호환 초저잔사 플립칩 플럭스, fluxless 솔더링용 접착제

Day 5 교차 조사 인용 출처 (C-5-xx)

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
C-5-06	기업발표	Special Molding Compound for Power Control Module	Sumitomo Bakelite	발행일 미표기	https://www.sumibe.co.jp/english/solution/mobility/electric_vehicle/power_module.html	G720/G780/G785의 Tg 195/195/240°C 공개. k·CTE·필러 함량은 미공개이며 HBM용 자료가 아님
C-5-07	기업발표	Epoxy Molding Compounds for Lead Frame(CEL 시리즈)	Resonac	발행일 미표기	https://eu.resonac.com/project/cel_leadflame/	CEL-9240 ZHF10HT3W: k 3 W/m·K, Tg 125°C, CTE α1/α2 12/38 ppm/K, 굽힘 탄성률 30 GPa, 성형 수축률 0.15%. lead-frame용
C-5-08	기업발표	Material for Power Device and Electronic Components - Molding Compound	Nagase ChemteX / Nagase Europa	2023	https://www.nagase.eu/wp-content/uploads/2023/05/NCX-Molding-Compound.pdf	T-700/R-5601: k 4.2 W/m·K(Xe flash), 필러 91wt%, Tg 70°C(DMA), CTE 12/44 ppm/K, 평균 입경 47μm, 점도 1,000 Pa·s(25°C)
C-5-12	분석기관	Epoxy Molding Compounds for Encapsulation Global Market Insights 2026-2031	Prof Research / Research and Markets	2026-01판	https://www.researchandmarkets.com/reports/6216222/epoxy-molding-compounds-encapsulation-global	봉지용 EMC 2026년 $580M~$780M, CAGR 3.2~6.2%. Sumitomo Bakelite 약 40% 추정(HBM용 점유율 아님)
C-5-14	기업발표	LOCTITE ECCOBOND E 1172 A Technical Data Sheet	Henkel	2020-06	https://datasheets.tdx.henkel.com/LOCTITE-ECCOBOND-E-1172-A-en_GL.pdf	모세관 언더필: 필러 65~68wt%, 점도 17,000 mPa·s, TMA Tg 135°C, CTE 27 ppm/°C, 흡수율 1.5%/24h 비등. "25 μm geometries" 표기이며 pitch 단정 불가

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
C-5-16	기업발표	삼성전자, COMPUTEX 2026에서 AI 시대 반도체 경쟁력의 새로운 기준을 제시하다	삼성전자	2026-06 행사	https://semiconductor.samsung.com/kr/news-events/tech-blog/samsung-showcases-next-generation-ai-semiconductor-innovations-at-computex-2026/	HPB(Heat Path Block) 정의, HBM4E 기반 검증 중이며 HBM5부터 적용 계획
C-5-18	기업발표	m2TIM and Liquid Metal Thermal Interface Materials, PDS 99600 R4	Indium Corporation	2025	https://www.indium.com/wp-content/uploads/2025/01/m2TIM%E2%84%A2-and-Liquid-Metal-Thermal-Interface-Materials-PDS-99600-R4-1.pdf	Indalloy 51E(66.5Ga/20.5In/13Sn) k 37 W/m·K(85°C), 융점 11°C. 인듐 프리폼과 액체금속 합금을 구별
C-5-20	분석기관	HBM Thermal Management and TIM Market	Mordor Intelligence	2026-09-11 갱신	https://www.mordorintelligence.com/industry-reports/hbm-thermal-management-and-tim-market	2025년 $0.31B → 2026년 $0.41B → 2031년 $1.71B, CAGR 32.9%. heat spreader·능동냉각 포함이라 TIM 단독 시장과 다르며 추정 기준 시점은 2026년 1월
C-5-21	분석기관	Thermal Interface Materials Market - Global Forecast 2026-2032	360iResearch / Research and Markets	2026-09판	https://www.researchandmarkets.com/reports/5305544/thermal-interface-materials-market-global	전체 TIM 2026년 $4.6B → 2032년 $7.95B, CAGR 9.4%. AI 가속기 전용 TAM이 아님
C-5-24	뉴스	덕산하이메탈, KPCA쇼서 솔더볼·마이크로솔더볼 등 반도체 소재 선봬	전자신문	2026-09-09	https://www.etnews.com/20260909000055	솔더볼·MSB·코어드 솔더볼·페이스트·플럭스·코퍼 포스트 전시. HBM 내부 스택용 신규 양산 공급 발표와 구분 필요
C-5-25	뉴스	엔비디아·하이닉스·삼성 다 쓰는 덕산하이메탈 솔더볼, 수요 폭증에 공급 부족	이데일리 마켓인	2026-08-28	https://www.edaily.co.kr/News/Read?mediaCodeNo=257&newsId=02922486645551912	증권사 분석 기반 수요 보도. HBM 내부 적층을 별도 솔더볼 수요로 연결하는 서술은 대표 인터뷰(S-5-38)와 대조 필요
C-5-26	뉴스	메모리 호황에 '소모성 소재' 잘 팔린다...솔브레인·동진 실적 '쑥'	뉴스1	2026-09-11	https://www.news1.kr/amp/industry/sb-founded/6286467	솔브레인·동진쎄미켐·원익머트리얼즈 실적 개선 보도. HBM 몰딩·언더필·NCF 신규 진입 발표가 아님
C-5-30	논문	Thermal Improvement of HBM with Joint Thermal Resistance Reduction for Scaling 12 Stacks and Beyond	IEEE ECTC 2023 / 삼성전자	2023-05	DOI 10.1109/ECTC51909.2023.00133	TC와 MR 접합부 열저항을 비교한 별개 논문이며 14°C의 원출처가 아니다(원출처는 S-5-49). 결과 방향도 달라 나란히 인용할 때 구분 필요
C-5-31	논문	Reduced warpage in semiconductor packages: Optimizing post-cure temperature profile	Materials & Design	2024-09	https://www.sciencedirect.com/science/article/pii/S0264127524006403	후경화 프로파일 최적화로 더미 패키지 warpage 약 1,519 → 486μm. bi-material 더미 패키지 결과이며 HBM 실증 아님

Day 6

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-6-01	기업발표	Asahi Kasei to double production capacity for PIMEL photosensitive polyimide by 2030	Asahi Kasei	2025-08-22	https://www.asahi-kasei.com/news/2025/e250822	시즈오카 후지시 공장에 약 160억 엔 투자, PIMEL 생산능력을 2024년 대비 2030년까지 2배로 확대
S-6-02	기업발표	Asahi Kasei Develops Novel Photosensitive Polyimide Film for Advanced Panel-Level Semiconductor Packaging	Asahi Kasei	2026-05-21	https://www.asahi-kasei.com/news/2026/e260521	PIMEL 액상 PSPI와 SUNFORT DFR 기술을 결합한 PSPI 드라이필름 발표, 고객 평가 중
S-6-03	기업발표	Fujifilm Launches ZEMATES, a New Brand of Photosensitive Insulating Materials	FUJIFILM	2025-12-09	https://www.fujifilm.com/jp/en/news/hq/13180	RDL·보호막용 액상·필름 폴리이미드와 PBO를 PFAS 무함유로 통합한 신규 브랜드 출시

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-6-04	기업발표	전자재료 제품 라인업(PID 등재)	삼성SDI	2026 접속 기준	https://www.samsungsdi.com/business/electronic-materials.html	PID를 "차세대 반도체 패키지 구조의 금속 배선 절연층"으로 공식 등재
S-6-05	기업발표	삼성SDI 2026년 2분기 실적 발표	삼성SDI	2026-07	https://www.samsungsdi.co.kr/sdi-now/sdi-news/4941.html	전자재료 매출 2,498억원(+14.5%), 영업이익 445억원(+34.8%), 반도체 신규 패키징 소재 확판 방침
S-6-06	기업발표	차세대 반도체 패키징의 한계를 넘는 끝없는 도전: PID 연구개발팀	LG화학 공식 블로그	2026-07-08	https://blog.lgchem.com/2026/07/08_pid_interview/	액상+필름 이원 포트폴리오로 HDFO RDL·CoWoS·유리기판 타깃, 일본 과점 시장 진입 명시
S-6-07	논문	Fluorine-Free, Low-Dielectric Photosensitive Polyimides Based on Methyl Methacrylate-Functionalized Bulky Diamines for High-Fidelity UV Patterning	ACS Applied Polymer Materials	2026-01-13 (Crossref)	DOI 10.1021/acsapm.5c04175	불소기를 쓰지 않고 부피가 큰 디아민으로 자유부피를 키워 저유전을 얻는 PSPI 분자 설계
S-6-08	논문	Structural Design of Low-Temperature Curable, Alkaline-Developable Photosensitive Polyimides With High Resolution and Mechanical Properties	Journal of Polymer Science / Yuan 외	2025	DOI 10.1002/pol.20250649	저온 경화와 알칼리 수계 현상을 함께 만족시키는 PSPI 구조 설계. 초록에 95.9 / 2.241 / 0.0137 수치는 없음 (Crossref 확인)
S-6-09	분석기관	Photosensitive Polyimide (PSPI) Market	Credence Research	2025	https://www.credenceresearch.com/report/photosensitive-polyimide-pspi-market	2024년 $549M에서 2032년 $3,231M, CAGR 24.8%. 칩 패키징 RDL이 수요의 약 39%
S-6-10	기업발표	Participation in ECTC 2026 (발표 3편: Optical RDL Interposer for Integrated CPO / 유리 패키징용 고밀도 RDL 감광성 소재 / 차량용 고열전도 몰딩재)	Sumitomo Bakelite, Tohoku Univ., Georgia Tech, SPIL, MediaTek	2026-05-11 게시, 학회 2026-05-26~29	https://www.sumibe.co.jp/english/topics/2026/it-materials/0511_01/index.html	도파로 클래딩과 유전체를 겸하는 광경화 폴리머, 유리 인터포저용 저경화온도·저수축·저유전 감광성 RDL
S-6-11	뉴스	동진쎄미켐, 빌드업필름 'DJBF' 개발 완료	전자신문	2025-02-19	https://www.etnews.com/20250219000366	ABF 국산화를 겨냥한 자체 빌드업필름 개발 완료와 PID 개발 착수
S-6-12	뉴스	Ajinomoto raises ABF substrate film prices 30%	DigiTimes	2026-05-13	https://www.digitimes.com/news/a20260513PD230/ic-substrate-abf-substrate-demand-substrate-2026.html	ABF 필름 약 30% 인상, 2026년 3분기 적용(회사 원발표 아님). 점유 약 95%는 이 기사가 아니라 Ajinomoto ASV Report 2023의 자체 추정(C-6-13)에 귀속한다
S-6-13	뉴스	Ajinomoto To Raise Prices By 30% As ABF Substrate Supply-Demand Gap Extends To 2027	wccftech	2026-05-11	https://wccftech.com/msg-maker-ajinomoto-to-raise-prices-as-abf-substrate-supply-demand-gap-extends-to-2027/	현물 30% 이상, 하반기 계약가 5~10% 인상. 기판가 전가 3~6%. 부족은 2027년 말까지
S-6-14	분석기관	Pushed by glass core and high-end ICs substrates for AI, the advanced IC substrate market reaches $31 billion by 2030	Yole Group	2025-07	https://www.yolegroup.com/press-release/pushed-by-glass-core-and-high-end-ics-substrates-for-ai-the-advanced-ic-substrate-market-reaches-31-billion-by-2030/ (전재: https://www.electronicsweekly.com/news/business/substrate-market-to-be-worth-31bn-by-2030-2025-07/)	2030년 $31B(AICS+GCS+SLP+ED 합산). 공표 시점은 2025년 11월이 아니라 7월
S-6-15	뉴스	Absolics Plans 400 Billion Won Rights Issue for Glass Substrate Business	The Elec	2026-08-23 (결정 2026-08-21)	https://www.thelec.net/news/articleView.html?idxno=13254	앱솔릭스 명의 4,011억원 유상증자. SKC 지분 70.05%, Applied Materials 29.95%. CAPEX 4,726억·OPEX 1,170억

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-6-16	분석기관	SKC Reportedly Channels Over Half of ₩1T Capital Increase Into Absolics	TrendForce	2026-03-03	https://www.trendforce.com/news/2026/03/03/news-skc-reportedly-channels-over-half-of-%E2%82%A91t-capital-increase-into-absolics-to-fast-track-glass-substrates/	SKC의 1조1,671억원 유상증자 중 5,896억원을 앱솔릭스에 투자. 증자 주체는 SKC
S-6-17	뉴스	SKC 유리기판, 수율 안정화 단계로: "첫 양산 인증이 핵심"(IBK투자증권)	파이낸셜뉴스	2026-09-10	https://www.fnnews.com/news/202609100721535061	SKC 2026-09-04 이사회에서 약 2,810억원 투입 결정. 임베딩 제품 신뢰성 평가, 논임베딩 제품 하반기 공급사 선정 참여·연내 PoC 준비
S-6-18	뉴스	삼성전기, 반도체 유리기판 투자 일정 밀렸다	디일렉	2026-08-12	https://www.thelec.kr/news/articleView.html?idxno=60802	글라셈 장비 발주가 세 차례 이상 지연, 양산 목표가 2027년 하반기에서 2028년 이후로 이동
S-6-19	뉴스	SK·삼성전기, AI 패키징 주도권 진검승부(LG이노텍 상용화 시점 포함)	테크월드	2026	https://www.epnc.co.kr/news/articleView.html?idxno=330542	LG이노텍이 유리기판 상용화 목표를 2028년에서 2030년으로 재조정
S-6-20	분석기관	Intel Reportedly Presents First Thick-Core Glass Substrate with EMIB, Targeting AI Data Centers	TrendForce	2026-01-26	https://www.trendforce.com/news/2026/01/26/news-intel-reportedly-presents-first-thick-core-glass-substrate-with-emib-targeting-ai-data-centers/	NEPCON Japan 공개. 78×77mm, 10-2-10, 유리 코어 800μm 2층, 실리콘 면적 약 1,716mm². 양산 결정 미확정
S-6-21	기술블로그	ECTC 2026: EMIB-T, HBM4 Challenges, Microfluidic Cooling, Photonic Interconnects	SemiAnalysis	2026-07-02	https://newsletter.semianalysis.com/p/ectc2026	Intel 510×515mm 24층 유리 코어 패널(구리 충전 TGV·EMIB 2개·광도파로), Amkor·STATS ChipPAC warpage 30~40% 저감
S-6-22	논문	Through glass via technology for advanced packaging: fabrication, metallization, applications, and reliability challenges	J. Materials Science: Materials in Electronics 37(20) / Wang 외	2026-07	DOI 10.1007/s10854-026-17970-x	LIDE 주류화와 테이퍼 각(SCHOTT AF 32 eco 약 9°, Corning HPFS 7980 약 1°), Ti·Cu 시드와 펄스역전 도금, Cu 링 12μm 미만에서 원주형 균열 0, 300 사이클 균열 개시
S-6-23	분석기관	Glass Wafer Carrier Market	Mordor Intelligence	2025	https://www.mordorintelligence.com/industry-reports/glass-wafer-carrier-market	2025년 약 $0.74B, CAGR 17.6%. 경쟁 강도 중간, 상위 5개사 약 40% 점유 ("4사 90%"는 원문에 없음)
S-6-24	분석기관	FOPLP and Glass Substrate Market Expected to Exceed $8 Billion by 2030	Counterpoint Research	2026	https://counterpointresearch.com/en/insights/foplp-glass-substrate-forecast-2030-ai-hpc-demand	FOPLP+유리기판 합산 2024년 약 $650M에서 2030년 $8.1B 초과, AI·HPC가 매출의 45.6%
S-6-25	표준·로드맵	A Review on CMP Challenges in Hybrid Wafer Bonding and Wafer Level Packaging	Intel(G. B. Basim) / NCCAVS CMPUG	2023-09-13	https://nccavs-usergroups.avs.org/wp-content/uploads/2023/09/JointUG923-5-BasimGB.pdf	Cu recess 1~5nm, SiCN RMS 0.10nm(SiO_2 0.16, SiOxNy 0.23), 금속 오염 5×10^{10} atoms/cm² 수준, SiCN 전구체
S-6-26	논문	Minimizing Recess of Cu Pad on Hybrid Bonding with SiCN via Non-selective Chemical Mechanical Polishing and Post-cleaning Steps	ECS J. Solid State Sci. Technol. 13(7) / Nakayama 외	2024	DOI 10.1149/2162-8777/ad5fb7	1μm 미만 피치에서 recess 5nm 미만 요구. 3배 희석 알칼리 슬러리+H_2O_2 0.4wt%로 Cu:SiCN 선택비 1:1.5
S-6-27	논문	Material-Mechanistic Interplay in SiCN Wafer Bonding for 3D Integration	ACS Omega	2025	DOI 10.1021/acsomega.5c03628	SiCN 웨이퍼 본딩의 소재·메커니즘 상호작용. SiO_2 대비 본드 에너지·확산 배리어 우위
S-6-28	논문	Electron Backscatter Diffraction for Quantitative Evaluation of Copper Surface Cleanliness before Hybrid Bonding	ACS Applied Electronic Materials	2026	DOI 10.1021/acsaelm.6c00055	CMP 후 구리 표면 청정도를 EBSD로 정량 평가. 표면 1~2nm·표면하 1~20nm 오염·손상 관리 필요

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-6-29	논문	Surface Activation and Bonding Mechanisms of SiCN and TEOS Dielectrics for Low-Temperature Hybrid Bonding	IEEE EPTC 2025 / Liu Chang 외	2025	DOI 10.1109/EPTC67330.2025.11392232	SiCN 계면으로 250°C 어닐 후 본드 에너지 2.2 J/m² 초과, 표면 활성화 메커니즘 규명
S-6-30	기업발표	Fujifilm Launches Advanced Packaging CMP Slurry	FUJIFILM	2025-09	https://www.fujifilm.com/jp/en/news/hq/12973	hybrid bonding 접합면 평탄화 전용 CMP 슬러리 출시, 주요 반도체 업체 채택 발표
S-6-31	뉴스	케이씨텍, CMP 공정으로 패키징 영토 확장	디일렉	2026-04-28	https://www.thelec.kr/news/articleView.html?idxno=55764	hybrid bonding 전용 Cu 슬러리 개발, 공정 세분화로 구리 높이 균일화. 솔브레인의 HBM CMP 슬러리 공급 구도 병기
S-6-32	뉴스	[세미콘코리아2026] 케이씨텍, 하이브리드 본딩·유리기판 겨냥 차세대 장비 출격	녹색경제신문	2026-02-13	https://www.greened.kr/news/articleView.html?idxno=336997	hybrid bonding 대응 Ventus CMP 장비와 500×500mm 패널 레벨 유리 코어 기판 시스템 공개
S-6-33	뉴스	[SEDEX 2024] 동진쎄미켐, SK하이닉스에 HCB용 슬러리 공급 추진	더벨	2024-10-23	https://www.thebell.co.kr/free/content/ArticleView.asp?key=2024102311054080105565	TSV Cu 슬러리 공급에 이어 hybrid bonding용 CMP 슬러리 공급 추진
S-6-34	뉴스	ECTC 2026: Applied Materials Demonstrates 450nm Pitch Hybrid Bonding at 98% Yield for AI Memory	AtlasPCB	2026-05-26	https://www.atlaspcb.com/news/news-ectc-2026-hybrid-bonding-ai-memory-packaging/	450nm 피치에서 웨이퍼 쌍당 2천만 접합을 98% 수율로 구현. sub-nm 거칠기 CMP가 전제 조건
S-6-35	논문	Temporary Bonding and Debonding in Advanced Packaging: Recent Progress and Applications	Electronics (MDPI) 12(7), 1666	2023	DOI 10.3390/electronics12071666	TBDB 3방식(기계·열 슬라이드·레이저)과 접착제 화학, 30μm급 박형화 대응 정리
S-6-36	기업발표	LASER debonding equipment	Shin-Etsu Chemical	2026 접속 기준	https://www.shinetsu.co.jp/en/products/processing-specialized-services/laser-debonding-equipment/	355nm 펄스 레이저로 임시 수지층 표면만 분해. 300°C 초과 열안정성 실록산계 가교 폴리머
S-6-37	기업발표	NVIDIA Spectrum-X and Quantum-X Co-Packaged Optics Networking Switches for AI Factories	NVIDIA 뉴스룸	2025-03	https://nvidianews.nvidia.com/news/nvidia-spectrum-x-co-packaged-optics-networking-switches-ai-factories	CPO 공급망 파트너로 TSMC·Coherent·Corning·Foxconn·Lumentum·SENKO 공식 명시
S-6-38	분석기관	NVIDIA and Broadcom Begin Volume Ramp of CPO Switches, with Optical Engine Yield and Advanced Packaging Capacity Emerging as Key Expansion Bottlenecks	TrendForce	2026-07-27	https://www.trendforce.com/presscenter/news/20260727-13151.html	NVIDIA 차세대 Spectrum-X CPO 스위치 일부 파트너 출하 개시, Broadcom 51.2T Bailly 제한 출하. 병목은 광엔진 수율·SiPh·2.5D/3D 캐파. 본격 램프는 2027~2028년
S-6-39	분석기관	TSMC Targets 2H26 COUPE on Substrate	TrendForce	2026-05-18	https://www.trendforce.com/news/2026/05/18/news-tsmc-targets-2h26-coupe-on-substrate-nvidia-could-eye-long-term-substrate-deals-amid-cpo-push/	COUPE on Substrate의 2026년 하반기 양산 목표. 1.6T/6.4T 세대 수치는 보도·분석 기준
S-6-40	논문	Silicon Photonics for Co-Packaged Optics: A Review of Core PIC Components and Industry Strategies	Advanced Materials Technologies / Zhang 외	2026-08-20 온라인	DOI 10.1002/admt.712666	소자·시스템 수준 리뷰. Broadcom·NVIDIA·Intel·Ayar Labs 4사 경로 비교와 열관리 병목이 근거로 쓸 수 있는 부분이며, 광학 접착제·클래딩 유전체 사양은 다루지 않는다. 비트당 5~7pJ는 저자 역산 추정치

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-6-41	분석기관	Co-Packaged Optics (CPO) 2026-2036: Technologies, Market, and Forecasts	IDTechEx	2025-12	https://www.idtechex.com/en/research-report/co-packaged-optics-cpo/1138 (요약: https://www.semiconductor-today.com/news_items/2025/dec/idtechex-291225.shtml)	CPO 시장 2036년 $20B 초과, 2026~2036년 CAGR 37%
S-6-42	기업발표	GlassBridge Connector Platform	Corning	2026 접속 기준	https://www.corning.com/oem-solutions/worldwide/en/home/products-solutions/optical-communication-components/next-generation-optics/glassbridge-connector.html	웨이퍼급 이온교환 유리 도파로. 피치 30μm 이상, 결합손실 2dB 미만, 수동 정렬
S-6-43	뉴스	빛과 전기의 결합에 쪼개진 패키징 공정: 대만 5개사가 선점한 CPO 4단계 검사망	글로벌이코노믹	2026-09-15 (현지 2026-09-14)	https://www.g-enews.com/article/Global-Biz/2026/09/202609141650201816fbbec65dfb_1	대만 5사가 CPO 4단계 분담. 3단계에 광섬유 배열 접합·접착제 도포 명시. 전원이 양산 계약을 확보한 것은 아님
S-6-44	논문	High Temperature Stable Temporary Bond Adhesive for IR Laser Debonding Enables New Process Integration For Thin Wafers / IR Laser Debonding for Silicon Based Temporary Carrier Systems	IEEE ECTC 2025 (imec·EVG·Brewer Science)	2025	https://ieeexplore.ieee.org/abstract/document/10909684 (imec 등재: https://imec-publications.be/entities/publication/8d34f959-b897-4429-ba72-ec8a4ebd678b)	450°C 내성 접착제와 IR 레이저 디본딩으로 50μm 박형 웨이퍼 분리 및 무기 분리층 세정 실증
S-6-45	논문	A strategy to prepare low-temperature curable photosensitive polyimide with good comprehensive performance	Chemical Engineering Journal 477, 146858 / Huang 외	2023-12	DOI 10.1016/j.cej.2023.146858	디아민 PyFNH₂로 200°C 경화에서 이미드화율 95.9% 이상과 선폭 3μm 패턴 달성. 200°C 경화막이 350°C 경화막보다 CTE가 낮고 2.5% 조성이 24 ppm/K. 피리딘 측기와 Cu의 배위로 접착 향상
S-6-46	논문	Low-temperature photo imageable dielectric for redistribution layers in advanced packaging application	Mater. Sci. Semicond. Process. 186, 109083 / Chang 외	2025-02	DOI 10.1016/j.mssp.2024.109083	180°C 1시간 경화 LT-PID를 상용 PSPI와 5축 비교. Cu·Si·SiOx·SiNx 전 기판에서 MIL-STD-883K METHOD 2027.2의 9.45MPa 통과, O_2/SF_6 디스컴 DOE. 이미드화율은 다루지 않는다
S-6-47	분석기관	Top CMP Slurry Manufacturers and Suppliers in 2026: A Complete Procurement Guide	JEES Semicon	2026	https://jeez-semicon.com/blog/top-cmp-slurry-manufacturers-suppliers-in-2026-a-complete-procurement-guide/	CMC(Entegris)·Fujimi·DuPont·AGC·Resonac 상위권이 CMP 슬러리의 65~70%를 차지한다는 추정
S-6-48	분석기관	Silicon Photonics Race Intensifies as TSMC Targets 2026 COUPE Production, Samsung Eyes 2029 CPO Turnkey	TrendForce	2026-04-01	https://www.trendforce.com/news/2026/04/01/news-silicon-photonics-race-intensifies-as-tsmc-targets-2026-coupe-production-samsung-eyes-2029-cpo-turnkey/	삼성 파운드리 2027년 열압착 본딩 광엔진, 2029년 CPO 턴키 로드맵
S-6-49	논문	PECVD SiCN 박막 및 전구체 연구(trisilylamine·유기실란 계열)	Thin Solid Films (Elsevier)	2026	https://www.sciencedirect.com/science/article/abs/pii/S0040609026000209	SiCN PECVD 전구체 계열에 관한 raw 정본의 귀속 출처
S-6-50	표준·로드맵	JEDEC and Industry Leaders Collaborate to Release JESD270-4 HBM4 Standard	JEDEC	2025-04-16	https://www.jedec.org/news/pressreleases/jedec%C2%AE-and-industry-leaders-collaborate-release-jesd270-4-hbm4-standard-advancing	HBM4 표준 JESD270-4 발간 사실(2025-04-16)과 2,048비트 인터페이스에만 귀속한다. 이 보도자료의 헤드라인 스펙에는 패키지 높이 조항이 없다

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-6-56	분석기관	JEDEC Finalizes HBM4 Standard, Potentially Easing Pressure on Hybrid Bonding Adoption	TrendForce	2025-04-21	https://www.trendforce.com/news/2025/04/21/news-jedec-finalizes-hbm4-standard-potentially-easing-pressure-on-hybrid-bonding-adoption/	표준 확정 시점에 720μm에서 775μm로의 완화를 재확인한 보도. 최초 출처는 S-6-71의 2024년 3월 위원회 합의 보도이며, JEDEC 문서 조항 여부는 미확인. Day 3 S-3-65와 동일 기사
S-6-51	분석기관	Samsung, SK hynix Reportedly Reconsider Hybrid Bonding Timeline; 16-High HBM4E May Be Earliest Adoption	TrendForce	2026-07-07	https://www.trendforce.com/news/2026/07/07/news-samsung-sk-hynix-reportedly-reconsider-hybrid-bonding-timeline-16-high-hbm4e-may-be-earliest-adoption/	16단 수요 미지근, 삼성 Heat Path Block과 SK하이닉스 iHBM 등 대체 방열 기술이 도입 지연 요인
S-6-52	분석기관	JEDEC Reportedly Plans to Relax HBM Height Specs to 900μm, Potentially Slowing Hybrid Bonding Adoption	TrendForce	2026-04-01	https://www.trendforce.com/news/2026/04/01/news-jedec-reportedly-plans-to-relax-hbm-height-specs-to-900%C2%B5m-potentially-slowing-hybrid-bonding-adoption/	HBM4E용 약 900μm 완화안이 검토 중임을 보도. 확정 표준이 아님
S-6-53	분석기관	Temporary Bonding Adhesives Market Forecast Points Higher Toward 2035	IndexBox	2025	https://www.indexbox.io/blog/temporary-bonding-adhesives-market-forecast-points-higher-toward-2035-driven-by-advanced-semiconductor-packaging-demand/	TBDB 접착제 대표 공급군(Brewer Science·TOK·Shin-Etsu·3M·Dow 등) 열거
S-6-54	뉴스	Hot Chips 2026: SK hynix pushes hybrid bonding to HBM5 as AI memory hits 775-micron ceiling	Tom's Hardware	발표 2026-08-23	https://www.tomshardware.com/tech-industry/semiconductors/sk-hynix-says-hybrid-bonding-wont-be-ready-for-hbm4e-as-ai-memory-runs-into-a-775-micron-ceiling	SK하이닉스 패키지 엔지니어링 담당이 hybrid bonding은 HBM4E에 준비되지 않으며 Advanced MR-MUF를 HBM4E까지 연장한다고 발표. 20단 이상은 연구 단계, 본격 양산 2029~2030
S-6-55	분석기관	Samsung Reportedly Builds Hybrid Bonding Mass Production Line, Full-Scale Deployment Seen in 2029-2030	TrendForce	2026-07-22	https://www.trendforce.com/news/2026/07/22/news-samsung-reportedly-builds-hybrid-bonding-mass-production-line-full-scale-deployment-seen-in-2029-2030/	평택 D2W 하이브리드 본더 양산 라인, 장비 반입 2026년 말 개시 전망, 대규모 양산 2029~2030
S-6-57	기술블로그	Polymers in Electronic Packaging: New Advances in Build-up Technology	Polymer Innovation Blog / Jeffrey Gotro	2018-12-17	https://polymerinnovationblog.com/polymers-in-electronic-packaging-new-advances-in-build-up-technology/	ABF 등급별 조성 구분(GX 계열 에폭시계, GZ41 에폭시·시아네이트 에스터 혼합계)과 한 고속 전송용 등급의 손실계수 5.8GHz 0.0044 소개. 제조사 데이터시트가 아니므로 등급·주파수를 반드시 병기
S-6-58	기업발표	IR LayerRelease Technology	EV Group	2026 접속 기준	https://www.evgroup.com/technologies/ir-layerrelease-technology	적외선의 실리콘 투과성을 이용한 레이저 디본딩. 실리콘 캐리어 사용 가능
S-6-59	기업발표	Optical Bonding Adhesives (PIC·광트랜시버용 기능성 소재)	DELO	2026 접속 기준	https://www.delo-adhesives.com/products/adhesives/functional-materials/optical-bonding/	다수 광학 등급이 최고 260°C 리플로우 후 유의한 투과율 저하 없이 견딘다고 설명
S-6-60	논문	New Photosensitive Dielectric Material for High-Density RDL with Ultra-Small Photo-Vias and High Reliability	International Symposium on Microelectronics (IMAPS)	2018-10-01	DOI 10.4071/2380-4505-2018.1.000466 (전문: https://imapsource.org/article/55918-new-photosensitive-dielectric-material-for-high-density-rdl-with-ultra-small-photo-vias-and-high-reliability.pdf)	3μm 비아·5μm 두께 photo-via 실증과 sub-3μm 해상도, 300°C 이상 열안정성에서 PSPI가 PBO·BCB 대비 우위라는 근거

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-6-61	논문	A Novel High Resolution Dry Film Photo-Imageable Dielectric for Redistribution Layer in Advanced Packaging Applications	IMAPSource Proceedings	2023	https://imapsource.org/api/v1/articles/129754-a-novel-high-resolution-dry-film-photo-imageable-dielectric-for-redistribution-layer-in-advanced-packaging-applications.pdf	드라이필름 PID의 공통 요구 물성(Cu 밀착력·내약품성·저잔류응력·저경화수축) 근거
S-6-62	논문	Cu dishing 및 어닐 온도에 따른 어닐 후 접촉 면적 (hybrid bonding)	S. Lhostis, European 3D Summit 2017	2017	학회 발표(Applied Materials, KISM 2025 재인용)	디싱 1~20nm와 어닐 온도 25·250·400°C를 축으로 어닐 후 접촉 면적을 그린 곡선군. 저온 어닐(250°C 미만)에서 Cu 디싱 5nm 미만 요구의 근거
S-6-63	논문	CMP 공정의 패드·슬러리 온도가 재료 제거 특성에 미치는 영향	Precision Engineering, Vol. 73, pp. 195-202	2022-01	https://www.sciencedirect.com/science/article/abs/pii/S0141635921002439	CMP의 온도 의존 제거 거동. 패드 온도가 화학적 제거율과 기계적 접촉에 함께 작용함을 다룬다
S-6-64	논문	CMP 폴리우레탄 패드의 온도 의존 기계 물성과 연마 거동	Polymers, 15(15), 3198	2023-07	DOI 10.3390/polym15153198	패드가 온도에 따라 연화·경화하며 접촉 면적과 제거 특성이 바뀜을 다루는 오픈액세스 논문
S-6-65	논문	A Review of the Cu Chemical Mechanical Planarization Process in Hybrid Bonding Technology	ASME J. Electronic Packaging 147(3), 030801	2025-09	DOI 10.1115/1.4068883	hybrid bonding용 Cu CMP의 슬러리 구성과 공정 설계를 정리한 총설. 산화제·착화제·억제제·연마입자의 역할 구분
S-6-66	논문	Electrochemical aspects of copper chemical mechanical planarization (CMP) in peroxide based slurries containing BTA and glycine	Electrochimica Acta	2004	https://www.sciencedirect.com/science/article/abs/pii/S0013468603009496	BTA는 0.2V(SCE) 미만에서 구리를 강하게 부동태화하지만 H_2O_2 첨가로 개방회로 전위가 그 위로 오르면 국부 부식이 시작될 수 있음. 글리신 착물이 H_2O_2를 분해해 하이드록실 라디칼 생성
S-6-67	논문	Cu CMP Dishing Control for Fine Pitch Wafer-to-Wafer (W2W) Hybrid Bonding	Ji, Chen, Chui / IEEE EPTC 2022, pp.951-954	2022-12	DOI 10.1109/EPTC56328.2022.10013244	기존 슬러리는 디싱 20~30nm 산포와 종점 +5~10nm 돌출, 터치업 시 −25~−32nm 과식각. H_2O_2를 낮춘 슬러리로 평균 −1nm·분포 −5~+5nm, 유전체 라운딩 5nm에서 1nm 미만. 디싱은 AFM 측정, Cu 간격 2μm와 6μm에서 부호 전환
S-6-68	논문	Wafer to Wafer Hybrid Bonding for DRAM Applications	Park 외 / IEEE ECTC 2022, pp.126-129	2022	DOI 10.1109/ECTC51906.2022.00030	Cu 디싱 5nm 미만은 CMP 압력과 회전수로 맞춘 관리 목표이며 AFM으로 검증. Cu 패드 밀도가 높은 영역에서 SiCN erosion이 보이드를 유발
S-6-69	기업발표	Post-CMP Cleaning Solutions (PlanarClean 계열)	Entegris	2026 접속 기준	https://www.entegris.com/en/home/products/chemistries/specialty-chemicals/post-cmp-cleaning-solutions.html	스크래치·거칠기·부식을 만들지 않으면서 입자와 잔사, 오염을 제거하고 부식을 제어한다고 명시
S-6-70	기술블로그	Engineering Copper Grain Structure for High-Yield Hybrid Bonding in 3D Packaging	3DInCites / El-Sawy·Troche (MacDermid Alpha)	2025-09-30	https://www.3dincites.com/2025/09/engineering-copper-grain-structure-for-high-yield-hybrid-bonding-in-3d-packaging/	구리는 공기 노출 수 분 내 자연 산화막 형성. 입계 고정 첨가제로 CMP 후 상온 2~4주 이상 결정립 구조 유지
S-6-71	뉴스	JEDEC chills on next-gen HBM4 thickness: 16-Hi stacks with current bonding tech allowed	TweakTown (ZDNet Korea 인용)	2024-03-13	https://www.tweaktown.com/news/96844/jedec-chills-on-next-gen-hbm4-thickness-16-hi-stacks-with-current-bonding-tech-allowed/index.html	HBM4 패키지 두께를 720μm에서 775μm로 완화하기로 한 JEDEC 위원회 합의를 전한 최초 보도. 발간된 표준 조항이 아니라 위원회 합의 단계의 보도. Day 4 S-4-49와 동일 기사

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-6-72	뉴스	突破AI算力極限！台積電COUPE今年投產，力拚每年頻寬翻倍、打破「I/O牆」	數位時代(bnext)	2026-08-31	https://www.bnext.com.tw/article/92063/tsmc-coupe-silicon-photonics-roadmap-2026	TSMC 陳明發 부처장이 8/31 SEMICON Taiwan 포럼에서 COUPE on Substrate 2026년 생산 개시 제시, 魏哲家 회장 7월 실적 발표 "COUPE 이미 생산 시작, 점차 증량" 인용. 단일 COUPE 대역폭 2026년 3.2Tb/s→2027년경 6.4Tb/s→12.8·25.6·51.2Tb/s 이상. 1.6T 언급 없음
S-6-73	뉴스	台積COUPE藍圖 FAU是關鍵	工商時報	2026-09-01	https://www.ctee.com.tw/news/20260901700184-439901	TSMC 부사장 발표 인용, COUPE 대역폭 밀도 2026년 약 0.5Tbps/mm→2030년 4Tbps/mm, 다열 FAU가 핵심 인터페이스
S-6-74	기업발표	Qnity Introduces Stackplane™ CMP Slurry Platform for Advanced Packaging	Qnity Electronics	2026-08-31	https://ir.qnityelectronics.com/press-releases/detail/76/qnity-introduces-stackplane-cmp-slurry-platform-for-advanced-packaging	패키징 전용 CMP 슬러리 5계열: SP1000·SP2000 hybrid bonding, SP3000 TSV, SP4000 폴리머, SP5000 패널 TGV·유리. SEMICON Taiwan 9/2~4, ICPT 10/19~22 서울. 채택 고객 명시 없음
S-6-75	뉴스	케이씨텍, 앱솔릭스에 유리기판용 CMP 장비·슬러리 공급	디일렉	2026-08-24	https://www.thelec.kr/news/articleView.html?idxno=61274	케이씨텍이 앱솔릭스 조지아 라인에 CMP 장비·슬러리 단독 공급, 이르면 4분기 출하, 장비 대당 70억~80억원, 평탄도 요구 상승으로 CMP 추가. 회사는 고객사 언급 거부
S-6-76	분석기관	Huawei Unveils 7.2Tbps Near-packaged Optics Module, Challenging NVIDIA and Broadcom's CPO Push	TrendForce	2026-09-11	https://www.trendforce.com/news/2026/09/11/news-huawei-unveils-7-2tbps-near-packaged-optics-module-challenging-nvidia-and-broadcoms-cpo-push/	Nikkei Asia 인용, NVIDIA·Broadcom 스위치 칩 기반 CPO 2026년 하반기 생산 진입. Huawei 7.2Tbps NPO(200Gbps×36), 3.2Tbps 모듈 2026년 배치
S-6-77	뉴스	"HBM 수율·수명 충족해야 하이브리드 본딩 도입"	헤럴드경제	2026-09-21	https://biz.heraldcorp.com/article/10880501	SK하이닉스 김지훈 아메리카 시니어 디렉터, 9/9 산호세 SEMI 행사 패널 토론에서 도입 조건 수율 90~98%·수명 3~5년 제시. HBM4E 16단·HBM5 20단 도입 시점은 업계 전망으로 서술
S-6-78	뉴스	삼성전자, AMAT·베시와 하이브리드 본딩 '밀착'…HBM4E 타겟 유지	시사저널e(다음 전재)	2026-09-23	https://v.daum.net/v/20260923103643521	업계 전언: 삼성전자 HBM4E부터 HCB 적용 목표 유지, Kinex 주 개발 플랫폼, HBM용 HCB 수율 50%대
S-6-79	뉴스	TSMC, HBM 패키징 당분간 '마이크로범프'…협력사에 5μm 숙제	전자신문	2026-09-02	https://www.etnews.com/20260902000223	업계 전언: TSMC가 HBM 결합에 마이크로범프 유지, 협력사에 5μm 접합 요청, 현재 HBM3E 15~25μm·HBM4 약 10μm, 양산 2028년 하반기 예상
S-6-80	뉴스	Samsung to Double HBM4 Output Next Year, Sources Say	서울경제 영문판	2026-09-20	https://en.sedaily.com/finance/2026/09/20/samsung-to-double-hbm4-output-next-year-sources-say	업계 전언: 삼성전자 글라스 캐리어 외주 세정 물량 2026년 월 2만 장→2027년 월 5만 장, 2025년 월 1만 장
S-6-81	뉴스	제이앤티씨, 김천에 3470억 투자…TGV 유리기판 공장 신설	디일렉	2026-09-21	https://www.thelec.kr/news/articleView.html?idxno=62616	공시 기반: 김천 약 3만 평, 3,470억원(자기자본 140.08%), 2027-01~2030-06 건설, 2027년 양산 목표, 7월 Toppan 협약, 회사 주장 수율 약 94%
S-6-82	뉴스	[단독] BOE, '15:1 종횡비' TGV 유리 코어 기판 첫 공개	지디넷코리아	2026-09-22	https://zdnet.co.kr/view/?no=20260922233454	BOE 9/22 베이징 'IPC 2026'에서 종횡비 15:1(기존 10:1), 두께 1mm, TGV 67μm, 빌드업 24층 유리 코어 기판 공개, 회장 "1년 안에 양산 투자 계획 확정"
S-6-83	뉴스	SKC, 앱솔릭스 지분 82%로 확대…어플라이드머티어리얼즈 실권주 추가 인수	디일렉	2026-09-23	https://www.thelec.kr/news/articleView.html?idxno=62680	9/22 발표: SKC 청약 2,809.8억원→3,730.6억원(921억원 추가), 192,416주→255,474주, 지분 70.05%→82.37%. AMAT 배정분 약 1,202억원 중 일부 미청약분 인수

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-6-84	기업발표	Brewer Science to Present High-Temperature-Stable Laser-Release Material and Join AI-Era Supply Chain Panel at IMAPS 2026	Brewer Science	2026-09-24	https://www.brewerscience.com/news-imaps-2026/	9/30 IMAPS 발표 예고: BrewerBOND C1301 계열과 짝을 이루는 레이저 박리 소재, 최대 350°C, 308·355nm UV 레이저, 용제 세정

Day 6 교차 조사 인용 출처 (C-6-xx)

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
C-6-02	기업발표	HD8930 Photosensitive PBO 제품 페이지	HD MicroSystems	발행일 미표기 (2026-09 확인)	https://www.hdmicrosystems.com/products/hd8930?hsLang=en	경화 200~250°C, 신율 80%, 탄성계수 1.7~1.9GPa, 5μm 두께에서 3μm 해상도
C-6-03	기업발표	Photoneece / Semicofine 제품 페이지	Toray	발행일 미표기 (2026-09 확인)	https://www.mobility.toray/jp/products/photoneece-semicofine/	경화 170~250°C 1시간, 신율 60% 이상, 탄성계수 1.7~2.5GPa, CTE 55~60 ppm/°C
C-6-04	논문	Study PID and Non-PID Using Panel Glass Substrate	Unimicron / IMAPS	2019-09	https://imapsource.org/article/57124.pdf	PID-A 220°C 경화 Df 0.0176@40GHz, PID-B 200°C 경화 Df 0.013@30GHz(측정 주파수 상이)
C-6-06	기업발표	Photoimageable Dielectric Materials (저온 PI·드라이필름 PID 개발 자료)	JSR	2025-05	https://www.jsr.co.jp/jsr_e/products/assets/pdf/20250529_PID.pdf	경화 200°C 이하, 신율 60% 초과. 개발 단계 표시
C-6-08	기업발표	Hybrid Bonding: Evolving into a Foundational Technology (외부 전문가 기고)	SK hynix Newsroom	2026-08-25	https://news.skhynix.com/en/tech-note-series-ep2/	HBM 적용 방향을 설명하되 비용·장비·공정 성숙도로 도입 시점이 불확실하다고 명시. 제품 공시가 아님
C-6-10	분석기관	Advanced IC Substrate Market $31B by 2030 (공개 요약)	Yole / Semiconductor Packaging News	2025-07-07	https://www.semiconductorpackagingnews.com/press/90160.html	유리기판 단독 시장이 아니라 유기기판을 포함한 합산 전망임을 명시
C-6-13	기업발표	Growth Strategy of Electronic Materials Business (IR 발표 자료)	Ajinomoto	2026-06-30	https://www.ajinomoto.co.jp/company/en/ir/event/business_briefing/main/011117/teaserItems1/01/linkList/03/link/20260630_presentation_E.pdf	점유 약 95%는 ASV Report 2023이 FY2022 기준으로 제시한 자체 추정이며 분모는 고성능 반도체 기판용 층간 절연필름이다. 고객별 가격 협의 구조, 2023~2030년 약 250억 엔 투자, 군마 증설과 기후 2030년 이후
C-6-14	뉴스	ABF film price increase / IC substrate demand	DigiTimes	2026-05-13	https://www.digitimes.com/news/a20260513PD230/ic-substrate-abf-substrate-demand-substrate-2026.html	회사 원발표가 아닌 매체 보도임을 명시
C-6-15	뉴스	Ajinomoto to Raise Prices, Gap Extends to 2027	wccftech (Commercial Times 인용)	2026-05-11	https://wccftech.com/msg-maker-ajinomoto-to-raise-prices-as-abf-substrate-supply-demand-gap-extends-to-2027/	익명 업계 전언 기반이며 공개된 독립 시장모형이 아님
C-6-19	기업발표	삼성전기·동우화인켐 Glass Core 합작법인(글라셈) 설립	삼성전기 제공 / 한국경제 게재	2026-07-02	https://www.hankyung.com/article/2026070224990P	유리 코어 2027년 하반기 생산 계획
C-6-20	뉴스	Glass Substrate War Heats Up (삼성전기 지연설과 회사 반박)	TrendForce News	2026-08-18, 회사 답변 08-19	https://www.trendforce.com/news/2026/08/18/news-glass-substrate-war-heats-up-shinko-electric-advances-22-layer-product-as-samsung-reportedly-faces-ramp-up-uncertainty/	삼성전기가 고객 인증 실패를 부인하고 유리 코어 2027년 하반기와 완성 기판 2028년으로 단계 구분

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
C-6-21	기업발표	KPCA Show 2026 첨단 기판 기술 전시	삼성전기	2026-09-10	https://www.samsungsem.com/global/newsroom/news/view.do?id=10522	유리 코어와 TGV, 금속 충진, 정밀 가공 기술 공개. 일정을 앞당기는 확정 발표는 없음
C-6-22	기업발표	KPCA Show 2026 차세대 반도체 기판 공개	LG이노텍	2026-09-09	https://news.lginnotek.com/1666	유리기판 2028년 목표 제시. AI용 FC-BGA의 2027년 일정과 구분
C-6-24	기업발표	imec Demonstrates Die-to-Wafer Hybrid Bonding at 2µm Cu Interconnect Pad Pitch	imec	2024-05-29	https://www.imec-int.com/en/press/imec-demonstrates-die-wafer-hybrid-bonding-cu-interconnect-pad-pitch-2mm	패드 피치 2µm, Cu recess 2.5nm 미만, 정렬 오차 350nm 미만
C-6-25	표준·로드맵	Chip-to-Wafer Hybrid Bonding Development for HVM (IMAPS 발표)	Applied Materials / BESI	2023-03	https://imapsource.org/article/90682.pdf	플라즈마 처리 후 거칠기 0.5nm 미만과 SiO_2 손실 1nm 미만, 배리어 1~2nm 돌출 문제, queue time 영향
C-6-27	기업발표	Hybrid Bonding용 CMP 슬러리와 post-CMP 세정액 발표	FUJIFILM	2025-09-29	https://www.fujifilm.com/sg/en/news/hq/12973	전용 제품 출시와 익명 주요 고객 채택 확인
C-6-28	기업발표	Semiconductor Materials 제품 페이지	솔브레인	발행일 미표기 (2026-09 확인)	https://www.soulbrain.co.kr/en/m33.php	기존 포트폴리오의 존재이며 hybrid bonding 전용 제품 출시와 구분해야 함
C-6-29	기업발표	Debonding Technologies 제품 페이지	Brewer Science	발행일 미표기 (2026-09 확인)	https://www.brewerscience.com/products/debonding-technologies/	열 슬라이드 계열 공정 내열 250°C 이하, 기계·레이저 계열 400°C 이하. 분리 온도와 다른 값

Day 7

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-7-01	기업발표	전자재료 제품 소개 페이지	삼성SDI	상시 (2026-09 확인)	https://www.samsungsdi.co.kr/business/electronic-materials.html	반도체 공정소재 5종(SOH·SOD·CMP Slurry·EUV 소재·CIS-CR)과 패키징 소재 2종(EMC·PID) 등재, PID를 "금속 배선층 사이의 절연막을 구성하는 감광성 패터닝 절연재"로 정의
S-7-02	기업발표	삼성SDI, 2026년 2분기 실적 발표	삼성SDI 뉴스룸	2026-07-30	https://www.samsungsdi.co.kr/sdi-now/sdi-news/4941.html	전자재료 2Q26 매출 2,498억원 (+14.5% YoY)·영업이익 445억원 (+34.8%), 하반기 "반도체 신규 패키징 소재 및 디스플레이용 고부가 필름 소재를 중심으로 판매 확대"
S-7-03	뉴스	삼성SDI, 2026년 2분기 실적발표 컨퍼런스콜 전문	디일렉(THE ELEC)	2026-07-30	https://www.thelec.kr/news/articleView.html?idxno=60323	상반기 성과 "고방열 EMC와 같은 패키징 소재를 글로벌 고객사에 신규로 공급", 하반기 "유무기 패터닝 소재와 하이브리드 본딩용 슬러리 소재의 중요성이 높아지고 있다", "재배선 소재, 공정용 점접착 필름 소재 등의 응용 분야가 확대"
S-7-04	뉴스	삼성SDI 2026년 1분기 실적발표 컨퍼런스콜 전문	디일렉(THE ELEC)	2026-04-28	https://www.thelec.kr/news/articleView.html?idxno=55771	"메탈 슬러리, 고방열 패키징 소재의 매출 확대로 시장수요 이상의 성장", "글로벌 반도체사에 패키징 소재 신규 진입 등 해외 고객 다변화에 집중"
S-7-05	뉴스	삼성SDI 2025년 4분기 실적발표 컨퍼런스콜 전문	디일렉(THE ELEC)	2026-02-05	https://www.thelec.kr/news/articleView.html?idxno=51750	"고방열 EMC 소재를 고객 신제품에 최초 적용", 2026년 "고방열 EMC, 메탈 슬러리의 주요 고객사 양산 진입", 2025년 연간 전자재료 매출 8,826억원·영업이익 1,295억원
S-7-06	뉴스	삼성SDI 3Q25 실적 및 전자재료 코멘트	아시아타임즈	2025-10-28	https://www.asiatime.co.kr/article/20251028500304	"메탈 슬러리 포트폴리오 확대 및 AP용 고방열 EMC 신규 고객 진입을 추진", 3분기 전자재료 매출 2,318억원

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-7-07	뉴스	삼성SDI 편광필름 사업 영업양도 종결 공시	이데일리	2025-09-01	https://www.edaily.co.kr/News/Read?newsId=03772006642295856&mediaCodeNo=257	양도금액 1조1,210억원, 대상은 청주·수원 편광필름 사업과 중국 우시법인 지분 전량, "반도체·OLED·배터리 등 차세대 소재 개발에 핵심 역량 집중"
S-7-08	기업발표	삼성SDI, 2026년 1분기 실적 발표	삼성SDI 뉴스룸	2026-04-28	https://www.samsungsdi.co.kr/sdi-now/sdi-news/4887.html	전자재료 1Q26 매출 2,220억원·영업이익 210억원, "반도체 패터닝 소재 등 신규 소재로 판매 확대"
S-7-09	뉴스	삼화페인트, 삼성SDI에 반도체 소재 MMB 공급	이투데이	2026-03-06	https://www.etoday.co.kr/news/view/2562560	MMB는 EMC 제조용 반제품. 2025년 4월 EMC 조성물 협력 합의 뒤 양산 공급 개시, 모바일 AP 패키징에 적용
S-7-10	분석기관	Advanced packaging market to hit $120bn by 2031	Electronics Weekly(Yole 인용)	2026-07-24	https://www.electronicsweekly.com/news/business/advanced-packaging-market-to-hit-120bn-by-2031-2026-07/	2025년 $55B → 2031년 $120B, "By 2031, advanced packaging is expected to account for the majority of total semiconductor packaging revenue". Yole의 Bilal Hachemi·Yik Yee Tan 인용
S-7-11	분석기관	Advanced packaging market growing at 9.5% to reach $79.4bn in 2030	Electronics Weekly(Yole 2025.9판 전재)	2025-09	https://www.electronicsweekly.com/news/business/advanced-packaging-market-growing-at-9-5-to-reach-79-4bn-in-2030-2025-09/	2024년 $46B → 2030년 $79.4B, Mobile & Consumer 2024년 매출 기준 약 70%, Telecom & Infrastructure CAGR 14.9%
S-7-12	분석기관	Substrate market to be worth $31bn by 2030	Electronics Weekly(Yole 2025.7판 전재)	2025-07-07	https://www.electronicsweekly.com/news/business/substrate-market-to-be-worth-31bn-by-2030-2025-07/	advanced IC substrate 2030년 $31B. 공표 시점은 2025년 7월이며 11월이 아니다
S-7-13	기업발표	Global Semiconductor Materials Market Revenue Reaches Record $73.2 Billion in 2025	SEMI	2026	https://www.semi.org/en/semi-press-release/global-semiconductor-materials-market-revenue-reaches-record-73.2-billion-dollars-in-2025-semi-reports	2025년 전체 반도체 소재 $73.2B, 패키징 소재 $27.4B(+9.3% YoY), 기판·본딩와이어가 성장 주도
S-7-14	데이터셋	Global Semiconductor Packaging Materials Outlook (GSPMO)	SEMI·TECHCET·TechSearch	2024년판	https://www.semi.org/en/products-services/market-data/packaging-materials-outlook	패키징 소재 2028년까지 CAGR 5.6%. 기판·리드프레임·본딩와이어·EMC·언더필·다이어태치·솔더볼·WLP 유전체·도금액 커버
S-7-15	분석기관	Higher DDR5 Profitability Intensifies Capacity Crowding, Strengthening HBM3e Pricing Momentum in 2026	TrendForce	2025-12-18	https://www.trendforce.com/presscenter/news/20251218-12843.html	HBM3E와 서버 DDR5 가격 격차 4~5배 → 2026년 말 1~2배. 비교 단위는 원문 미명시
S-7-16	분석기관	HBM 웨이퍼 투입 비중 전망 보도자료	TrendForce	2026-06-02	https://www.trendforce.com/presscenter/news/20260602-13074.html	전체 DRAM 웨이퍼 투입 대비 HBM 비중 2025년 말 18% → 2026년 말 22% → 2027년 말 30%
S-7-17	분석기관	FOPLP & Glass Substrate Forecast 2030	Counterpoint Research	2026(day6 S-6-24와 동일 URL, 발행연도 표기 통일)	https://counterpointresearch.com/en/insights/foplp-glass-substrate-forecast-2030-ai-hpc-demand	FOPLP와 유리기판 합산 2024년 약 $650M → 2030년 $8.1B 초과, AI·HPC용이 매출의 45.6%
S-7-18	분석기관	Thermal Interface Materials Market	Precedence Research	2025년판 (URL은 최신판으로 갱신되는 페이지, 2026-09-19 확인)	https://www.precedenceresearch.com/thermal-interface-materials-market	TIM 2025년 $4.62B → 2035년 $13.64B, CAGR 11.44%. 그리스·접착제류 40% 점유, PCM 최고 성장

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-7-19	분석기관	Co-Packaged Optics: Powering the Next Wave of AI Infrastructures	Yole Group, Photonics Packaging 2026	2026	https://www.yolegroup.com/press-release/co-packaged-optics-powering-the-next-wave-of-ai-infrastructures/	CPO 대규모 배치를 2028~2030년으로 전망. Yole 사이트는 자동화 접근 차단(403)
S-7-20	분석기관	Epoxy Molding Compound (EMC) for Advanced Packaging	Market Report Analytics	2025~2026판 (day5 S-5-32와 동일 URL)	https://www.marketreportanalytics.com/reports/epoxy-molding-compound-emc-for-advanced-packaging-179893	AP용 EMC 2025년 약 $654M, CAGR 6.4%(2025~2033). 3사(Sumitomo Bakelite·Resonac·Panasonic) 합산 약 40% 추정. Sumitomo Bakelite 단독은 판본별로 약 18.2~20%(본 판본)와 약 40%(Prof Research 2026년 1월판)로 갈리므로 단독값을 단정하지 않는다
S-7-21	뉴스	Accounting for 95% of the global market share, Ajinomoto will cut its supply of ABF films to mainland China by 30%	ChemNet	2026-08	https://news.chemnet.com/news-8738.html	ABF 세계 점유율 약 95%라는 표현과 2026년 8월 중국 본토 공급 30% 축소 통보. 회사 공식 발표가 아니라 언론 전재
S-7-22	뉴스	Ajinomoto, Controlling 95% of ABF Film Market, Hikes Prices 30%	BigGo Finance(DigiTimes 계열 보도 정리)	2026	https://finance.biggo.com/news/ZU2KJZ4BpwxG186NIOsE	2026년 3분기부 ABF 30% 인상 통지, 월 생산능력 200만 제곱미터 초과이나 완전 가동, 차기 증설은 2028년
S-7-23	분석기관	Non-Conductive Film for Semiconductor (HBM) Global Market Share and Ranking	QYResearch	2024년판 (2030 전망)	https://www.qyresearch.com/reports/3152648/non-conductive-film-for-semiconductor--hbm	Resonac·Henkel·Namics 상위 3사가 약 99% 점유. 단일 조사기관 추정
S-7-24	분석기관	SK hynix May Stick With MR-MUF for HBM4 16-High Despite ASMPT TC Bonder Orders(URL slug 기준 제목. 개제 후 "amid Fluxless Bonding Evaluation" 판본 병존)	TrendForce	2026-01-13	https://www.trendforce.com/news/2026/01/13/news-sk-hynix-may-stick-with-mr-muf-for-hbm4-16-high-despite-asmpt-tc-bonder-orders/	Namics 독점 계약 잔여기간이 2026년 1월 기준 약 1년, 16단 HBM4에도 MR-MUF 유지 판단. 계약 만기 정보는 단일 계열 출처
S-7-25	데이터셋	Denka 구상 실리카 필러 제품 페이지 / Admatechs ADMAFINE 실리카 제품 페이지	Denka, Admatechs	상시 (2026-09-19 확인)	https://www.denka.co.jp/eng/product/detail_00032/ (Admatechs: https://www.admatechs.co.jp/en/product-admafine-silica.html)	반도체 봉지재용 구상 실리카의 대표 공급사임을 제품 라인업으로 확인. 개별사 점유율은 C-7-11(Denka IR)을 쓴다. 시장 전체는 2025년 약 $2.5B, CAGR 약 7% 추정(aggregator)
S-7-26	기술블로그	Dual Sourcing and Second Source Qualification in Semiconductors	SupplyICs Editorial	2026-05-08	https://supplyics.com/insights/procurement-strategy/dual-sourcing-second-source-semiconductor-2026/	"Total (Critical Path) 14-18 months", "12-24 month qualification lead time before production readiness", "qualification time is dominated by activities with hard minimum durations". 원 맥락은 전자부품 대체 조달과 설계 변경이며, 패키징 소재의 고객 평가·POR 결정 일정으로 전용하지 않는다
S-7-27	기술블로그	TSMC 대만 반도체 공급망 진입 사례 정리(天下雜誌 2026-01-20 기사 전재)	104 인력은행 블로그	2026-03-05	https://blog.104.com.tw/tsmc-taiwan-semiconductor-supply-chain-2nm-cowos/	新應材(APTC) 詹文雄 회장의 成功大學 재료 포럼 발언「有一支產品，我們6年送樣1400次」를 전재. 원 보도는 天下雜誌(C-7-14, 구독)
S-7-28	표준	JESD47 Stress-Test-Driven Qualification of Integrated Circuits	JEDEC	최신 개정 JESD47L(본문은 판본 무관 공통 내용만 인용)	https://www.jedec.org/standards-documents/docs/jesd-47g (JESD47L 페이지: https://www.jedec.org/document_search?search_api_views_fulltext=JESD47)	신규 제품 또는 공정 변경 제품의 인증에 필요한 스트레스 시험 기본 집합을 규정. 소재 변경은 "process which is being changed"에 해당

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-7-29	표준	J-STD-020 Moisture/Reflow Sensitivity Classification for Nonhermetic Solid State Surface-Mount Devices	IPC·JEDEC 공동	최신 개정 J-STD-020E(2014 제정 이후 개정)	https://www.jedec.org/document_search?search_api_views_fulltext=J-STD-020	흡습으로 리플로우 중 손상될 수 있는 표면실장 소자의 MSL 등급 분류 절차. 몰딩재·언더필 변경 시 재분류 대상
S-7-30	표준	IPC-4104 Specification for Materials for HDI and Microvias (IPC/JPCA-4104)	IPC	최신 개정 IPC-4104B	https://www.saturnflex.com/technology_hub/ipc-4104.php (구매: https://shop.electronics.org/ipc-4104/)	감광성 유전체 드라이필름과 액상의 인증·적합성 요구를 슬래시 시트로 규정. 두 형태가 별도 인증 경로임을 보여 줌
S-7-31	표준	JESD270-4 HBM4	JEDEC	2025-04-16	https://www.jedec.org/news/pressreleases/jedec%C2%AE-and-industry-leaders-collaborate-release-jesd270-4-hbm4-standard-advancing	스택당 대역폭 2TB/s, 핀속도 8Gb/s, 2048-bit 인터페이스, 32채널. 표준 규격값과 제조사 실측값을 구분하는 기준
S-7-32	표준·로드맵	Heterogeneous Integration Roadmap 2025 edition	IEEE EPS	2025~2026	https://eps.ieee.org/technology/heterogeneous-integration-roadmap.html	25개 챕터 무료 공개. 시스템 주도와 요소기술의 이원 구조로 이종집적 로드맵 제시
S-7-33	논문	The impact of export controls on international trade: Evidence from the Japan–Korea trade dispute in semiconductor industry	Ryo Makioka, Hongyong Zhang, Journal of the Japanese and International Economies 74, 101336	2024-12	https://doi.org/10.1016/j.jjie.2024.101336	2019년 3분기 기준 일본의 대한국 불화수소 수출 96.8% 감소, 한국 총수입은 거의 불변(미국·대만이 대체). 포토레지스트는 수량이 아니라 EUV 등급 단가(kg당 $3,500~4,400)로 벨기에 수입액 947.5% 증가. 2018년 한국 수입 의존도는 포토레지스트 87.99%·불화폴리이미드 21.00%. 무역통계 기반이며 기업 단위 조달 데이터가 아님
S-7-34	논문	The South Korea-Japan Trade Dispute in Context: Semiconductor Manufacturing, Chemicals, and Concentrated Supply Chains	USITC Office of Industries Working Paper ID-062	2019-10	https://www.usitc.gov/publications/332/working_papers/the_south_korea-japan_trade_dispute_in_context_semiconductor_manufacturing_chemicals_and_concentrated_supply_chains.pdf	불화수소·포토레지스트·불화폴리이미드 세 품목의 공급망 집중도와 한국의 대일 의존 구조를 정책 관점에서 정리
S-7-35	논문	Chemical Mechanical Polishing of Plasma-Modified Cu/Polymer Interfaces for Advanced Hybrid Bonding	Kang et al., Advanced Science	2026	https://doi.org/10.1002/advs.202512611	본딩 수율이 비아 내 Cu recess, 유전막 erosion과 조도, 고밀도·저밀도 비아 간 표면 형상 차이에 좌우됨을 실험으로 제시. recess·조도 목표는 피치·패드 구조·유전막·어닐 조건별 사례값이며 보편 합격 규격이 아님
S-7-36	논문	Epoxy molding compound encapsulation process in IC packaging: a review at wafer and component levels	Othman, Abdul Aziz, Ishak, Nashrudin, Azman, Int. J. Adv. Manuf. Technol. 142, pp.3281-3305	2026-01-14 온라인	https://doi.org/10.1007/s00170-025-17196-x	고열전도와 점도·기계 물성·절연 강도의 상충을 정식화. CTE 기준선은 Si 약 4ppm/°C·Cu 약 17ppm/°C 사이에서 EMC 약 7~9ppm/°C. AlN 필러는 열전도율을 올리나 CTE 부정합으로 팬아웃 계면 열응력 유발. warpage·흡습·200°C 열노화 기구 정리. 인용값 0.787 W/m·K는 일반 봉지재 영역이므로 고방열 EMC 목표 수치로 쓰지 않는다

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-7-37	논문	Cu CMP Dishing Control for Fine Pitch Wafer-to-Wafer (W2W) Hybrid Bonding	Hong Miao Ji, Gim Guan Chen, K.-J. Chui, IEEE 24th EPTC 2022, pp.951-954	2022-12-07~09	https://doi.org/10.1109/EPTC56328.2022.10013244	기존 TSV용 슬러리는 디싱 20~30nm에 Cu 패드 5~10nm 돌출, 터치업 후 −25~−32nm 과연마. H_2O_2를 낮춘 type-C·D 슬러리는 벌크 Cu 제거율 분당 최대 1μm, 평균 디싱 −30nm→−1nm, 분포 16nm→10nm 폭, 유전체 라운딩 5nm→1nm 미만. 부호 규약은 음수가 디싱·양수가 돌출. Cu 간격이 2μm에서 6μm로 바뀌면 같은 공정에서도 형상이 돌출과 디싱 사이를 오가므로 한 층의 선폭·간격 변형을 제한하라는 설계 권고 포함. 무보이드 접합 전제로 평탄도 μm당 1nm 미만 기준 인용. AFM으로 웨이퍼 중앙 측정·12인치 단일 다마신 시험 구조이며 접합 수율과 전기적 연결성은 다루지 않음. 수치는 해당 공정 조건의 사례값이므로 범용 합격 규격으로 전용하지 않음
S-7-38	뉴스	덕산하이메탈, 2분기 영업이익 101억원	CBC뉴스	2026-08-06	https://www.cbci.co.kr/news/articleView.html?idxno=595331	2Q26 연결 매출 907.5억원(+58.1% YoY), 연결 영업이익 100.8억원으로 흑자 전환(잠정), 상반기 누적 매출 1,594.5억원·영업이익 94.1억원. 1Q26은 연결 영업손실 약 7억원·별도 영업이익 23억원(S-7-65). 상반기 누적 94억원에서 2분기 101억원을 빼면 1분기 약 -7억원으로 정합
S-7-39	뉴스	덕산하이메탈 대표 인터뷰	한국경제	2025-11-17	https://v.daum.net/v/20251117170738265	"HBM에는 우리 솔더볼이 쓰이지 않는다. HBM은 12단·16단 적층으로 연결부가 극도로 미세하다"
S-7-40	뉴스	이녹스첨단소재, 첨단 패키징 소재 양산 확대	뉴스핌	2026-06-15	https://www.newspim.com/news/view/20260615000173	글로벌 반도체 제조사로부터 LPDDR용 20㎛ DAF 승인을 받고 양산 개시. 반도체 매출 비중 5개 분기 연속 상승하여 2026년 1분기 9.9%
S-7-41	뉴스	LG이노텍, AI 가속기용 FC-BGA 첫 공개	이투데이	2026-09-09	https://www.etoday.co.kr/news/view/2623390	KPCA Show 2026(9월 9~11일 송도컨벤시아)에서 한 변 100㎜ 초과 대면적 FC-BGA 공개. 2027년 FC-BGA 양산, 2028년 유리기판 양산 목표, 칩 임베딩 기술 공개
S-7-42	뉴스	반도체 지키고 열 다스린다, KCC가 AI·전기차 소재로 영토 확장	브릿지경제	2026-09-10	https://www.viva100.com/article/20260910501184	글로벌 메모리 업체 검증을 거친 DDR5용 EMC를 2025년 10월부터 양산 공급, PCIM 2026에서 고내열 EMC와 액상 봉지재 LMC 공개, 적용처를 AI 데이터센터로 확장
S-7-43	기업발표	차세대 반도체 패키징의 한계를 넘는 끝없는 도전: PID 연구개발팀	LG화학 블로그	2026-07-08	https://blog.lgchem.com/2026/07/08_pid_interview/	액상 PID 개발을 끝내고 필름 PID까지 확보, 글로벌 최상위 반도체 회사와 협업 중. HDFO RDL·CoWoS·유리기판 타깃 명시
S-7-44	기업발표	AI 반도체 시대를 위한 소재 솔루션을 선보이다, SEMICON Taiwan 2026	LG화학 블로그	2026-09-07	https://blog.lgchem.com/2026/09/07_semicon/	2026년 9월 2~4일 타이베이 난강전시센터에서 HBM 포함 AI 반도체용 첨단 패키징 소재와 전력반도체 소재 출품
S-7-45	뉴스	케이씨텍, CMP 공정으로 패키징 영토 확장	디일렉(THE ELEC)	2026-04-28	https://www.thelec.kr/news/articleView.html?idxno=55764	hybrid bonding 전용 Cu 슬러리를 개발하며 Cu 높이 균일화를 최적화. 세미콘코리아 2026에서 CMP 장비 Ventus와 유리 코어 연마 장비 공개
S-7-46	뉴스	솔브레인, 삼성·SK에 HBM 전용 CMP 슬러리 공급	서울경제	2023-10 이후 후속 보도	https://www.sedaily.com/NewsView/29VWM1ESLV	삼성전자·SK하이닉스에 HBM 전용 CMP 슬러리를 공급하는 것으로 보도

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-7-47	뉴스	한화세미텍도 SK하이닉스에 HBM4용 TC 본더 공급	ZDNet Korea	2026-06-10	https://zdnet.co.kr/view/?no=20260610151635	SK하이닉스가 한미반도체와 한화세미텍에 비슷한 규모로 HBM4용 TC 본더를 동시 발주. 공급망 안정화 차원의 이원화 관행
S-7-48	뉴스	SKC, 유리기판 양산 시점 안갯속	녹색경제신문	2026	https://www.greened.kr/news/articleView.html?idxno=336696	앱솔릭스 양산 목표가 2025년 말에서 2026년 초, 다시 2026년 말로 조정되어 온 경과 정리
S-7-49	뉴스	삼성전기 글래스 코어기판 사업은 메탈 공정부터, 비아홀 가공은 외주	KIPOST	2026	https://www.kipost.net/news/articleView.html?idxno=324553	삼성전기는 메탈라이제이션부터 양산라인을 구축하고 비아홀 가공은 외주. 앱솔릭스는 비아홀과 메탈라이제이션을 모두 협력사에 의존
S-7-50	뉴스	동진쎄미켐, 2026년은 글로벌 성장 가시화 원년	파이낸셜뉴스	2025-11-25	https://www.fnnews.com/news/202511251429582132	EUV 공정용 신규 소재, HBM 공정용 소재, 첨단 패키징 소재에 역량 집중. 국내 유일 EUV PR 양산과 DJBF 개발 경과
S-7-51	기업발표	SK hynix Holds Groundbreaking Ceremony for HBM Production Base in Indiana	SK hynix / PR Newswire	2026-08-27	https://www.prnewswire.com/news-releases/sk-hynix-holds-groundbreaking-ceremony-for-hbm-production-base-in-indiana-beginning-a-new-future-for-us-korea-ai-302862032.html	착공식은 현지시간 2026년 8월 27일 퍼듀대 Holloway Gymnasium에서 개최, 보도자료 배포는 8월 28일. 투자 40억 달러 초과, 클린룸 2028년 10월, 양산 2029년 하반기, 협력사 후보 100개사 이상
S-7-52	뉴스	삼성 온양캠퍼스 6조원 투자, 9월 첫 삽	충남내포뉴스	2026-08-20	https://www.naeponews.co.kr/news/articleView.html?idxno=64621	충남도 도시계획위원회가 2026년 8월 19일 의결, 38만9,825㎡ 부지에 6조원 투자, 9월 착공 예정, 정부 3대 메가 프로젝트 중 첫 착공 사례
S-7-53	뉴스	삼성전자 연내 온양 신공장 완공, HBM 패키징 이원화 속도 낸다	시사저널e	2026-05-12	https://www.sisajournal-e.com/news/articleView.html?idxno=421040	온양 신공장에 TSV 기반 첨단 패키징 라인 구축, 천안 HBM 패키징 라인과 이원화, 범용 D램 패키징은 타 공장 이전
S-7-54	뉴스	Packaging bottleneck to decide winner in Korea's HBM4E race	AJU PRESS	2026-06-18	https://www.ajupress.com/view/20260618160856166	삼성이 2026년 5월 말, SK하이닉스가 6월에 12단 HBM4E 샘플 출하. 메모리 퀄이 시스템 레벨 검증으로 이동하고 TSMC CoWoS 캐파가 병목이 될 수 있다는 분석
S-7-55	뉴스	세메스, 고객사 하이브리드 본더 계약, 양산 직전 단계	녹색경제신문	2026(월·일 미표기 기사)	https://greened.kr/news/articleView.html?idxno=337258	HBM용 D2W 하이브리드 본더를 고객과 계약하고 장비 신뢰성·공정 적합성 고도화 단계 진행 중
S-7-56	기업발표	IR52 장영실상 2026년 37주차 수상: 삼성SDI 모바일용 고방열 EMC	한국산업기술진흥협회(IR52)	IR52 보도자료 2026-09-18(매일경제 기사 2026-09-17, 삼성SDI 뉴스룸 게시 2026-09-19)	https://www.ir52.com/news/pressView.asp?idx=3166&smenu=news&stitle=press	"지난해 상반기 국내 반도체 제조사 두 곳으로부터 양산 승인", "올해부터는 해외 메모리 업체로도 수출을 시작", 고객사 도입 후 열저항 "최대 47퍼센트(D램), 16퍼센트(AP) 까지 개선"
S-7-57	분석기관	AI Chip Shipments to Drive HBM Demand Growth (HBM 수요 130%·70% 전망)	TrendForce	2025-10-30	https://www.trendforce.com/presscenter/news/20251030-12762.html	2025년 HBM 수요 130% 이상, 2026년 70% 이상 성장 전망. 기준은 사용량이며 출하량이나 매출이 아님
S-7-58	뉴스	배터리에 가려졌던 삼성SDI 반도체 소재 사업, 추가 성장동력 되나	시사저널e	2024	https://www.sisajournal-e.com/news/articleView.html?idxno=302279	1994년 EMC 생산라인 준공으로 전자재료 사업을 개시한 연혁과 SOH 상품화 경과

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-7-59	분석기관	Photosensitive Polyimide (PSPI) Market Size, Share and Forecast 2032	Credence Research	2025	https://www.credenceresearch.com/report/photosensitive-polyimide-pspi-market	Toray가 2024년 기준 세계 PSPI 시장의 약 23%를 차지한다는 추정과 시장 규모 전망
S-7-60	분석기관	AI Chip Packaging Pushes Beyond Reticle Limits, with CoWoS-L Set to Remain the Mainstream Advanced Packaging Solution Through 2028	TrendForce	2026-09-18	https://www.trendforce.com/presscenter/news/20260918-13241.html	CoWoS-L이 기술 성숙도와 수율 우위로 2028년까지 주류 지위 유지 전망. 칩 크기와 HBM 모듈 증가로 실리콘 인터포저 제조가 물리적 한계에 접근
S-7-61	기술블로그	CMP Slurry Market Size, Growth & Forecast 2025-2032	Jizhi Electronic Technology(중국 우시 CMP 슬러리 제조사 블로그)	2026-03-04	https://jeez-semicon.com/blog/cmp-slurry-market-size-growth-forecast-2025-2032-a-complete-industry-analysis/	CMP 슬러리 시장 2024년 약 $3.2B에서 2032년 $5.8B(CAGR 7.4%), Entegris·CMC Materials 계열 약 28%(2024년). 중국 우시 소재 CMP 슬러리 제조사가 운영하는 블로그의 자체 집계이므로 2차·업체 자료로 등급을 낮춰 인용
S-7-62	기업발표	Resonac Increases Capacity to Produce Materials for AI Chips	Resonac	2024-03-29	https://www.resonac.com/news/2024/03/29/3007.html	HBM용 NCF와 TIM을 포함한 고성능 반도체용 소재의 생산능력을 기존 대비 3.5~5배로 확대. day5 S-5-08과 동일 URL
S-7-63	학회보도	SK hynix HBM Packaging at Hot Chips 2026	ServeTheHome	2026-08-23	https://www.servethehome.com/sk-hynix-hbm-packaging-at-hot-chips-2026/	Hot Chips 2026 SK하이닉스 패키징 발표의 2차 보도. HBM4 12.8×11mm, Z-height 775µm, TSV 2만 개 초과, base 마이크로범프 16,148개, 48GB, 12단 양산·16단 인증
S-7-64	뉴스	Hot Chips 2026: SK hynix pushes hybrid bonding to HBM5 as AI memory hits 775-micron ceiling	Tom's Hardware	2026-08-24	https://www.tomshardware.com/tech-industry/semiconductors/sk-hynix-says-hybrid-bonding-wont-be-ready-for-hbm4e-as-ai-memory-runs-into-a-775-micron-ceiling	SK하이닉스 기준 hybrid bonding은 HBM4E가 아니라 HBM5부터이며 2029~2030년 전망. 시점은 회사 확정이 아니라 기자 추론이므로 2차 보도로 표기
S-7-65	기업발표	덕산하이메탈 2026년 1분기 IR 자료	덕산하이메탈	2026-05	https://www.dshm.co.kr/IR_Reference/IR_Report/2026/DSHM_2026_1Q_IR_KR.pdf	2026년 1분기 연결 영업이익 약 -7억원(억원 단위 반올림), 별도 영업이익 23억원. 연결과 별도를 구분하는 근거
S-7-66	뉴스	유리기판 2028년으로 밀린 삼성전기...FC-BGA는 풀가동·증설	뉴스핌	2026-09-07	https://www.newspim.com/news/view/20260907000377	"당초 2027년으로 제시했던 유리기판 양산 목표를 최근 2028년 본격 가동으로 늦춘 상황"(업계 전언, 회사 공식 발표 아님), 상반기 패키지기판 생산능력 36만6,000㎡·생산 32만5,000㎡·가동률 89%
S-7-67	뉴스	SKC, 앱솔릭스 유상증자에 921억 추가 투입	ZDNet Korea	2026-09-22	https://zdnet.co.kr/view/?no=20260922170144	SKC 921억원 추가 투입, 누적 3,731억원. 임베딩 유리기판 샘플 사전평가 통과 후 신뢰성 평가, 논임베딩은 하반기 공급사 선정 과제 참여·연내 PoC 착수 예정
S-7-68	뉴스	SKC, 앱솔릭스 지분 82%로 확대... 어플라이드머티어리얼즈 실권주 추가 인수	디일렉(THE ELEC)	2026-09-23	https://www.thelec.kr/news/articleView.html?idxno=62680	SKC 약 921억원 추가, 누적 약 3,731억원, 지분 70.05%→82.37%. AMAT는 배정 신주 중 약 280억원 규모만 인수 추정
S-7-69	뉴스	해성디에스, 차세대 메모리 기판에 1900억원 설비 투자	뉴스핌	2026-09-18	https://www.newspim.com/news/view/20260918001050	고성능·고집적 메모리 제품용 패키지기판에 1,900억원 투자, 기존 릴투릴 공법에 패널 공법 도입·병행
S-7-70	뉴스	제이앤티씨, 김천에 3470억 투자...TGV 유리기판 공장 신설	디일렉(THE ELEC)	2026-09-21	https://www.thelec.kr/news/articleView.html?idxno=62616	김천 산단 약 3만 평에 3,470억원, 2027-01~2030-06, 신규 고용 430여 명, 2026년 7월 Toppan과 상용화 협약, 2027년 양산 목표

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-7-71	뉴스	한미반도체 FC 본더 75 글로벌 고객 출하	파이낸셜뉴스	2026-09-22	https://www.fnnews.com/news/202609221031155525	75㎜×75㎜ 대형 인터포저 대응 FC 본더 75 글로벌 고객사 출하, 2.5D TC 본더 120 출시 예정, 2026년 10월 미국 법인 설립 예정
S-7-72	뉴스	심텍, BT 레진 기판으로 FC-BGA 시장 진입	디일렉(THE ELEC)	2026-09-23	https://www.thelec.kr/news/articleView.html?idxno=62673	슬림 FC-BGA 양산 최대 10층·30×30㎜, 샘플 최대 14층·50×50㎜, 피치 양산 120㎛·개발 90㎛, SSD 컨트롤러 등 중급 제품 겨냥
S-7-73	뉴스	반도체 핵심소재 세계 1위 일본 TOK, 평택 포승지구 공장 준공…1010억 투입	파이낸셜뉴스	2026-09-15	https://www.fnnews.com/news/202609151454478174	총 1,010억원(외국인 직접투자 706억원), 부지 55,560㎡, 고순도 화학제품 생산, 포토레지스트 라인 향후 추가 구축, 고용 약 70명, 고객 삼성전자·SK하이닉스·TSMC·인텔
S-7-74	뉴스	'아산현충사IC 연결도로' 개설공사 본격 돌입	중도일보	2026-09-15	https://m.joongdo.co.kr/view.php?key=20260915010004783	온양 대로2-17호(아산현충사IC) 개설공사 착수, 사업비 200억원, 삼성전자·삼성디스플레이 투자 거점 주변 도로. 삼성전자 신규 공장 착공식 언급 없음
S-7-75	표준·로드맵	(참고자료)제3기 소재부품장비산업 특화단지 선정	산업통상부	2026-09-17	https://www.motir.go.kr/kor/article/ATCL3f49a5a8c/172218/view?mno=&pageIndex=2	4곳 선정. 충남 천안·아산 반도체 후공정(하나마이크론·TSE, HBM 패키징 장비 및 테스트부품 자립, 민간투자 3,700억원), 전북 군산·익산 반도체 화학소재(동우화인켐·한솔케미칼·OCI·PKC, 8,300억원), 정부 지원 5년 1,600억원·단지당 약 400억원 (정부 1차 보도자료)
S-7-76	뉴스	SK하이닉스, 내달 130여개 협력사 임직원·가족 3만명 초청행사	디일렉(THE ELEC)	2026-09-17	https://www.thelec.kr/news/articleView.html?idxno=62439	10월 15일 과천 행사, 7월 발표한 5년간 1조4,000억원 상생 자금 재확인, 1,000평 트리니티 팹 2027년 개방(협력사 제품 신뢰성 검증·공동 R&D 테스트베드)
S-7-77	뉴스	삼성SDI, 반도체용 '고방열 EMC'로 장영실상 수상	디일렉(THE ELEC)	2026-09-21	https://www.thelec.kr/news/articleView.html?idxno=62558	열전도율 높은 알루미나 필러와 독자 촉매 기술로 방열·성형성·고강도 동시 확보, 모바일 AP·D램 적용, 2015년부터 개발. HBM 언급 없음
S-7-78	뉴스	삼성SDI 3분기 영업익 2850억 전망	인사이트	2026-09-23	https://www.insight.co.kr/news/575003	iM증권 3Q26 영업이익 2,850억원·매출 약 4조1,000억원 추정(증권사 추정치). 전자재료는 "폴더블 스마트폰용 필름 소재 판매가 개선 요인"
S-7-79	뉴스	삼성SDI '보상금 효과'에 영업익 전망 8배…본업 회복은 아직	비즈한국	2026-09-27	https://bizhankook.com/articles/samsung-sdi-earnings-forecast-increase.html	9월 21일 기준 3Q 영업이익 컨센서스 1,251억원(3개월 전 148억원), NH투자증권 2,603억원·iM증권 2,850억원, 요인은 최소 구매 물량 미달 보상금·ESS. 실적 발표일 언급 없음
S-7-80	뉴스	中 유리기판 양산 "한국보다 빠르다"	디일렉(THE ELEC)	2026-09-26	https://www.thelec.kr/news/articleView.html?idxno=62761	WG테크 1단계 약 5억 위안·상반기 고객 검증 완료·2단계 투자, BOE 약 9억9,300만 위안 파일럿·2027년 상반기 양산 투자 결정, CSOT 하반기 시제품·파일럿. "한국보다 빠르다"는 국내 업계 관계자 전언
S-7-81	분석기관	High-end packaging market to hit $51bn	Advanced Packaging News(Yole 인용)	2026-09-24	https://advancedpackaging.news/article/125442/High-end_packaging_market_to_hit_51bn	Yole High End Performance Packaging 2026: 2031년 510억 달러 초과, 2025~2031 CAGR 27%, mold interposer CAGR 28.1%, CoPoS·CoWoP 2028~2029 등장, 2025년 상위 6개사 약 97%

Day 7 교차 조사 인용 출처 (C-7-xx)

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
C-7-09	기업발표	Biden-Harris Administration Announces CHIPS Incentives Award with SK hynix	NIST(미국 상무부)	2024-12-19	https://www.nist.gov/news-events/news/2024/12/biden-harris-administration-announces-chips-incentives-award-sk-hynix	인디애나 프로젝트 약 $3.87B, CHIPS 직접보조금 최대 $458M, 별도 대출 지원 최대 $500M. 2026년 회사 발표와 병기용
C-7-10	기업발표	Ajinomoto ASV Report 2023 (통합보고서)	Ajinomoto	2023	https://www.ajinomoto.com/sustainability/pdf/2023/ar2023en_p002-019.pdf	FY2022 기준 고성능 반도체 기판용 층간 절연필름 시장 점유율 약 95%를 도표로 제시한 회사 자체 추정
C-7-11	기업발표	Denka IR Materials (2024-11-08)	Denka	2024-11-08	https://www.denka.co.jp/eng/pdf/ir/library/20241108_denka_ir_materials_en.pdf	반도체 봉지 용도 구상 실리카에서 약 30% 점유율을 유지하는 전략 제시
C-7-13	뉴스	Ajinomoto reportedly cuts ABF chip packaging film supply to China by 30%	Tom's Hardware	2026-08-19	https://www.tomshardware.com/tech-industry/semiconductors/ajinomoto-reportedly-cuts-abf-chip-packaging-film-supply-to-china-by-30-percent	약 30% 가격 인상은 기판사 통지 기반, 중국 공급 약 30% 축소는 익명 업계 소식통 전언. ABF 기판 수급격차 전망(2026 H2 10%, 2027년 21%, 2028년 42%)도 전재
C-7-14	뉴스	新應材 詹文雄 회장 인터뷰 기사(6년 送樣 1400次 원보도)	天下雜誌 (CommonWealth)	2026-01-20	https://www.cw.com.tw/article/5139422	「有一支產品，我們6年送樣1400次」의 원 보도. 본문은 구독 제한으로 단락 대조 미완료
C-7-16	기업발표	San Fu Chemical 연차보고서 2026	San Fu Chemical	2026	https://financialfilings.com/filings/san-fu-4755/annual-report/2026/49834567/	증설과 반도체 특수화학품 계획을 설명하나 2026년 TSMC 신규 인증 완료는 기재하지 않음. 원료 복수 조달과 특수 원료 확보 방식을 구분
C-7-17	기업발표	KCC 연구원, 2026년 기술개발인의 날 기념식에서 국무총리 표창	KCC 웹진	2026-09-08	https://webzine.kccworld.co.kr/news/보도자료/kcc-연구원-2026년-기술개발인의-날-기념식에서-국무/	DDR5용 EMC의 글로벌 메모리 고객 품질 검증과 2025년 10월 양산 공급 개시를 공식 공개
C-7-18	기업발표	AI 반도체 시대를 위한 소재 솔루션을 선보이다, SEMICON Taiwan 2026	LG화학 블로그	2026-09-07	https://blog.lgchem.com/2026/09/07_semicon/	Build-up Film·PID·DAF·Bonding/Debonding·Stripper·TIM 등 패키징 소재군 공개. 고객명과 인증 통과는 미공개
C-7-19	뉴스	삼성전기 글라스 코어 JV 출자와 앱솔릭스 증자 보도	대한경제	2026-09-02	https://www.dnews.co.kr/m_home/view_dnews.jsp?idxno=2026090115024326602222	삼성전기 JV 출자 3,191억원·지분 66.2%, 앱솔릭스 4,011억원 주주배정 증자(이사회 결정 2026-08-21), SKC 2026-09-04 약 2,810억원 투입, LG이노텍 2028년 양산 목표. 기사에 나오는 앱솔릭스 2027년 상용화 목표는 원출처 근거가 확인되지 않아 본문에서 사용하지 않는다
C-7-20	뉴스	덕산하이메탈 KPCA Show 2026 출품	머니투데이	2026-09-09	https://www.mt.co.kr/stock/2026/09/09/2026090910209611517	솔더볼·MSB·Cu-Cored 솔더볼·페이스트·플럭스 출품. 특정 신규 고객 인증은 기사에 없음
C-7-25	기업발표	SK hynix Fact Check: Intel 협력 보도 관련 설명	SK hynix	2026-09-16	https://news.skhynix.com/en/fact-10/	Intel과의 미국 메모리 생산 협력에 대해 구체적 계획·합의·결정이 확정되지 않았다고 설명
C-7-26	기업발표	삼성전기 차세대 기판 기술 공개(2.5D·2.1D·글라스 기판)	삼성전기 뉴스룸	2026-09-10	https://www.samsungsem.com/kr/newsroom/news/view.do?id=10521	KPCA Show 2026 전시 내용 공식 공개. 전시와 양산 고객 승인은 별개
C-7-33	분석기관	3Q26 HBM Market Dynamics and Forecast	TrendForce	2026-09-01	https://www.trendforce.com/research/download/RP260901WD3	세대 전환과 공급·가격 협상력 변화를 다루며 달러 기준 시장 총액은 공개하지 않음

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
C-7-35	분석기관	Photonics packaging market to triple in value by 2031 (Yole 전재)	optics.org(Yole 인용)	2026-04	https://optics.org/news/photonics-packaging-market-to-triple-in-value-by-2031	photonics packaging 전체 2031년 $14.4B, 그중 CPO 관련 패키징 약 $5B. CPO 시스템 전체 매출과 구분

Day 8

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-8-01	표준·로드맵	JESD47 Stress-Test-Driven Qualification of Integrated Circuits	JEDEC Solid State Technology Association	G판 2009-03 원문 대조	https://store.accuristech.com/standards/jedec-jesd47l?product_id=2506912	= S-7-28의 판본 확정 등록. 인증 시험의 기본 집합과 합격 판정을 규정. G판 Table 1 원문 확인 결과 고온 동작 수명과 비휘발성 소자 내구 시험의 표본은 3 로트 × 77개 · 무고장 · 1,000시간이 표준 조합이며, 재적격 조항은 JESD46 통보를 직접 참조한다. 수치는 G판 기준이며, L판(2022-12)과 N판(2026-08)은 카탈로그 표기이고 원문 미확인
S-8-02	표준·로드맵	JESD46D Customer Notification of Product/Process Changes by Electronic Product Suppliers	JEDEC	2016-08	https://store.accuristech.com/standards/jedec-jesd46d?product_id=1922110	JESD47이 재적격 트리거로 직접 인용하는 문서로, 제품과 공정 변경 시 고객 통보 요건을 규정한다. 소재 교체가 왜 통보와 재인증의 대상이 되는지의 근거
S-8-03	표준·로드맵	JESD22-A104F.01 Temperature Cycling	JEDEC	2023-04 (F판, 2020-11판 대체)	https://store.accuristech.com/standards/jedec-jesd22-a104f-01?product_id=2562826	단일·이중·삼중 챔버 온도 사이클 시험법을 구분해 규정하며 부품과 솔더 접합부의 고저온 반복 기계적 스트레스 내성을 평가한다. 같은 이름의 시험도 챔버 방식이 다르면 다른 시험임을 보이는 근거
S-8-04	표준·로드맵	JESD22-A118B Accelerated Moisture Resistance, Unbiased HAST	JEDEC	2015-07	https://store.accuristech.com/standards/jedec-jesd22-a118b?product_id=1899363	전압을 걸지 않는 고온고습 가속 시험으로 비기밀 패키지의 수분 침투 신뢰성을 평가하며, 바이어스로 가려질 수 있는 갈바닉 부식까지 드러낸다
S-8-05	표준·로드맵	JESD22-B112C Package Warpage Measurement of Surface-Mount ICs at Elevated Temperature	JEDEC	2023-11	https://store.accuristech.com/standards/jedec-jesd22-b112c?product_id=2577472	= S-5-16의 판본 확정 등록. 표면실장 소자의 바디 평탄도 이탈을 리플로우 온도 구간에서 재는 표준 시험법. 휨 수치를 주고받을 때 측정 조건을 함께 합의해야 하는 근거
S-8-06	표준·로드맵	IPC/JEDEC J-STD-020F Moisture/Reflow Sensitivity Classification for Nonhermetic Surface Mount Devices	IPC·JEDEC 공동	2022-12 (E판 2015-02 대체)	https://store.accuristech.com/standards/ipc-j-std-020f?product_id=2562668	= S-7-29의 판본 확정 등록. 비기밀 표면실장 소자의 흡습 민감도 등급을 분류하고 리플로우와 수리 전의 베이크·보관 조건을 규정한다. 폴리머 소재 교체가 등급 재분류를 부르는 근거. 카탈로그 서지만 확인
S-8-07	표준·로드맵	IPC-4104 / IPC-JPCA-4104 Specification for High Density Interconnect (HDI) and Microvia Materials	IPC·JPCA	1999-05 (확인상 최신 기본 문서)	https://store.accuristech.com/standards/ipc-4104?product_id=235602	= S-7-30의 판본 확정 등록. 고밀도 상호연결과 마이크로비아 소재 23종의 규격 시트를 수록하며 감광성 유전체를 드라이필름과 액상 두 범주로 명시 구분해 적합성 요건을 규정한다. 개별 슬래시 시트의 최신 개정 문자는 미확인. 카탈로그 서지만 확인
S-8-08	표준·로드맵	JESD659C Failure-Mechanism-Driven Reliability Monitoring	JEDEC	2017-04	https://store.accuristech.com/standards/jedec-jesd659c?product_id=1949757	통계적 신뢰성 모니터링으로 모니터를 축소하거나 폐지하는 조건을 규정하나, 분포와 꼬리값 보고나 사전 합의 비교 기준 요건은 다루지 않는다. 8.2의 "관행이며 공개 규격 없음" 판정의 대조 근거

ID	유형	제목	발행처·저자	날짜	URL / DOI	한 줄 요약
S-8-09	표준·로드맵	JEP131C Potential Failure Mode and Effects Analysis (FMEA)	JEDEC	2018-08 (B판 2012-04, A판 2005-05 대체 이력)	https://store.accuristech.com/standards/jedec-jep131c?product_id=2021974	패키지와 칩 설계부터 조립과 양산까지 전 공정에 고장 모드 영향 분석을 적용하는 최소 가이드라인. 원인 후보를 추측이 아니라 목록으로 다루는 근거
S-8-10	표준·로드맵	JEP132A.01 Process Characterization Guideline	JEDEC	2017-11 (1995-04 초판)	https://www.jedec.org/standards-documents/docs/jep-132	신규 또는 기존 공정을 특성화할 때 고장 모드 영향 분석과 실험 계획과 측정 시스템 평가와 공정 능력 지수와 통계적 공정 관리를 언제 쓸지 규정한다. jedec.org 403 차단으로 본문은 미대조이고 표제와 발행일만 확인
S-8-12	표준·로드맵	JEP148B Reliability Qualification of Semiconductor Devices Based on Physics of Failure Risk and Opportunity Assessment	JEDEC	2014-01 (A판 2008-12 대체)	https://store.accuristech.com/standards/jedec-jep148b?product_id=1871039	물리적 고장 기구를 개발 프로세스에 선제적으로 통합하는 신뢰성 적격 절차와 위험·기회 평가 방법을 제공한다
S-8-13	표준·로드맵	JESD22-B100B(R2016) Physical Dimensions	JEDEC	2003-06 발행, 2016 재확인	https://store.accuristech.com/standards/jedec-jesd22-b100b-r2016?product_id=1762606	부품 외형 치수가 조달 문서에 부합하는지를 판정하는 표준. 단면 연마나 파괴 물리 분석과 무관함을 원문 대조로 확인하였으므로, 단면 분석 표준으로 인용하지 않는다
S-8-14	표준·로드맵	JESD22-B102E Solderability	JEDEC	2007-10	https://store.accuristech.com/standards/jedec-jesd22-b102e?product_id=1762608	리드와 무연 솔더의 납땜성 평가법. 이 역시 단면 연마나 파괴 물리 분석 표준이 아님을 확인하였으므로 같은 목적으로 인용하지 않는다
S-8-15	논문	Recent Progress in Structural Integrity Evaluation of Microelectronic Packaging Using Scanning Acoustic Microscopy (SAM): A Review	Meshki Zadeh, Brand, Dehghan-Niri, Sensors 25(24):7499	2025-12-10	https://doi.org/10.3390/s25247499	측면 영상과 심도 영상을 나눈 초음파 주사로 다이 부착과 언더필과 TSV와 구리 직접 접합 계면의 박리와 기공과 균열을 구분하는 최신 기법 총설. 침투 깊이와 해상도의 실용적 절충 대역을 50~230 MHz로 제시
S-8-16	논문	A Survey of Detection Methods for Die Attachment and Wire Bonding Defects in Integrated Circuit Manufacturing	Alam, Kehtarnavaz, IEEE Access 10:83826-83840	2022-06	DOI 10.1109/ACCESS.2022.3197624 (전문: https://arxiv.org/abs/2206.07481)	다이 부착과 와이어 본딩 결함 검출을 광학과 방사선과 음향과 적외선 열화상으로 나누어 정리하고, 단면 연마와 디캡슐레이션 같은 파괴 검사와 비파괴 검사의 경계를 명확히 구분한다
S-8-17	논문	Applying microscopic analytic techniques for failure analysis in electronic assemblies	Grosshardt, Nagy, Laetsch, Applied Microscopy	2019-08-13	https://doi.org/10.1186/s42649-019-0009-1	전자 조립체 불량 해석에서 단면 연마를 포함한 현미경 기법으로 육안 확인이 불가능한 내부 결함을 확인하는 절차를 기술한다. 계면 박리와 솔더 균열을 가르는 수치 기준은 제시하지 않는다
S-8-18	기술블로그	X-Ray Inspection for Semiconductor Package Failure Analysis	AnySilicon	날짜 미표기 (2026-09 확인)	https://anysilicon.com/x-ray-inspection-for-semiconductor-package-failure-analysis/	X선은 밀도와 두께와 형상에, 초음파 주사는 계면 박리와 균열과 보이드에 강점이 있어 두 기법이 상호 보완적임을 설명한다. 저자와 날짜가 표기되지 않은 벤더 콘텐츠이므로 보조 근거로만 쓴다
S-8-19	논문	One-Factor-at-a-Time Versus Designed Experiments	Veronica Czitrom, The American Statistician 53(2), pp.126-131	1999-05	https://doi.org/10.1080/00031305.1999.10474445	반도체 웨이퍼 가스 어닐 공정을 포함한 세 개의 실사례로 한 번에 한 인자 방식과 설계 실험을 비교하여, 설계 실험이 더 적은 자원으로 인자 간 교호작용까지 추정할 수 있음을 보인다. 원문은 구독지이며 강의용 무료 미러로 열람

여러 Day에 중복 등록된 출처

같은 URL이 Day마다 다른 ID로 등록된 경우다. 날짜나 제목이 서로 다르면 원문을 열어 확인한 쪽을 따른다. 중복 URL 56개.

URL	등록 ID	제목·날짜 일치 여부
https://www.electronicsweekly.com/news/business/advanced-packaging-market-to-hit-120bn-by-	S-1-02, S-7-10	날짜 일치
https://www.electronicsweekly.com/news/business/advanced-packaging-market-growing-at-9-5-t	S-1-03, S-7-11	날짜 일치
https://www.trendforce.com/news/2026/09/14/news-tsmc-reportedly-targets-22-2nm-16-3nm-capa	S-1-07, S-3-10	날짜 일치
https://www.semi.org/en/semi-press-release/global-semiconductor-materials-market-revenue-r	S-1-09, S-7-13	날짜 일치
https://morethanmoore.substack.com/p/intel-starts-shipping-high-na-euv	S-1-10, S-2-27	날짜 일치
https://www.servethehome.com/sk-hynix-hbm-packaging-at-hot-chips-2026	S-1-26, S-5-18, S-7-63	날짜 일치
https://eps.ieee.org/wp-content/uploads/2026/05/hir_1_overview_0.9-3.pdf	S-1-31, S-2-23	날짜 일치
https://3dfabric.tsmc.com/english/dedicatedfoundry/technology/cowos.htm	S-1-33, S-2-26, S-3-01	날짜 상이: S-1-33 미표기, 2026-09 열람 / S-2-26 연도 미상 / S-3-01 2026-09-19 확인
https://pr.tsmc.com/english/news/3302	S-1-34, S-3-03	날짜 일치
https://semiwiki.com/semiconductor-manufacturers/tsmc/368690-tsmc-technology-symposium-202	S-1-35, S-3-04	날짜 일치
https://www.jedec.org/news/pressreleases/jedec%c2%ae-and-industry-leaders-collaborate-rele	S-1-36, S-2-01, S-3-75, S-4-01, S-5-17, S-6-50, S-7-31	날짜 일치
https://news.samsungsemiconductor.com/global/samsung-ships-industry-first-commercial-hbm4-	S-1-37, S-4-09	날짜 일치
https://semiengineering.com/scaling-bump-pitches-in-advanced-packaging	S-1-41, S-2-10	날짜 일치
https://www.intel.com/content/dam/www/central-libraries/us/en/documents/2025-11/foveros-di	S-1-42, S-3-20	날짜 일치
https://www.thelec.kr/news/articleview.html?idxno=51750	S-1-44, S-5-03, S-7-05	날짜 상이: S-1-44 2026-02 / S-5-03 2026-02 / S-7-05 2026-02-05
https://www.trendforce.com/presscenter/news/20260918-13241.html	S-1-50, S-7-60	날짜 일치
https://semiengineering.com/hbm4-sticks-with-microbumps-postponing-hybrid-bonding	S-1-56, S-2-09	날짜 상이: S-1-56 2025 / S-2-09 2026-01-13
https://www.tomshardware.com/tech-industry/semiconductors/tsmc-soic-3d-stacking-roadmap-ou	S-1-57, S-3-18	날짜 상이: S-1-57 2025 / S-3-18 2026-09-02
https://ectc.net/wp-content/uploads/2023/03/2026-ectc-revised-technical-tipsheet-with-imag	S-2-05, S-3-45	날짜 상이: S-2-05 2026-05-20 / S-3-45 2026
https://ninescrolls.com/news/hybrid-bonding-in-2026-tsmc-ships-6-m-while-its-newest-disclo	S-2-11, S-3-19	날짜 일치

URL	등록 ID	제목·날짜 일치 여부
https://www.tomshardware.com/tech-industry/semiconductors/sk-hynix-says-hybrid-bonding-won	S-2-13, C-2-04, S-3-67, C-4-23, S-6-54, S-7-64	날짜 상이: S-2-13 2026-08-24 / C-2-04 2026-08-24 / S-3-67 2026-08 (발표 2026-08-23) / C-4-23 2026-08-24 / S-6-54 발표 2026-08-23 / S-7-64 2026-08-24
https://www.trendforce.com/news/2026/04/01/news-jedec-reportedly-plans-to-relax-hbm-height	S-2-14, S-3-66, S-4-21, S-6-52	날짜 일치
https://www.trendforce.com/news/2026/07/07/news-samsung-sk-hynix-reportedly-reconsider-hyb	S-2-15, S-4-20, S-6-51	날짜 일치
https://www.trendforce.com/news/2026/01/13/news-sk-hynix-may-stick-with-mr-muf-for-hbm4-16	S-2-16, S-4-22, S-5-35, S-7-24	날짜 일치
https://nccavs-usergroups.avs.org/wp-content/uploads/2023/09/jointug923-5-basimgb.pdf	S-2-25, S-4-08, S-6-25	날짜 일치
https://www.brewerscience.com/products/debonding-technologies	S-2-31, C-6-29	날짜 상이: S-2-31 연도 미상 / C-6-29 발행일 미표기 (2026-09 확인)
https://www.resonac.com/solution/column/005.html	S-2-33, S-5-06	날짜 상이: S-2-33 연도 미상 / S-5-06 발행일 미표기 (확인 2026-09-19)
https://www.samsungsdi.co.kr/business/electronic-materials.html	S-2-34, S-5-05, S-7-01	날짜 상이: S-2-34 연도 미상 / S-5-05 상시(확인 2026-09-19) / S-7-01 상시(2026-09 확인)
https://www.thelec.kr/news/articleview.html?idxno=55764	S-2-35, S-6-31, S-7-45	날짜 일치
https://semiengineering.com/gearing-up-for-hybrid-bonding	S-2-38, S-4-46	날짜 상이: S-2-38 연도 미상 / S-4-46 2023-10-23
https://3dfabric.tsmc.com/english/dedicatedfoundry/technology/info.htm	S-2-44, S-3-58	날짜 상이: S-2-44 날짜 미표기 / S-3-58 2026-09-19 확인
https://3dfabric.tsmc.com/english/dedicatedfoundry/technology/soic.htm	C-2-08, S-3-02	날짜 상이: C-2-08 날짜 미표기 / S-3-02 2026-09-19 확인
https://www.trendforce.com/news/2026/04/01/news-silicon-photonics-race-intensifies-as-tsmc	S-3-15, S-6-48	날짜 일치
https://www.trendforce.com/news/2026/05/18/news-tsmc-targets-2h26-coupe-on-substrate-nvidi	S-3-16, S-6-39	날짜 일치
https://zdnet.co.kr/view/?no=20260819171714	S-3-36, S-4-35	날짜 일치
https://www.trendforce.com/news/2025/04/21/news-jedec-finalizes-hbm4-standard-potentially-	S-3-65, S-6-56	날짜 일치
https://www.trendforce.com/presscenter/news/20260602-13074.html	S-4-30, S-7-16	날짜 일치
https://www.trendforce.com/presscenter/news/20251218-12843.html	S-4-31, S-7-15	날짜 일치
https://www.tweaktown.com/news/96844/jedec-chills-on-next-gen-hbm4-thickness-16-hi-stacks-	S-4-49, S-6-71	날짜 일치
https://news.skhynix.com/en/tech-note-series-ep2	C-4-24, C-6-08	날짜 일치

URL	등록 ID	제목·날짜 일치 여부
https://www.samsungsdi.co.kr/sdi-now/sdi-news/4941.html	S-5-01, S-6-05, S-7-02	날짜 상이: S-5-01 2026-07-30 / S-6-05 2026-07 / S-7-02 2026-07-30
https://www.thelec.kr/news/articleview.html?idxno=55771	S-5-02, S-7-04	날짜 일치
https://www.asiatime.co.kr/article/20251028500304	S-5-04, S-7-06	날짜 일치
https://www.resonac.com/news/2024/03/29/3007.html	S-5-08, S-7-62	날짜 일치
https://www.viva100.com/article/20260910501184	S-5-09, S-7-42	날짜 일치
https://www.precedenceresearch.com/thermal-interface-materials-market	S-5-29, S-7-18	날짜 상이: S-5-29 2025 / S-7-18 2025년판(URL은 최신판으로 갱신되는 페이지, 2026-09-19 확인)
https://www.marketreportanalytics.com/reports/epoxy-molding-compound-emc-for-advanced-pack	S-5-32, S-7-20	날짜 상이: S-5-32 2025~2026 / S-7-20 2025~2026판 (day5 S-5-32와 동일 URL)
https://www.qyresearch.com/reports/3152648/non-conductive-film-for-semiconductor--hbm	S-5-34, S-7-23	날짜 상이: S-5-34 2024~2030 전망 / S-7-23 2024년판(2030 전망)
https://www.cbci.co.kr/news/articleview.html?idxno=595331	S-5-46, S-7-38	날짜 일치
https://www.dshm.co.kr/ir_reference/ir_report/2026/dshm_2026_1q_ir_kr.pdf	S-5-50, S-7-65	날짜 일치
https://blog.lgchem.com/2026/07/08_pid_interview	S-6-06, S-7-43	날짜 일치
https://www.credenceresearch.com/report/photosensitive-polyimide-pspi-market	S-6-09, S-7-59	날짜 일치
https://www.digitimes.com/news/a20260513pd230/ic-substrate-abf-substrate-demand-substrate-	S-6-12, C-6-14	날짜 일치
https://wccftech.com/msg-maker-ajinomoto-to-raise-prices-as-abf-substrate-supply-demand-ga	S-6-13, C-6-15	날짜 일치
https://counterpointresearch.com/en/insights/foplp-glass-substrate-forecast-2030-ai-hpc-de	S-6-24, S-7-17	날짜 상이: S-6-24 2026 / S-7-17 2026(day6 S-6-24와 동일 URL, 발행 연도 표기 통일)
https://blog.lgchem.com/2026/09/07_semicon	S-7-44, C-7-18	날짜 일치

인용 시 주의 사항 (Day 3 고유)

항목	지켜야 할 문안
TSMC CoWoS 로드맵	2027년 9.5-reticle, 2028년 14-reticle(compute die 약 10개 + HBM 20스택), 2029년 14-reticle 초과(HBM 최대 24스택), SoW는 40-reticle 초과. 발표 심포지엄 연도(2026.4)와 목표 연도를 구분한다
삼성 Cube-S ISC	fully qualified 구성은 3.3x 인터포저 + 최대 HBM 8개. ISC 3,000nF/mm² 이상은 8개 초과 HBM을 지원하는 확장 인터포저 기반의 더 큰 2.5D 패키지 사양이며 두 문장을 합치지 않는다

항목	지켜야 할 문안
삼성전기 3DFabric Alliance	2026-09-19 공식 페이지 기준 기판 파트너는 IBIDEN·Toppan·Unimicron 3사. 삼성전기 포함설은 2026-05 대만 언론 보도 단계로만 서술한다
OSAT 매출	ASE $18.54B, Amkor $6.318B, JCET $5.0B는 2024 회계연도 실적. 2025년 실제 수치는 별도 행으로 적는다
三福化	TSMC CoWoS 스트리퍼 공급사라는 사실 외에 진입 시점·2026년 성장률·AP7/8 물량은 [미검증]으로 표기한다
JEDEC HBM 높이	720μm에서 775μm로의 완화는 2024년 3월 JEDEC 위원회 합의 보도(S-3-73)로 처음 알려졌고 2025-04-21 표준 확정 보도(S-3-65)에서 재확인되었다. JEDEC 공식 문서의 조항(JESD270-4 원문인지 개정판 4A인지)은 미확인이므로 보도 기준으로 표기하며, S-3-75(2025-04-16 발간 보도자료)는 "HBM4 표준 발간" 사실에만 붙인다. "2026년 1월 결정"으로 쓰지 않는다. HBM4E부터 약 900μm 추가 완화는 2026-04-01 보도 기준 검토 단계다
hybrid bonding 메모리 도입	SK하이닉스는 2026-08-23 Hot Chips 2026에서 HBM4E까지 Advanced MR-MUF를 유지하고 hybrid bonding은 빨라야 HBM5부터라고 밝혔다. "HBM4E부터 도입"으로 쓰지 않는다
CoWoS 캐파 판본	2026년 말 값은 경제일보 판본 약 130,000장과 Mizuho 판본 140,000장이 다르므로 기관명·날짜를 붙여 따로 적는다. TSMC 단독 캐파와 OSAT 포함 업계 총계(약 200,000장)를 합산하지 않는다
SoW 레티클	TSMC 공식 발표문 원문은 "40-reticle"이며 "40 레티클 초과"는 SemiWiki 정리본 표현이다. 2025년판의 "연산 40배"와 단위가 다르다
제품별 CoWoS 배정	NVIDIA Blackwell·Rubin과 AMD MI350·MI450의 플랫폼 배정은 2026-05-26 분석기관 표가 근거이며 [분석·추정]으로 표기한다. "전 제품"·"전량" 같은 단정을 쓰지 않는다
Amkor 애리조나	1단계(2027년 중반 완공, 2028년 초 생산, 월 25,000장)와 2단계(2026-09-08 발표, 총 $12B, 2027년 말 착공, 2029년 말 완공)를 섞지 않는다
삼성 CUBE 전략	2026-09-01 SEMI Memory Executive Summit의 CUBE(Capacity·Utilization·Bandwidth·Efficiency)는 메모리 배치 전략 명칭이며 파운드리 Cube-S/E/R/T/H 라인업과 다른 개념이다
TSMC COUPE	"1세대 1.6Tbps급, 2026년 양산 진입(COUPE on Substrate는 2026년 하반기 양산 목표)"으로 쓰고 "이미 양산 중"으로 단정하지 않는다. 1.6T/6.4T 세대 수치는 보도·분석 기준임을 부기한다
삼성 온양 팹	2026년 하반기 착공 예정으로만 쓴다. 9월 착공설(2026-08-19 보도)과 10월 착공설(2026-07-22 보도)이 병존하며 2026-09-19 기준 착공식 개최 보도는 확인되지 않았다
삼성 AVP사업팀	보도에 나오는 인원수(1,600명)는 확인되지 않은 수치다. 2022년 12월 신설, 2024년 8월 조직 개편으로 해체·재배치되었다고만 서술한다

인용 시 주의 (본문과 함께 지킬 것)

- **HBM4 "최초"**: SK하이닉스는 "개발 완료·양산 체제 구축 세계 최초(2025-09-12)" [S-4-10], 삼성전자는 "양산·상용 출하 업계 최초(2026-02-12)" [S-4-09]. 한정어와 날짜를 반드시 붙이고 양사 모두 자사 발표 기준임을 각주로 단다.
- **HBM3E 대 서버 DDR5 가격 격차**: "4~5배 → 2026년 말 1~2배 축소 전망(TrendForce 2025.12)"으로 쓰되, DDR5 급등에 따른 축소임을 부기하고 비트당 같은 비교 단위를 임의로 붙이지 않는다 [S-4-31].
- **SK하이닉스 인디애나 팹 (규칙 9 갱신 문안)**: 현행 기준은 2026년 8월 27일 착공식이다. 총 투자 40억 달러 초과, 클린룸 2028년 10월, 차세대 HBM 양산 2029년 하반기 [S-4-14]. 구기준은 문서와 날짜를 나누어 적는다. $3.87B 투자와 당시의 2028년 하반기 양산 목표는 2024년 4월 3일 투자 계획 발표 [S-4-15]이고, CHIPS법 직접보조금 최대 $458M은 2024년 12월 19일 NIST 발표로 확정된 값이다 [S-4-44]. 두 금액의 차액을 증액분으로 계산하지 않는다.
- **Vera Rubin 물량 배분**: SK 60~70%, 삼성 25~30%, Micron 잔여는 공급망 애널리스트 추정이며 NVIDIA 공식 수치가 아니다 [S-4-28]. 반면 3사 인증 통과는 NVIDIA 최고경영자의 공개 발언으로 확인된 사실이다 [S-4-33].
- **수율 수치**: 삼성 HBM4 수율 60%→80%는 언론 보도 기준이며 회사 공식 수치가 아니다 [S-4-34]. MR-MUF 대 TC-NCF의 약 20%p 수율 격차도 업계 추정이다 [S-4-37].
- **16단 HBM4 진행 상황**: 회사 공식 발언 기준은 "인증 단계"(2026-08-23, Hot Chips) [S-4-23]이고, "출하 중"은 공급망 추적 보도 기준이다 [S-4-28]. 두 층위를 구분해 말한다.
- **두께 규격**: HBM3E 720μm와 HBM4 775μm는 확정된 값이고 [S-4-25], HBM4E 약 900μm와 HBM5 최대 1,000μm는 논의 단계다 [S-4-21]. 2026년 9월 기준 HBM4E의 단일 JEDEC 표준 번호는 발간되지 않았다.
- **삼성전자 온양 팹**: 6조원, 38만 9,825㎡. 2026년 8월 19일 충남도 도시계획위원회 의결로 9월 착공안이 보도되었으나 10월 착공설이 병존하며, 2026년 9월 19일 기준 착공식 개최는 확인되지 않았다. 양산 목표는 2029년 5월로 보도된다 [S-4-35]. "착공"이 아니라 "착공 예정"으로 표기한다.
- **hybrid bonding 전면 양산 2029~2030년**: 부사장 발언이 아니라 업계 전망을 전한 2차 보도다 [S-4-24][S-4-36]. "HBM5가 가장 이른 적용 세대"만 발언(보도 경유)으로 귀속한다.
- **interposer 정의(교차 일관성 정본)**: 다이와 기판 사이에서 다이 간 고밀도 배선을 맡는 중간 기판이며, 실리콘형(TSV)과 유기 RDL형이 있고 HBM 문맥에서는 주로 실리콘형이다. 실리콘형으로 한정하여 정의하지 않는다.
- **hybrid bonding 피치 경계(교차 일관성 정본)**: 약 10μm 이하 피치 영역의 해법으로 적는다(로직 SoIC 6μm 양산, Foveros Direct 1세대 약 10μm에서 2세대 5μm 미만) [S-4-02]. "10μm 미만"과 "10μm 이하"를 섞어 쓰지 않는다.
- **Feng 2025(S-4-06)의 성격**: ANSYS Icepak 시뮬레이션이며 실측이 아니다. 62.0°C·31.6°C·3°C는 같은 모델 안의 상대 비교로만 인용하고 제품 온도로 옮겨 적지 않는다. EMC 열전도율 8.7 W/m·K도 논문의 측정값이 아니라 Al2O3·그래핀 복합재 문헌값이다.
- **Cu recess 1~5nm의 성격(S-4-03 전문 확인)**: 물리적 한계가 아니라 CMP 압력·회전수로 맞춘 관리 목표이며 AFM으로 검증한 값이다. 보이드는 Cu 패드 밀도에 따른 SiCN erosion에서 나오므로 디싱 제어만으로 해결되지 않는다.
- **775μm 높이 규격의 근거 등급(B-15 조사 결과)**: 720μm에서 775μm로의 완화는 2024년 3월 JEDEC 위원회 합의를 전한 보도가 최초 출처이고 [S-4-49], 2025-04-16 JESD270-4 발간 보도자료의 헤드라인 스펙에는 패키지 높이 조항이 없다 [S-4-01]. JEDEC 표준 문서 페이지는 HTTP 403으로 열람하지 못해, 775μm가 JESD270-4 원문 조항인지 개정판 JESD270-4A에 들어간 것인지 확인하지 못했다. 따라서 【보도 기준】 표기를 유지하고 "JESD270-4 대 4A 어느 판에 있는지 미확인"을 함께 적는다.
- **base die 소재 승인 주체**: 4.6의 승인 경로 서술은 공개된 제조 주체에서 따라 나온 구조적 추론이며, 각 사의 실제 승인 절차는 공개되어 있지 않다.
- **16단 다이 두께**: 대표값은 "웨이퍼 박형화 약 30μm"(2026-01 CES 보도) [S-4-22]이다. 별도 보도의 "다이 두께 약 50μm"(2026-08 Hot Chips 보도) [S-4-24]는 16단 환산 시 800μm로 775μm 한도를 넘으므로 같은 구조 사양으로 병기하지 않는다. 두 값은 동일 구조에 동시에 적용될 수 없고 대상 제품·두께 정의가 미확인이다.
- **HBM3E의 base die**: HBM3E에도 core die와 설계가 다른 base die가 이미 있었다. HBM4의 변화는 이종 다이 적층의 최초 도입이 아니라 base die의 로직 공정 전환과 파운드리 협력 확대다 [S-4-17].
- **Micron HBM4 양산 시점**: 회사 공식 발표 기준 2026년 1분기(2026-03-16, S-4-45)다. 국내 보도의 "2분기 양산"은 쓰지 않고, 월 6만장 캐파 계획만 별도의 보도상 계획으로 인용한다 [S-4-29].